



**KAUNO TECHNOLOGIJOS UNIVERSITETAS  
ELEKTROS IR ELEKTRONIKOS FAKULTETAS**

**Mindaugas Bražas**

**ŽEMOS ĮTAMPOS KMOP IŠĖJIMO BUFERIO TYRIMAS**

Baigiamasis magistro projektas

**Vadovas**

Doc. dr. Darius Andriukaitis

**KAUNAS, 2015**

**KAUNO TECHNOLOGIJOS UNIVERSITETAS**  
**ELEKTROS IR ELEKTRONIKOS FAKULTETAS**  
**ELEKTRONIKOS INŽINERIJOS KATEDRA**

**ŽEMOS ĮTAMPOS KMOP IŠĖJIMO BUFERIO TYRIMAS**

Baigiamasis magistro projektas  
Elektronikos inžinerija (kodas 621H61002)

**Vadovas**

Doc. dr. Darius Andriukaitis

**Recenzentas**

Doc. dr. Žilvinas Nakutis

**Projektą atliko**

Mindaugas Bražas

**KAUNAS, 2015**



KAUNO TECHNOLOGIJOS UNIVERSITETAS

Elektros ir elektronikos fakultetas

(Fakultetas)

Mindaugas Bražas

(Studento vardas, pavardė)

Elektronikos inžinerija 621H61002

(Studijų programos pavadinimas, kodas)

Baigiamojo projekto „Žemos įtampos KMOP išėjimo buferio tyrimas“

### AKADEMINIO SAŽININGUMO DEKLARACIJA

20 15 m. gegužės 27 d.  
Kaunas

Patvirtinu, kad mano **Mindaugo Bražo** baigiamasis projektas tema „Žemos įtampos KMOP išėjimo buferio tyrimas“ yra parašytas visiškai savarankiškai, o visi pateikti duomenys ar tyrimų rezultatai yra teisingi ir gauti sąžiningai. Šiame darbe nei viena dalis nėra plagijuota nuo jokių spausdintinių ar internetinių šaltinių, visos kitų šaltinių tiesioginės ir netiesioginės citatos nurodytos literatūros nuorodose. Įstatymų nenumatytų piniginių sumų už šį darbą niekam nesu mokėjęs.

Aš suprantu, kad išaiškėjus nesąžiningumo faktui, man bus taikomos nuobaudos, remiantis Kauno technologijos universitete galiojančia tvarka.

\_\_\_\_\_  
(vardą ir pavardę įrašyti ranka)

\_\_\_\_\_  
(parašas)

Bražas, M. Žemos įtampos KMOP išėjimo buferio tyrimas. Magistro baigiamasis projektas / vadovas doc. dr. Darius Andriukaitis; Kauno technologijos universitetas, Elektros ir elektronikos fakultetas, Elektronikos inžinerijos katedra.

Kaunas, 2015. 42 psl.

## SANTRAUKA

Darbo tikslas – ištirti ir sumodeliuoti žemos įtampos KMOP išėjimo buferio topografijos maketo parazitinius dydžius ir įvertinti ar gauti modeliavimo rezultatai tenkina specifikacijoje esančius parametrus. Šis darbas skirtas išsiaiškinti kaip topografijos makete esantys parazitiniai dydžiai įtakoja laikines bei dažnines charakteristikas ir kaip skiriasi srovės suvartojimas naudojant 180nm ir 130nm technologijas.

Modeliavimai buvo atliekami „Cadence“ puslaidininkinių mikroschemų modeliavimo įrankiu – „Analog Design Environment L“, topografijos maketo projektavimas buvo daromas su „Cadence Virtuoso Layout“ pagal 0,13 $\mu$ m 6 metalo sluoksnių GLOBALFOUNDRIES chrt130 ir 0,18 $\mu$ m IBM BiCMOS7WL technologiją.

Modeliavimas atliktas naudojant pilnai suprojektuotą išėjimo buferį su ekstragavimo metu gautais parazitiniiais dydžiais (talpumais ir rezistyvumais). Remiantis modeliavimo rezultatais buvo ištirtos buferio perdavimo charakteristikos, srovės suvartojimas,  $H_{22}$  ir  $S_{22}$  parametrai esant skirtingiems technologinio gamybos proceso parametro nuokrypio kampams bei darbinėms temperatūroms.

*Reikšminiai žodžiai: mikroelektronika, KMOP buferis, nuokrypio kampai, topologinis maketas, parazitiniai dydžiai.*

Bražas, Mindaugas. Research of Low Voltage CMOS Output Buffer. Final project of Master's supervisor doc. dr. Darius Andriukaitis; Kaunas University of Technology, Faculty of Electrical and Electronics Engineering, department of electronic engineering.

Kaunas, 2015. 42 psl.

## SUMMARY

The aim - to investigate and model the low-voltage CMOS output buffer topographical layout parasitic levels and assess whether the obtained results satisfy the specifications in the settings. This work is intended to clarify how the topography in the layout parasitic influences time sizes and frequency responses and how different power consumption using 180nm and 130nm technology.

The simulations were carried out in "Cadence" semiconductor chip simulation tool - Analog Design Environment L", topographical layout design was done with Cadence Virtuoso Layout by 0,13 $\mu$ m 6 metal layers chrt130 GLOBALFOUNDRIES and IBM 0,18 $\mu$ m BiCMOS7WL technology.

Simulation carried out using fully designed output buffer with extraction received during parasitic values (capacity and resistivity). Based on the simulation results were analyzed buffer transmission characteristics, current consumption,  $H_{22}$  and  $S_{22}$  parameters for different technological production process parameter deviation corners and operating temperatures.

*Keywords: microelectronics, CMOS buffer, process corners, layout, parasitics extraction.*

**TURINYS**

<i>IVADAS</i> .....	8
1. <i>APŽVALGINĖ DALIS</i> .....	10
1.1. <i>Parametrų nuokrypio kampų modeliavimo metodologija</i> .....	11
1.2. <i>Parametrų nuokrypio kampai</i> .....	12
1.3. <i>Tiriamo žemos įtampos KMOP išėjimo buferio apžvalga</i> .....	14
1.3.1. <i>Principinės schemos apžvalga</i> .....	15
2. <i>TYRIMO METODOLOGIJA</i> .....	18
2.1. <i>Parametrų matavimo schemos</i> .....	18
2.2. <i>Modeliavimo schemos</i> .....	19
2.2.1. <i>Laikinių parametrų modeliavimas</i> .....	19
2.2.2. <i><math>H_{22}</math> ir <math>S_{22}</math> parametrų modeliavimo schema</i> .....	21
2.3. <i>Topologinio maketo brėžinys</i> .....	22
2.3.1. <i>Topologinio brėžinio projektavimo reikalavimai</i> .....	22
2.3.2. <i>Išėjimo buferio topologijos projektavimas</i> .....	23
2.3.3. <i>Topologinis maketas</i> .....	24
2.3.4. <i>Topologinio maketo patikra</i> .....	27
2.3.5. <i>Parazitinių dydžių išskyrimas</i> .....	27
3. <i>TYRIMŲ REZULTATAI</i> .....	28
3.1. <i>Laikinių parametrų modeliavimo rezultatai</i> .....	28
3.1.1. <i>Laikinių parametrų modeliavimas pagal nuokrypio kampus</i> .....	30
3.1.2. <i>Laikinių parametrų modeliavimas pagal temperatūras</i> .....	32
3.2. <i>Buferio išėjimo impedanso ir <math>S_{22}</math> parametro modeliavimo rezultatai</i> .....	35
3.3. <i>130nm ir 180nm technologijų srovių suvartojimas</i> .....	38
<i>IŠVADOS IR PASIŪLYMAI</i> .....	40
<i>INFORMACIJOS ŠALTINIŲ SĄRAŠAS</i> .....	41
<i>PRIEDAI</i> .....	42

## Sutrumpinimų sąrašas

KMOP	Komplementarių metalas-oksidas-puslaidininkis tranzistorių pora (angl. <i>CMOS, complementary metal oxide semiconductor</i> ).
JEDEC	Bendra elektros prietaisų inžinierių taryba (angl. <i>joint electron devices engineering council</i> ).
BE	Pastiprinimo įjungimas (angl. <i>boost enable</i> ).
CS	Lusto parinkimas (angl. <i>chip select</i> ).
DCD	Skverbties iškraipymas (angl. <i>duty cycle distortion</i> ).
DRC	Projektavimo taisyklių patikrinimas (angl. <i>design rules check</i> ).
LVS	Topologijos ir principinės schemos tikrinimas (angl. <i>layout versus schematic</i> ).
PEX	Parazitinių dydžių ištraukimas (angl. <i>parasitics extraction</i> ).
SSN	Persijunginėjimo triukšmas (angl. <i>simultaneous switching noise</i> ).

## IVADAS

Mikroelektronika – tai kone greičiausiai pasaulyje besivystanti elektronikos šaka. Sunku pastebėti kokį didžiulį vaidmenį ji atlieka mūsų kasdieniniame gyvenime. Mikroelektronikos prietaisų galime rasti įvairiuose buitiniuose prietaisuose bei sistemose. Jos ne tik palengvina mūsų gyvenimą, bet ir padaro jį saugesnį, pvz. automobilyje esančios saugumo sistemos.

Pasaulyje sparčiai didėjant gyvenimo tempui kiekvienas iš mūsų norime, kad mus supantys mikroelektronikos elementai veiktų kuo greičiau, kad kainuotų kuo pigiau, o nešiojamų įrenginių akumuliatoriai būtų neišsikrovę kuo ilgiau. Šiandien integriniai lustai jau pasižymi didžiule veikimo sparta, kuri siekia šimtus gigahercų. Tai tampa įmanoma, kai mikroelektronikos technologinių procesų tobulėjimo dėka yra sukuriami MOP tranzistoriai su vis mažesnių matmenų užtūra. Dabar pasaulyje sėkmingai gaminami integriniai lustai kuriuose pagamintų tranzistorių kanalo ilgis perlipo 22nm ir jau daugelį metų šis skaičius mažėja. Tai leidžia didinti tranzistorių greitaveiką dėl mažesnės užtūros talpos. Iš to išplaukia, kad bus suvartojama mažiau elektros energijos kiekvienu tranzistoriaus persijungimo metu. Taip pat dėl trumpo kanalo, tranzistorius pradės funkcionuoti prie vis žemesnių įtampų. Taigi galime nuspėti, kad Gordon'o Moore dėsnis galios dar ne vienerius metus.

Integraliniai lustai, tai tokie dariniai, kuriuose visi elektronikos komponentai kaip jau žinoma yra nano metrų eilės matmenų. Šiandieninės technologijos leidžia projektuojant panaudoti 5-8 metalo sluoksnius, o kartais ir daugiau nei dešimt metalo sluoksnių. Tokiu būdu neįmanoma išvengti takelių kurie nebūtų gretimuose metalo sluoksniuose statmenai prasilenkę ar kažkokį atstumą būtų praversti lygiagrečiai vienas kitam. Tokios geometrinės struktūros iššaukia parazitines talpas, kurių principinės schemos projektuotojas iš anksto negali numatyti. Taip pat atsiranda ne tik parazitinės talpos, bet ir parazitiniai rezistyvumai kuriuos įneša savitosios takelių varžos. Neįvertinus šių parazitinių dydžių ir pagaminus realų lustą pagal suprojektuotą bet neištirtą topologijos maketą, galima tikėtis, kad lustas neveiks arba veiks prasčiau, nei jam buvo keliami reikalavimai projektuojant principinę schemą.

Šiame darbe, pagal žemos įtampos KMOP išėjimo buferio principinę schemą, kuri buvo suprojektuota naudojant 0,18 $\mu$ m technologiją, bus projektuojamas topologinis maketas pagal 0,13 $\mu$ m. Tiriamas išėjimo buferis yra naudojamas endoskopinės kapsulės projekte, todėl labai svarbu yra energijos suvartojimas. Problema iškilo kuomet buvo atlikti 0,18 $\mu$ m topologijos maketų modeliavimai ir pastebėta, kad dėl per didelių parazitinių talpų bei tranzistorių Milerio talpų integrinis lustas vartotų per daug energijos. Todėl buvo nuspręsta suprojektuoti ir atlikti modeliavimus su 130nm technologija. Suprojektavus topologijos brėžinį bus atliekamas parazitinių dydžių ekstragavimas bei ekstrakto modeliavimas. Modeliavimo rezultatai bus



lyginami su dokumentacijoje esančiais parametrais. Gavus kurį nors modeliavimo rezultatą prastesnį už dokumentacijoje pateiktą parametą, bus aiškinamasi kuris parazitinis dydis visa tai įtakojo, surandamas to parazitinio dydžio atsiradimo priežastys topologiniame brėžinyje ir pakoreguojama. Tokios iteracijos bus vykdomos kol ekstrakto modeliavimo rezultatai tenkins dokumentacijoje esančius parametrus.

Darbo tikslas – suprojektuoti naudojant 130nm technologiją išėjimo buferio topologinį maketą jį ištirti ir palyginti su 180nm technologija suprojektuotu buferiu.

Uždaviniai:

1. Suprojektuoti topologinį brėžinį.
2. Ištirti parazitinius dydžius (atlikti modeliavimus).
3. Palyginti energijos suvartojimą su 180nm versija.

## 1. APŽVALGINĖ DALIS

Svarbiausi šiandieninės elektronikos komponentai yra silicio integriniai grandynai. Jų elementai (tranzistoriai, diodai, rezistoriai, kondensatoriai ir t.t.) ir juos jungiantys takeliai suprojektuojami ir pagaminami vienu technologinių procesų ciklu ir sudaro nedalomą integrinį grandyną.

Integriniu grandynu vadinamas mikroelektronikos gaminys, kurį sudaro nedalomą visumą ir pasižymintis dideliu tarpusavyje sujungtų elektronikos elementų tankiu. Integriniai grandynai yra technologinės, konstrukcinės ir mokslinės integracijos rezultatas. Integracija – tai elementų jungimas į visumą. Konstrukcinė integracija pasireiškia tuo, kad visi elektrinės grandinės elementai integriniame grandyne sudaro nedalomą visumą. Technologinės integracijos esmę sudaro tai, kad integrinių grandynų gamyboje taikomi grupiniai gamybos metodai [1].

Dabar jau sukurtos labai sudėtingų puslaidininkinių integrinių grandynų projektavimo ir gamybos technologijos. Taikant šiandienines automatizuoto projektavimo ir puslaidininkinių grandynų gamybos technologijas, puslaidininkio monokristalo luste suformuojami šimtai milijonų elementų. [1]

MDP tranzistoriai pranašesni už dvipolius: jie pasižymi didele įėjimo varža, mažesniais triukšmais paprasčiau suformuojami, yra atsparesni jonizuojančiajai spinduliutei. MDP tranzistoriai, esti dviejų tipų: su įterptuoju kanalu ir su indukuotuoju kanalu. MDP integriniuose grandynuose dažniausiai naudojami tranzistoriai su indukuotuoju kanalu, kuriuose dielektrikas po užtūra yra plonasis silicio oksido sluoksnis. Dėl to šie integriniai grandynai vadinami MOP integriniais grandynais. Kadangi tranzistorių su p kanalais gamyba yra paprastesnė už tranzistorių su n kanalais gamybą, pirmiausia buvo gaminami p-kanalo integriniai grandynai. Vėliau juos pakeitė pranašesni n-kanaliniai grandynai. Juose n kanalo pagrindinių krūvininkų – elektronų yra didesnis judrumas. Kai didesnis judrumas, galima gauti geresnes dažnines savybes, didesnį tranzistoriaus perdavimo charakteristikos statumą, ir didesnę veikimo spartą [1].

Gaminant MOP tranzistorius, suformuojami ir kiti MOP integrinių grandynų elementai. Įdomu tai, kad MOP integriniuose grandynuose naudojama nedaug skirtingų elementų tipų. Kaip varžiniai elementai naudojami MOP tranzistorių kanalai. Tokie rezistoriai užima mažesnę plotą nei difuziniai rezistoriai. Kondensatoriai padaromi kai ištake su santaka sujungiami ir tarp trečiojo išvado – užtūros turime talpumą. [1].

Kadangi MOP tranzistorius yra daug kartų mažesnis nei dvipolis tranzistorius, taikant MOP technologiją pavyksta į tą patį plotą sutalpinti daugiau elementų. Didelė MOP tranzistorių įėjimo varža ir mažesnis užimamas plotas lemia tai, kad MOP integrinių grandynų vartojamoji galia yra

maža. Kadangi per MOP grandynų elementus teka silpnesnės srovės, tai elementų sujungimams galima naudoti ne tik metalinius takelius, bet ir laidininkus, sudarytus naudojant  $n+$  sluoksnį arba polikristalinį silicij. Taigi yra didesnės galimybės padaryti reikalingus sujungimus naudojant tik vieną metalo sluoksnį [1].

Dėl aptartų priežasčių dauguma šiuolaikinių integrinių grandynų yra MOP grandynai. Apskritai MOP integriniai grandynai buvo sukurti vėliau nei dvipoliai. Tai lėmė technologiniai sunkumai, kilę siekiant pašalinti nepageidaujamus paviršinius reiškinius, sumažinti paviršinių lygmenų tankį ir sudaryti ploną aukštos kokybės dielektriko sluoksnį po užtūra. Beje, ir įveikus minėtus sunkumus, pagamintiems pagal aptartą paprasčiausią technologiją MOP integriniams grandynams būdingi svarbūs trūkumai. MOP tranzistorių veikimo spartą riboja kanalo ilgis ir parazitinės talpos, susidarancios dėl to, kad užtūros elektroda iš dalies dengia ištakos ir santakos sritis. Minimalų kanalo ilgį lemia fotolitografijos galimybės. Užtūros persidengimas su ištaka bei santaka numatomas konstruojant tranzistorių. Jeigu užtūros matmuo būtų toks pat kaip tarpas tarp ištakos ir santakos, dėl fotošablonų sutapdinimo paklaidos galėtų nesusidaryti kanalas, jungiantis ištaką su santaka, ir tranzistorius neveiktų. Be to, MOP integrinių grandynų veikimo spartai neigiamos įtakos turi laidžiųjų takelių parazitinės talpos su pagrindu – puslaidininkine plokštele [1].

### **1.1. Parametrų nuokrypio kampų modeliavimo metodologija**

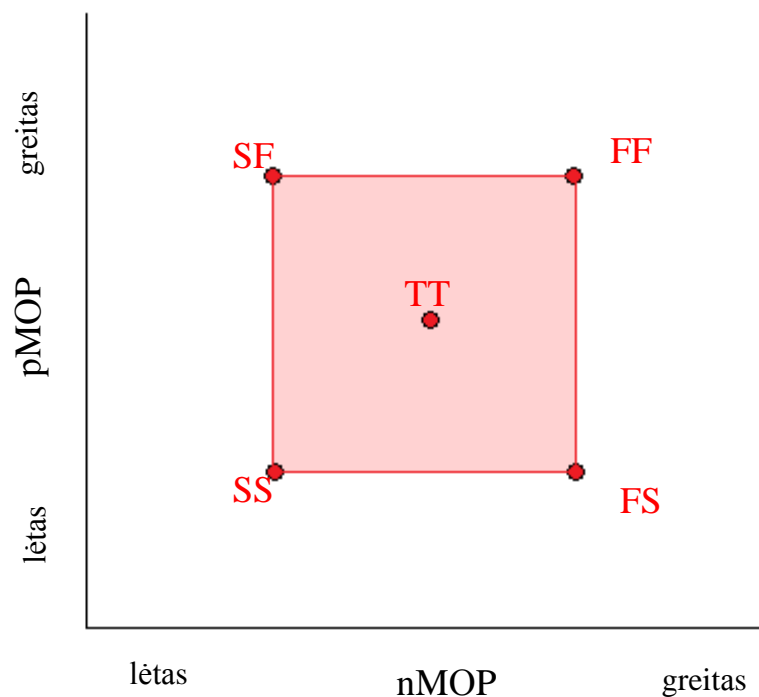
Didelės integracijos integrinių lustų ir puslaidininkinių elementų gamyboje yra naudojamas kampinis parametrų išsibarstymo modeliavimas, kai gamybos parametrai, pvz., priemaišų koncentracija nevienodai pasiskirsto po silicio plokštę. Tokie nukrypimai gali atsirasti dėl įvairių priežasčių, tokiu kaip, pvz., nevienodai pasiskirsčiusi oro drėgmė ar temperatūra. Dažniausiai tokie nevienodumai atsiranda tarp plokštelės centro ir jos kraštų. Šitokie iškraipymai duoda nevienoda krūvininkų judrumą tranzistoriuose, dėl to tranzistorių veikimo sparta gali skirtis. Tokie skirtumai gali įtakoti reikšminius lusto darbo režimus, laikinių bei dažninių charakteristikų pokyčius ar visos sistemos neveikimo priežastimi [2].

## 1.2. Parametrų nuokrypio kampai

Dėl 1.1 skyriuje išvardintų priežasčių, technologinio gamybos proceso metu gali atsirasti tranzistorių parametrų nuokrypiai. Nuokrypiai būna dviejų tipų:

- Kai tranzistorius tampa lėtesnis – S (angl. *slow*);
- Kai tranzistorius tampa greitesnis – F (angl. *fast*).

Įprastai tranzistorių greitaveikos luste išsibarstymas apibudinamas dviejų raidžių trumpiniu, kur pirma raidė parodo n-kanalo tranzistorių parametrų nuokrypį, o antra raidė parodo p-kanalo tranzistorių parametrų nuokrypį. Sutrumpinimas SF reiškia, kad nMOP tipo tranzistoriai sulėtėjo, gamybos proceso metu, o pMOP tipo – pagreitėjo. Bendrai praktikoje naudojami penki tranzistorių parametrų nuokrypių reikšmių sutrumpinimai: SS – lėtas ir lėtas, FS – greitas ir lėtas, SF – lėtas ir greitas, FF – greitas ir greitas ir TT – tipinis ir tipinis. 1.1 pav. parodyta n-kanalo ir p-kanalo visi penki galimi nuokrypio kampai [3].

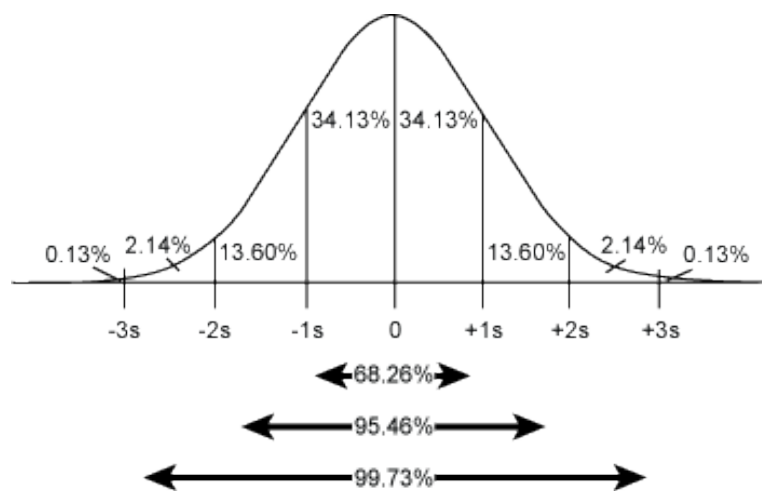


1.1 pav. Nuokrypio kampai [4]

TT nuokrypio kampas rodo, kad tranzistoriai yra pagaminti idealiomis sąlygomis be jokių gamybos parametrų nuokrypių. SS ir FF nuokrypio kampai rodo, kad abiejų tipų tranzistoriai paveikti vienodai, t.y. palėtėję arba pagreitėję. Tokie kampai didelės žalos nedaro sistema gali sėkmingai funkcionuoti. Prie SS kampo suprastėja laikiniai parametrai, prie FF kampo išauga suvartojama srovė. Likusieji kampai SF ir FS vadinami iškreiptaisiais. Jie sukelia daug problemų,

nes vieno tipo tranzistoriai būna greitesni už kito tipo tranzistorius. Raktų persijungimo metu, vieno tipo tranzistorius atsidarys greičiau negu kito tipo tranzistorius užsidarys ar atvirkščiai. Ko pasekmėje bus dideli suvartojamos srovės šuoliai – persijunginėjimo triukšmas arba išbalansuotas persijungimas sukels trikdžius, dėl ko gali atsirasti logikos klaidų [3].

Nuokrypio kampų modeliavime tranzistoriaus parametrų išsibarstymas dažniausiai aprašomas pagal Gauso modelį (1.2 pav.). Atliekant modeliavimus laikoma, kad vertės išsibarsčiusios  $\pm 3\sigma$  ribose, tai sudaro 99,73%.



1.2 pav. Tranzistorių parametrų pasiskirstymas pagal Gauso dėsnį [5]

Visi keturi kampai SS, SF, FS ir FF apibūdina blogiausius galimus gamybos proceso parametrų nuokrypius. Iš to išplaukia, jeigu atlikus modeliavimus ties visais nuokrypių kampais suprojektuotas blokas veikia tinkamai, tai jis veiks prie bet kokio tarpinio nuokrypio [3] (1.1 pav. rausvas plotas).

### 1.3. Tiriama žemos įtampos KMOP išėjimo buferio apžvalga

Žemos įtampos KMOP įrenginiai dažniausiai yra naudojami mikroelektronikoje. Schemos klasifikuojamos į įėjimo ir išėjimo buferius. Išėjimo buferis atsakingas už signalo perkėlimą iš lusto vidaus į išorę. Pagrindinė išėjimo buferio paskirtis yra suderinti įtampos lygius tarp lustų ar atskirų blokų ir buferizuoti lusto išorėje esančią talpuminio pobūdžio apkrovą [6].

Projektuojant greitaeiges schemas, reikia atkreipti dėmesį į tai, kad visų komplementarių tranzistorių persijungimas schemoje sukelia perjungimo triukšmus (angl. *simultaneous switching noise* - *SSN*) [7]. Dėl šių triukšmų atsiranda trumpalaikiai maitinimo šaltinio srovės nutekėjimai į žemę. Bet kokie induktyvumai sukuria grįžtantį elektromagnetinį lauką, kuris persiduoda kaip triukšmas [8]. Vienas iš sprendimų yra didinti sistemos maitinimo ir žemės sujungimų skaičiui. Pavyzdžiui, dirbtinai padaryti didelę parazitinę talpą tarp maitinimo ir žemės takelių. Taip pat luste laisva vieta visad užpildoma kondensatoriais, kurie minimalizuoja persijunginėjimo triukšmus.

Toliau pateikti parametrai, kuriuos turėtų atitikti tiriamas išėjimo buferis. Modeliavimai bus atliekami kartu su topologiniame makete esančiais rezistyvino ir talpuminio pobūdžio parazitiniaisiais dydžiais. Suprojektuotas išėjimo buferis turi tinkamai veikti pramoninio temperatūrinio diapazono ribose, t.y. nuo  $-40^{\circ}\text{C}$  iki  $100^{\circ}\text{C}$ , 200MHz dažniu, Bernulio generatoriaus generuojamu atsitiktinių impulsų periodas turėtų būti 5ns.

Šiame darbe įtampos lygiai apibrėžti pagal JEDEC8-4 standartą [9] (1.1 lentelė).

1.1 lentelė. DC charakteristikos

Symbolis	Parametras	$V_{DD}$ (V)	Min	Typ	Max	Vienetai
$V_{REF}$	Atraminė įtampa		1.1	1.25	1.4	V
$V_{IH}$	Aukšto lygio įėjimo įtampa	2.5	$0.7 V_{DD}$		$V_{DD}+0.3$	V
$V_{IL}$	Žemo lygio įėjimo įtampa	2.5	-0.3		$0.3V_{DD}$	V
$V_{OH}$	Aukšto lygio išėjimo įtampa	2.5	$V_{DD}-0,4$		$V_{DD}$	V
$V_{OL}$	Žemo lygio išėjimo įtampa	2.5	$V_{SS}$		$V_{SS}+0,4$	V

Kad būtų užtikrintas sklandus išėjimo buferio funkcionavimas aukšto lygio įėjimo įtampa (jeigu  $V_{SS}=0\text{V}$  ir  $V_{DD}=2.5\text{V}$ ) turi būti tarp  $-0,3\text{V}$  ir  $0,75\text{V}$ , žemo lygio įtampa tarp  $1,75\text{V}$  ir  $2,8\text{V}$ .

Tinkamai veikiančio buferio išėjimo signalo lygiai turėtų būti žemo lygio tarp 0V ir 0,4V ir aukšto lygio tarp 2,1V ir 2,5V.

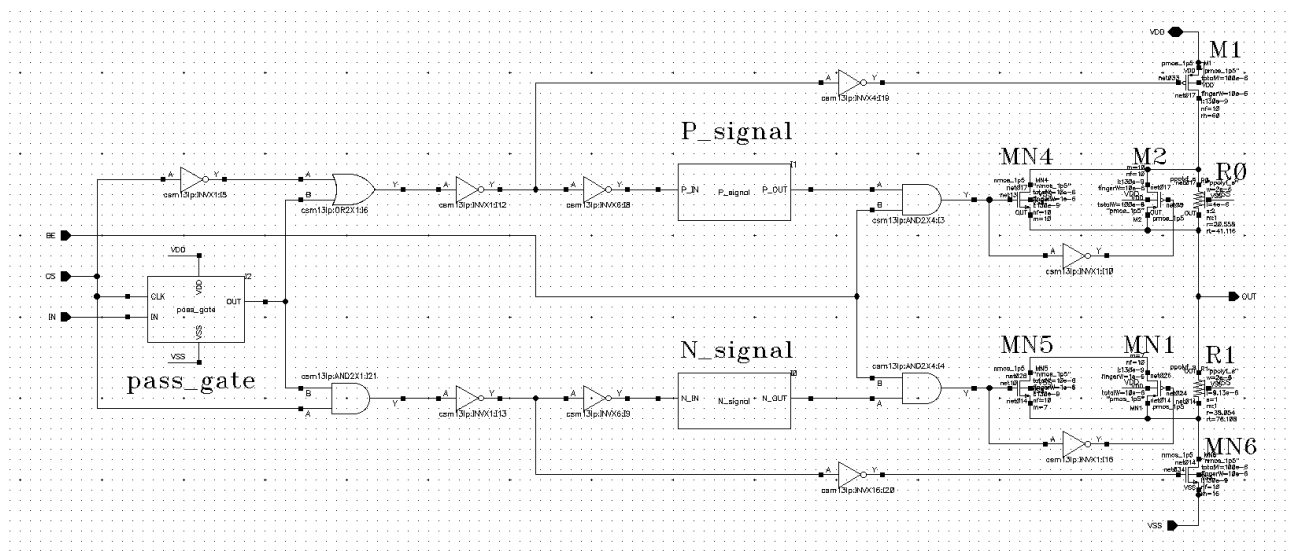
AC charakteristikų lentelėje pateikiami parametrai kurie nusako laikinius parametrus, tokius kaip signalo vėlinimas, frontų trukmės, Išėjimo impedansas,  $S_{22}$  parametras bei skverbties iškraipymas (1.2 lentelė).  $S_{22}$  parametras parodo išėjimo atspindžio koeficientą ir kuris priklauso nuo buferio išėjimo impedanso suderinimo su ilgąją liniją [10].

1.2 lentelė. AC parametrai

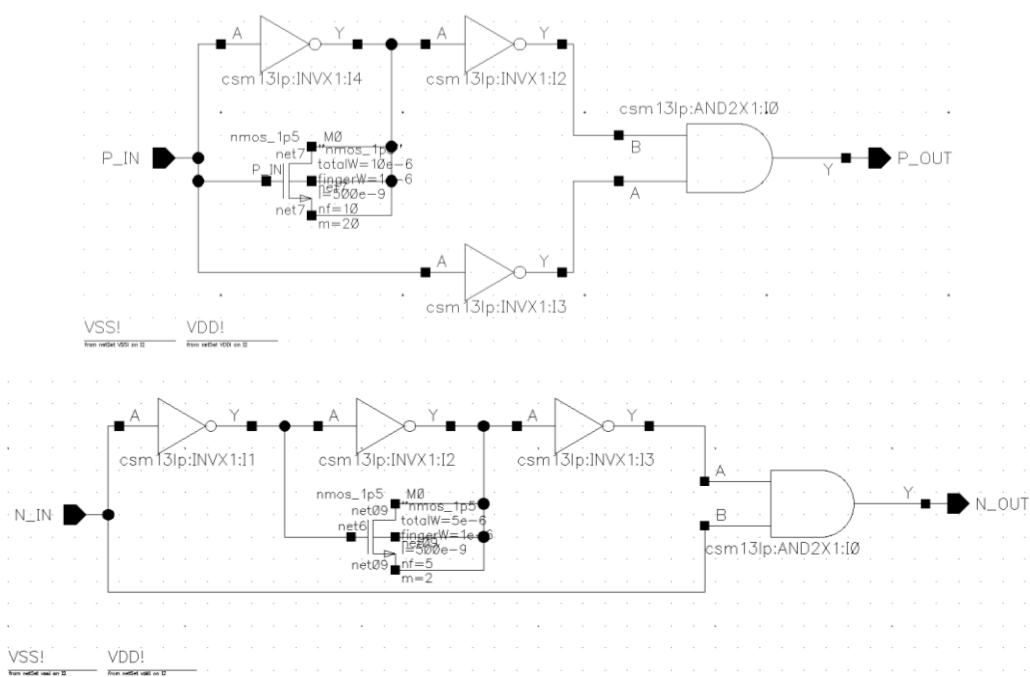
Simbolis	Parametras	Testavimo sąlygos	Min	Typ	Max	Vienetai
$t_{PLH}$ , $t_{PHL}$	Maksimalus vėlinimas	$V_{DD} = 2.5V$ $C_L = 15 pF$			1	ns
$t_{TLH}$ , $t_{THL}$	Pereinamojo proceso laikas išėjime	$V_{DD} = 2.5V$ $C_L = 15 pF$		0.7	1.5	ns
	Išėjimo impedansas			50		$\Omega$
	$S_{22}$				-10	dB
	Skverbties iškraipymas				5	%

### 1.3.1. Principinės schemos apžvalga

Tiriamą buferį sudaro dvi dalys, tai valdymo logika ir galinis stiprintuvas. Valdymo logikos paskirtis tinkamai valdyti galinio stiprintuvo tranzistorius M1 ir MN6 (1.4 pav.), kurie pasižymi didele užtūros talpa. Naudojant buferį žemesniame dažnyje galima į „BE“ (angl. *boost enable*) išvadą paduoti žemą lygį. Tokiu atveju nebebus junginėjami MN4, M2, MN5 ir MN1 tranzistoriai, kurie lygiagrečiai yra prijungti prie R0 ir R1 rezistorių ir lygio pasikeitimo metu atsidaro. Bendra tranzistorių ir varžos junginio varža patampa artima tranzistorių kanalo varžai. Tranzistoriai valdomi „P\_signal“ ir „N\_signal“ blokais (1.5 pav.). P\_signal naudojamas kai išėjime įtampos lygis persijungia iš žemo į aukštą, N\_signal naudojamas lygiui keičiantis iš aukšto į žemą.



1.2 pav. Išėjimo buferio principinė schema



1.3 pav. P\_signal (viršuje) ir N\_signal (apačioje) blokai

Visiškam buferio išjungimui skirtas „CS“ (angl. *chip select*) išvadas, kurį pajungus prie Vss įtampos, ventilio (pass\_gate blokas) pagalba yra atjungiamas įėjimo signalas nuo visos valdymo logikos. Išėjime būna palaikoma aukšto impedanso būseną „Z“, nepriklausomai nuo lygio „IN“ išvade (1.3 lentelė).



1.3 lentelė. Teisingumo lentelė

CS	IN	P signalas	N signalas	Išėjimas
1	0	0	0	1
1	1	1	1	0
0	X	1	0	Z

Išėjimo buferio, „P\_signal“, „N\_signal“ ir „pass\_gate“ blokų valdymo logikai panaudoti tokie loginiai elementai kaip inverteris, loginis „IR“ bei loginis „ARBA“. Galinio stiprintuvo tranzistoriams su didele užtūra bei talpa buferizavimui naudojami X6 dydžio inverteriai.

Visi specifikacijos parametrai turi būti patikrinti naudojant modeliavimą maksimaliame dažnyje ir visuose parametrų nuokrypio kampuose.

Šiame skyriuje buvo atlikta teorinė išėjimo buferio apžvalga. Susipažinta su technologinio gamybos proceso nuokrypio kampais, aptarti dokumentacijoje esantys parametrai, taip pat atlikta principinės schemos apžvalga bei susipažinta su schemoje esančiais blokais. Toliau sekančiame skyriuje bus susipažinama su tyrimo metodologija, kaip bus atliekami matavimai naudojant suprojektuotas testavimų schemas. Aptarti topologinio maketo projektavimo taisyklės bei reikalavimai.

## 2. TYRIMO METODOLOGIJA

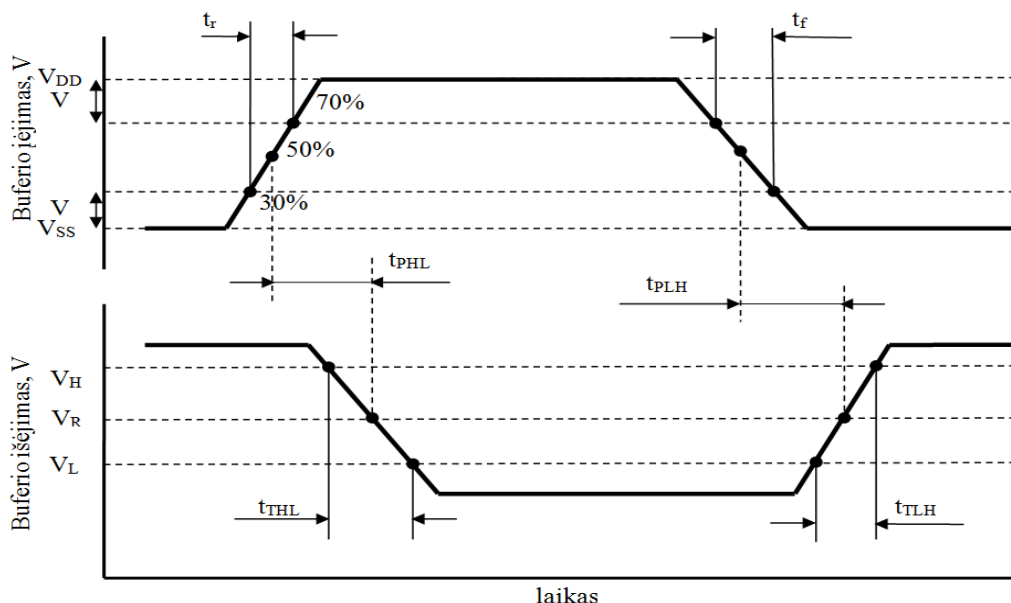
Eksperimentiniam modeliavimui atlikti buvo pasitelkta „Cadence“ mikroschemų projektavimo bei simuliacijos įrankis „Virtuoso Analog Design Environment L“ (sutr. ADE L). Programinė aplinka kurioje buvo vykdomos visos programos, tai Linux operacinės sistemos modifikacija – CentOS 6.

Topologijos maketo projektavimui buvo naudojama „GLOBALFOUNDRIES“ 0,18 $\mu$ m chrt130 technologija, kuria sudaro 6 metalo sluoksniai (priedas P-1). Apatiniai pirmieji penki sluoksniai gaminami iš vario, 6 viršutinis – aliuminis. Visi technologijoje esantys elementai turi modelius, kurie yra panaudojami modeliavimui. Taip pat visi elementai yra pritaikyti projektavimui ir gamybai.

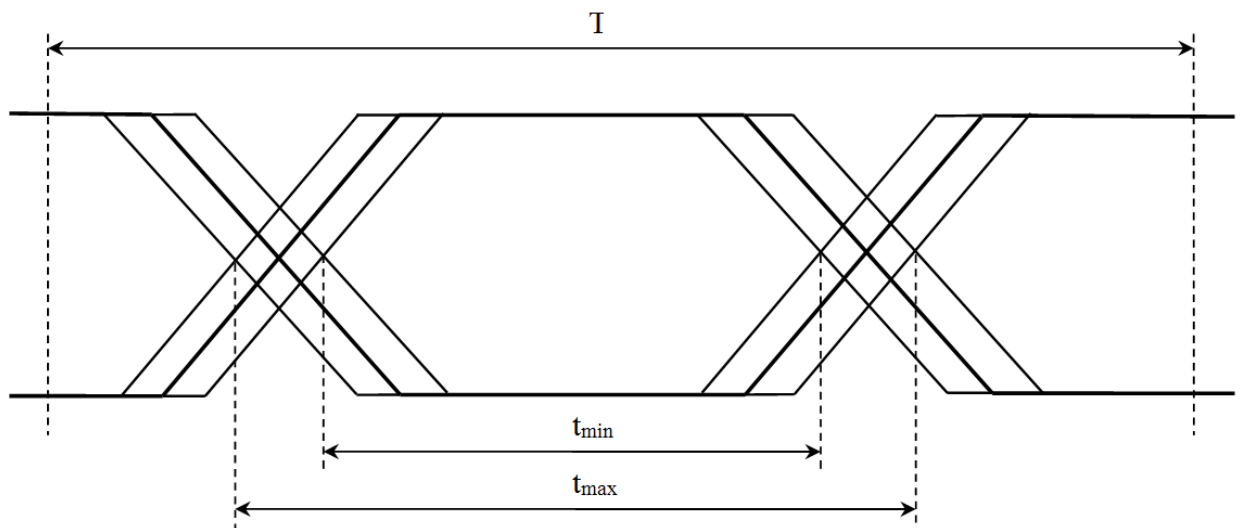
Modeliavimui naudojama pilnai suprojektuota principinė schema, kuri testuojama pasitelkiant sukurtas testavimo schemas. Modeliuojama principinė testavimo schema kartu su išėjimo buferio topologijos maketo ekstraktu. Ekstraktas – tai failas kuriame yra visi parazitiniai dydžiai ištraukti iš topologijos maketo. Toks modeliavimas su parazitiniais dydžiais beveik prilygsta realiai pagamintų lustų testavimo rezultatams.

### 2.1. Parametrų matavimo schemas

Specifikacijos parametrų matavimui buvo sudarytos schemas, kuriomis remiantis buvo atliekami matavimai. Matavimai buvo atliekami pagal dvi matavimų schemas, įtampų lygiai, vėlinimas ir pereinamojo proceso trukmė išėjime buvo matuojama pagal (2.1 pav.), skverbties iškraipymas – pagal (2.2 pav.) pavaizduotą akies diagramą.



2.1 pav. laikinių parametrų matavimo schema



2.2 pav. Skverbties iškraipymo matavimo schema

Čia  $T$  – periodas, kurio trukmė 2.5ns, dažnis – 200MHz.

Visi matavimai buvo atliekami kursorių pagalba. Skverbties iškraipymas buvo matuojamas iš akies diagramos ir apskaičiuojamas pagal (2.1) formulę:

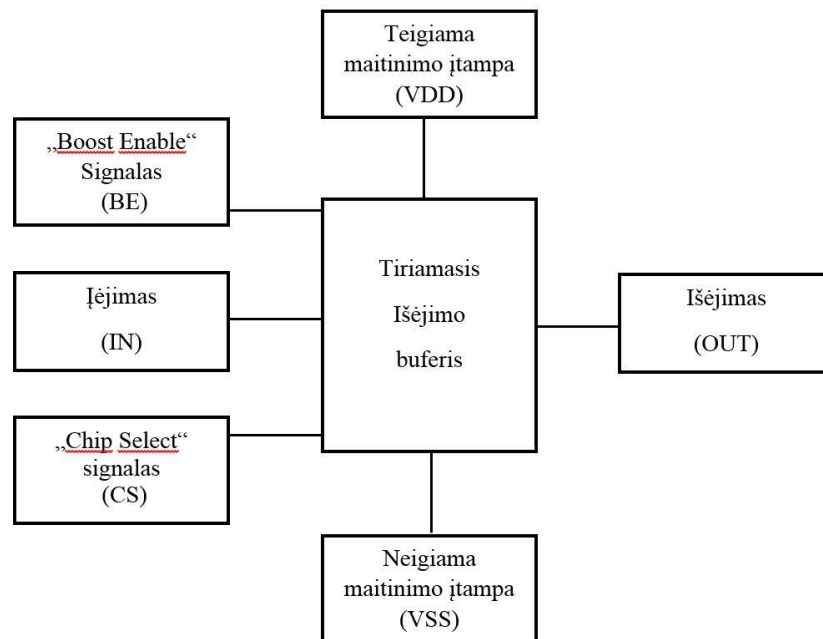
$$DCD = \frac{t_{max} - t_{min}}{2 \cdot T} \cdot 100\%; \quad (2.1)$$

## 2.2. Modeliavimo schemas

Eksperimentiniam modeliavimui atlikti buvo suprojektuotos dvi testavimo schemas į kurias buvo įdėtas tiriamasis išėjimo buferis. Naudojant pirmąją testavimo schemą buvo modeliuojami visi laikiniai parametrai, gaunamos laikinės bei akies diagramos. Su antrąją schema buvo modeliuojami tokie parametrai kaip  $S_{22}$  parametras,  $H_{22}$  parametras iš kurio vėliau buvo apskaičiuojama buferio išėjimo impedansas.

### 2.2.1. Laikinių parametru modeliavimas

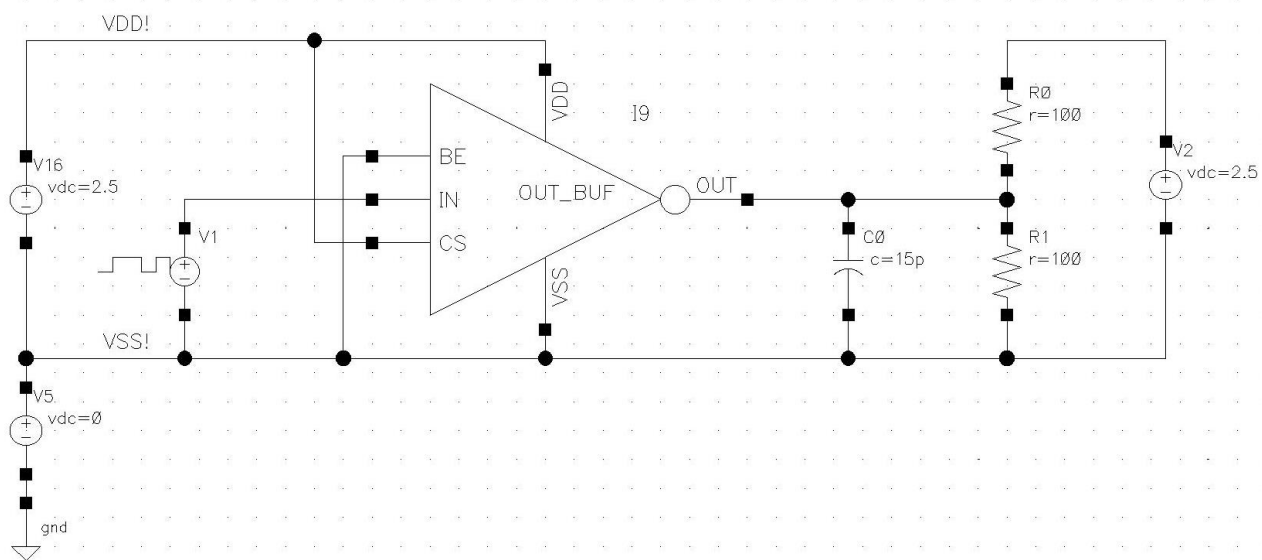
Laikinių parametru modeliavimui susikuriame naują testinę schemą su atitinkamais signalinių bei maitinimo šaltinių parametrais. 2.3 pav. parodyta struktūrinė išėjimo buferio laikinių parametru modeliavimo schema.



2.3 pav. Struktūrinė išėjimo buferio modeliavimo schema

Norint tinkamai ištirti išėjimo buferį, jo laikinių parametų testavimo schemą turi sudaryti atitinkami blokai bei grandinės. Schemą sudaro maitinimo grandis, Bernulio generatorius, talpuminio pobūdžio apkrova ir rezistoriai tinkamiems įtampos lygiams palaikyti.

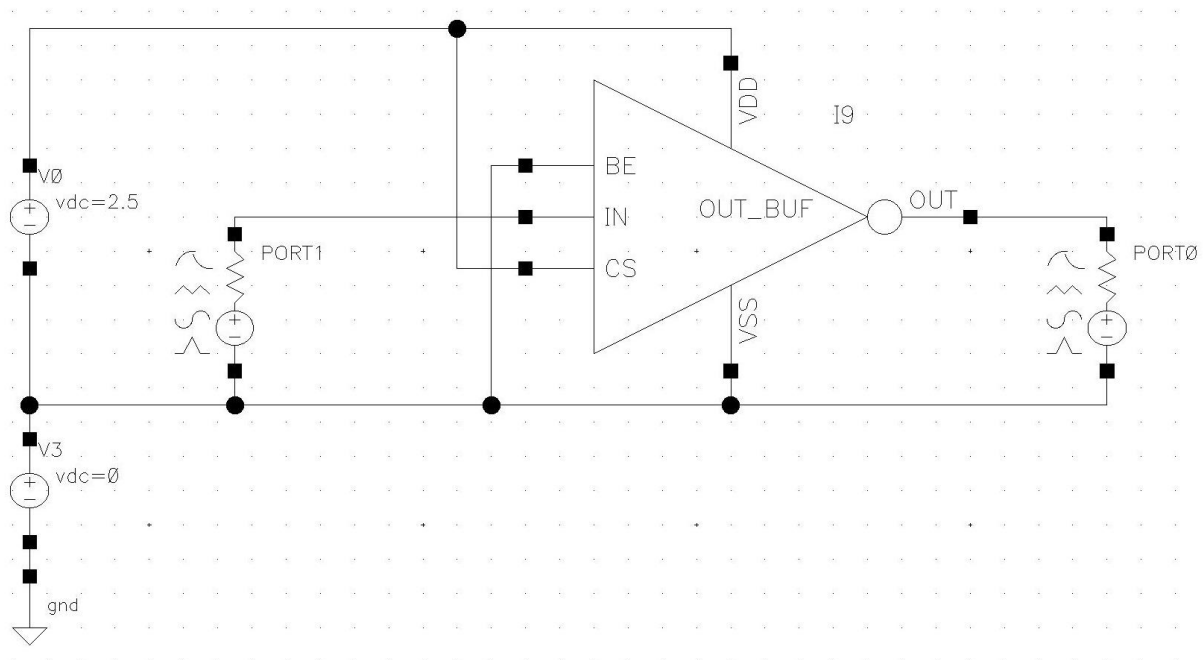
2.4 pav. pavaizduota reali KMOP išėjimo buferio modeliavimo schema. Joje sužymėti V1 – atsitiktinės dvejetainės sekos impulsų generatorius (Bernulio generatorius), kuris veikia 200MHz dažniu, V5 ir V16 – įtampos šaltiniai 0V ir 2,5V, I9 – modeliuojamas išėjimo buferis, C0 – 15pF, apkrovos modelis, ilgosios linijos bei įėjimo buferio parazitinė talpa, R0 – 100  $\Omega$  ir R1 – 100  $\Omega$  – rezistoriai skirti užtikrinti tinkama atraminę įtampą.



2.4 pav. KMOP išėjimo buferio laikinių parametų modeliavimo schema

### 2.2.2. $H_{22}$ ir $S_{22}$ parametrų modeliavimo schema

Tiriamas išėjimo buferis pagal dokumentaciją privalo turėti  $50\ \Omega$  išėjimo impedansą, kas atitinka  $20\text{mS}$  admitansą, kurį parodo  $H_{22}$  parametras. Taip pat svarbus ir atspindžio koeficientas –  $S_{22}$  parametras, kuris pagal dokumentaciją privalo būti ne daugiau kaip  $-10\text{dB}$ . Šiems abiem parametrams buvo suprojektuota sekanti modeliavimo schema 2.5 pav. Ją sudaro tiriamas buferis I9, įtampos šaltiniai – V0 ir V3 bei signalo šaltiniai (terminalai) – PORT0 ir PORT1, kurie nuosekliai turi  $50\ \Omega$  varžą.



2.5 pav. KMOP išėjimo buferio  $H_{22}$  ir  $S_{22}$  parametrų modeliavimo schema

Modeliavimas atliekamas dviem atvejais, kai PORT1 maitinimo įtampa lygi  $0\text{V}$  ir kitas atvejis kai PORT1 įtampa lygi  $2,5\text{VDC}$ , PORT0 įtampa abiem atvejais lygi  $0\text{V}$ . Pirmuoju atveju yra tiriamas viršutinysis išėjimo buferio petys, t.y. P-kanalo tranzistorius, antruoju – N-kanalo tranzistorius. Tranzistoriai nėra identiško dydžio dėl P-kanalo tranzistoriaus didesnės savitosios varžos, dėl to norint, kad abiejų tranzistorių varža būtų pakankamai vienoda reikia juos parinkti skirtingo dydžio.

### 2.3. Topologinio maketo brėžinys

Topologinis maketas yra braižomas laikantis mikroelektronikos taisyklių. Galinio stiprintuvo tranzistorius išdėstyti taip, kad kiekvienam iš jų būtų kuo vienodesnis poveikis. N-kanalo ir P-kanalo tranzistorius išdėstomi grupėmis nesimaišydami tarpusavyje. Stengtis visus takelius braižyti kuo trumpesnius, taip išvengiant parazitinio takelio rezistyvumo bei talpumo. Jei technologija leidžia, kur įmanoma takelius vesti  $45^\circ$  kampu. Taip jie gausis trumpesni. Takeliai turėtų būti kuo mažiau persidengę su kitame sluoksnyje esančiais takeliais, t. y. vengti lygiagrečių takelių vienas virš kito esančiuose sluoksniuose, nebent tai būtų maitinimo takeliai ir norima padidinti talpą tarp maitinimo ir žemės („gerasis parazitas“). Pagal srovės tankį parinkti tinkamo pločio takelius, kad dėl elektromigracijos efekto nesugestų lustas. Pagamintas integrinis grandynas prie maksimalios temperatūros kurios buvo projektuojamas, turėtų veikti 100 000 valandų, t.y. šiek tiek daugiau nei 11 metų. Prie didesnių srovės tankių (~1mA ir daugiau) norint išlaikyti tą patį sistemos patikimumą, maksimalią temperatūrą padidinus nuo  $100^\circ\text{C}$  iki  $125^\circ\text{C}$ , takelio plotį gali tekti padidinti penkis kartus.

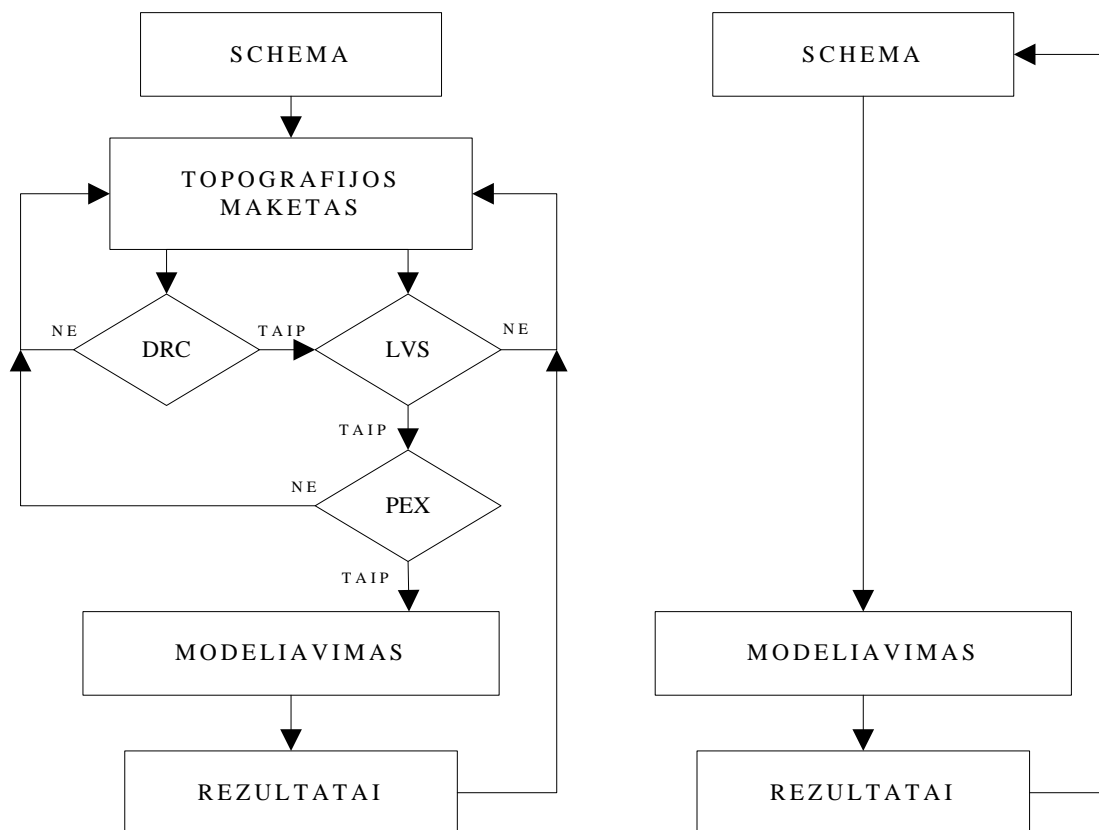
#### 2.3.1. Topologinio brėžinio projektavimo reikalavimai

Projektuojant išėjimo buferio topologiją reiktų laikytis šių reikalavimų:

- Užtikrinti išėjimo buferio, jo komponentų ir takelių simetriškumą P ir N peties atžvilgiu.
- Rezistoriai užtikrinantys buferio išėjimo impedansą turi būti tos pačios orientacijos (negali būti statmeni vienas kitam).
- Visų luste esančių tiek P-kanalo tiek N-kanalo tranzistorių užtūros taip pat turi būti vienodos orientacijos.
- Išėjimo buferio forma turėtų būti kuo panašesnė į stačiakampį, taip jį lengviau bus panaudoti visame integriniame grandyne.
- Braižant topologiją stengtis naudoti kuo žemesnio sluoksnio metalą ir panaudoti kuo mažiau metalų iš skirtingų sluoksnių.
- Buferio pajungimui prie maitinimo tinklelio naudoti kuo daugiau perėjimų (angl. VIA) iš apatinių metalų sluoksnių į maitinimo tinklelio apatini metalą. Šiuo atveju į trečią metalo sluoksnį. Mažas perėjimų skaičius didina maitinimo grandies varžą.

### 2.3.2. Išėjimo buferio topologijos projektavimas

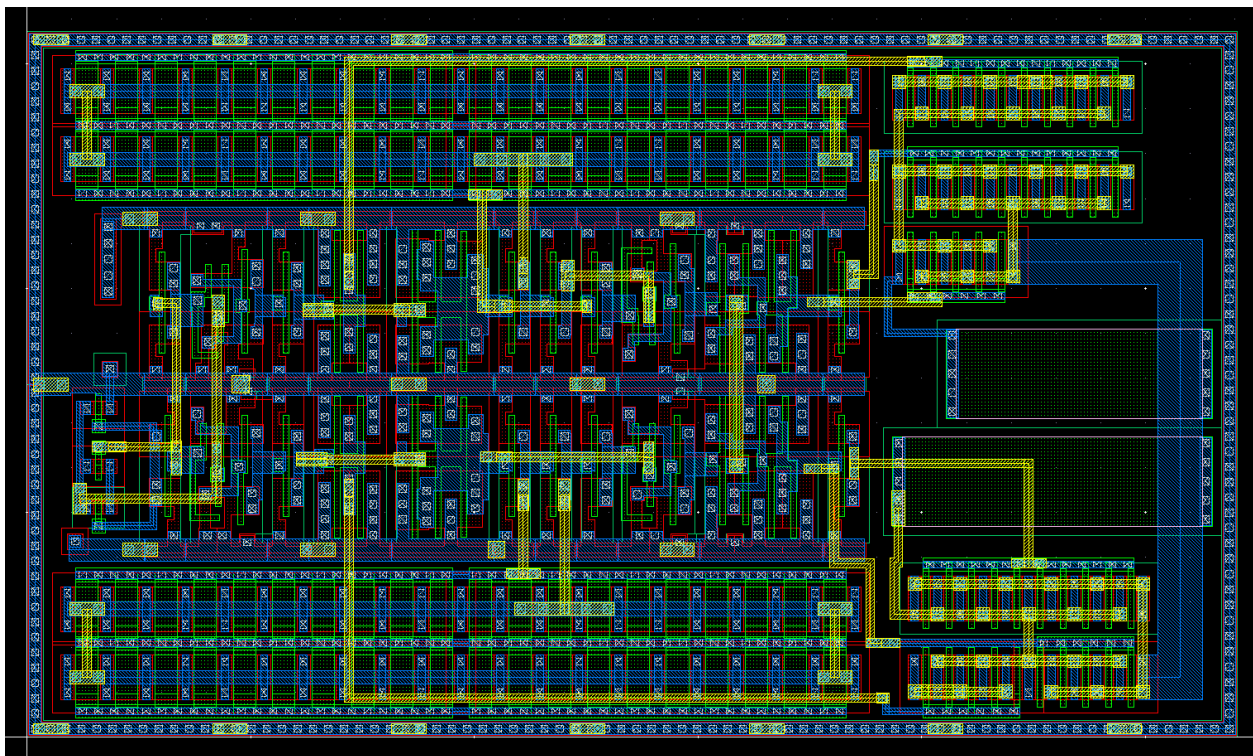
Topologinio brėžinio projektavimas visad prasideda nuo schemos detalių parinkimo. 2.6 pav. a parodyta bet kokio integrinio grandyno topologinio brėžinio projektavimo schema, punktyrais pažymėtos dalys kurios daromos su topologiniu brėžiniu, 2.6 pav. b parodytos dalys kurios vykdomos dirbant su principine schema. Sudėjus i topologinį maketą principinėje schemoje esančias dalis, teisingai sujungiamo takeliais visus elementų išvadus. Vėliau galima nubraižytą topologinį brėžinį tikrinti klaidų patikros įrankiais – projektavimo taisyklių patikrinimas ir topologijos maketo patikrinimas su principine schema. Šie įrankiai skirti surasti projektavimo ir sujungimų klaidas brėžinyje (plačiau 2.3.4. skyriuje). Toliau, kai jau topologijos maketas atitinka be klaidų principinę schemą, galima naudojantis PEX (QRC) įrankiu išskirti kiekvienos šakos parazitinius rezistyvumus ir talpas. Gautas failas su parazitiniiais dydžiais naudojamas modeliavime ir rezultatai lyginami su rezultatais gautais iš modeliavimo be parazitinių dydžių arba su parametrais iš dokumentacijos. Esant blogiems modeliavimo rezultatams yra koreguojama topologinio maketo reikiama vieta. Tokių iteracijų gali būti kelios, tol kol modeliavimo rezultatai pasidarys tinkami lusto gamybai. Jei vis dėl to nepavyksta topologijos maketo dizaineriui sumažinti reikiamo parazitinio dydžio, tuomet yra koreguojama principinė schema.



2.6 pav. Topologinio maketo projektavimo schema (a),  
 principinės schemos projektavimo schema (b)

### 2.3.3. Topologinis maketas

Remiantis prieš tai aprašytomis taisyklėmis ir reikalavimais bei vykdant topologinio maketo projektavimo seką buvo suprojektuotas šiame darbe aptaro žemos įtampos KMOP išėjimo buferio topologijos brėžinys (2.7 pav). Brėžinyje nėra pavaizduotas maitinimo tinklelis, kad nebūtų uždenyta daugiau informacijos nešanti grafinė medžiaga, kuri susidaro iš žemiau esančių metalo sluoksnių.



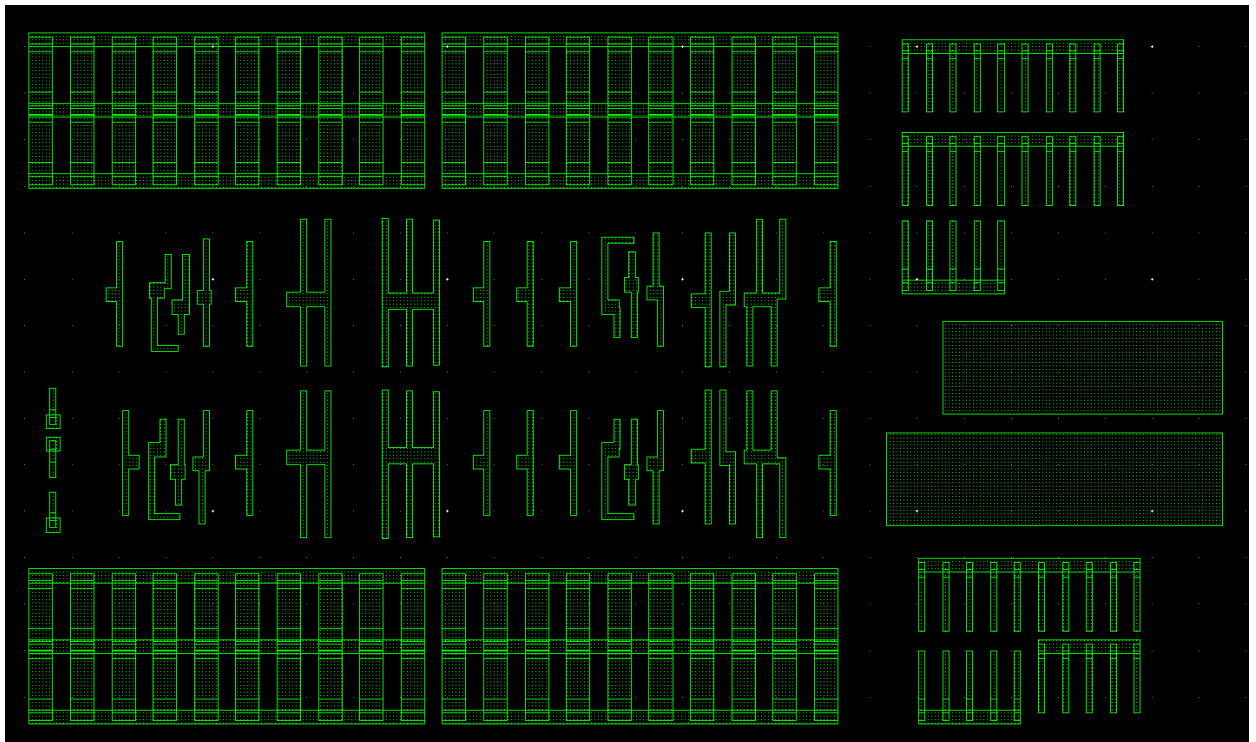
2.7 pav. Žemos įtampos KMOP išėjimo buferio topologijos brėžinys

Visa valdymo logikos elementai išsidėstę centre, virš jos – „P\_signal“ bloko kondensatorius, žemiau valdymo logikos elementų – „N\_signal“ bloko kondensatorius. Maketo dešinėje išsidėstę galinio stiprintuvo elementai. Galime įžvelgti, kad viršutinis rezistorius trumpesnis, taip yra dėl to, kad viršutiniame petyje esančio P-kanalo tranzistoriaus varža yra didesnė lyginant su N-kanalo tranzistoriaus kanalo varža. Visą maketą juosia M1 metalo apsauginis žiedas kuris prijungtas prie Vss. Toks apsauginis žiedas veikia kaip ekranavimas ir saugo nuo gretimų blokų triukšmų.

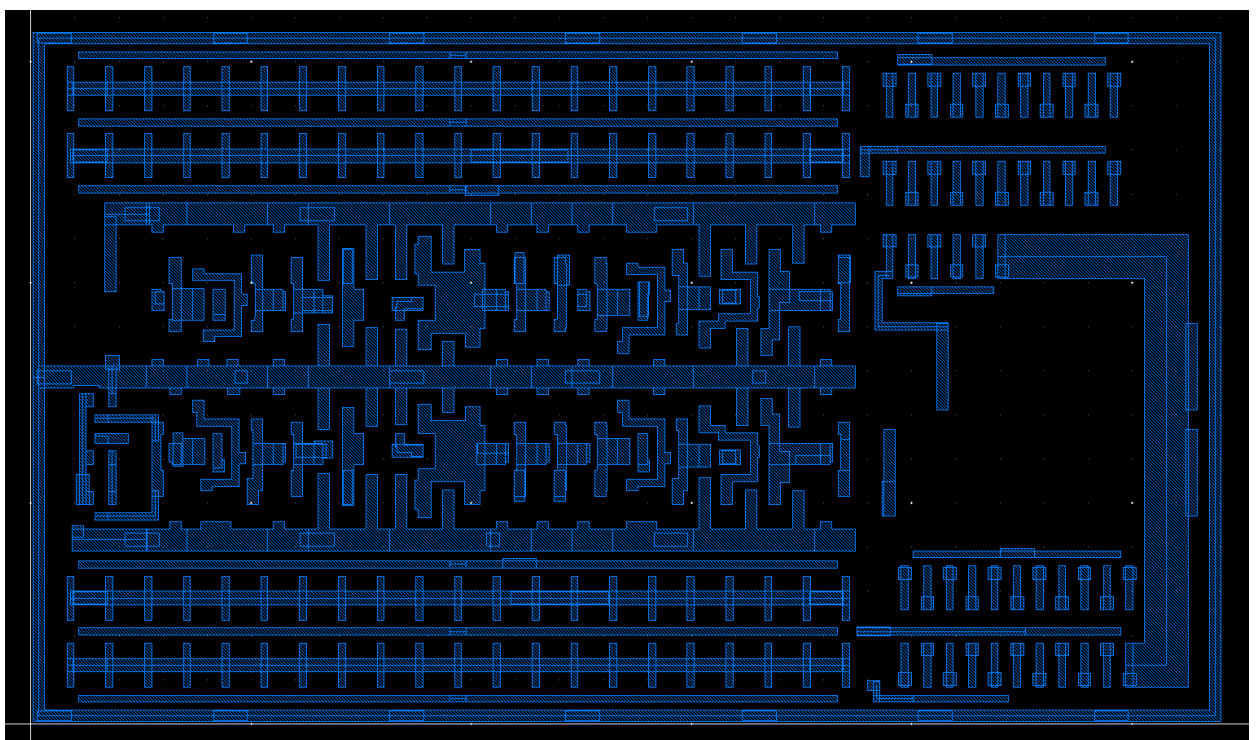
Signalinių takelių plotis M1 sluoksnyje – 180nm, M2 sluoksnyje – 210nm. Rezistorių plotis – 2 $\mu$ m, ilgiai – 5,5 $\mu$ m ir 6,7 $\mu$ m. Viso topologinio brėžinio matmenys – 27,06 $\mu$ m x 15,72  $\mu$ m. Lyginant su 180nm topologijos brėžinio užimamu plotu tai 28% mažesnis plotas.



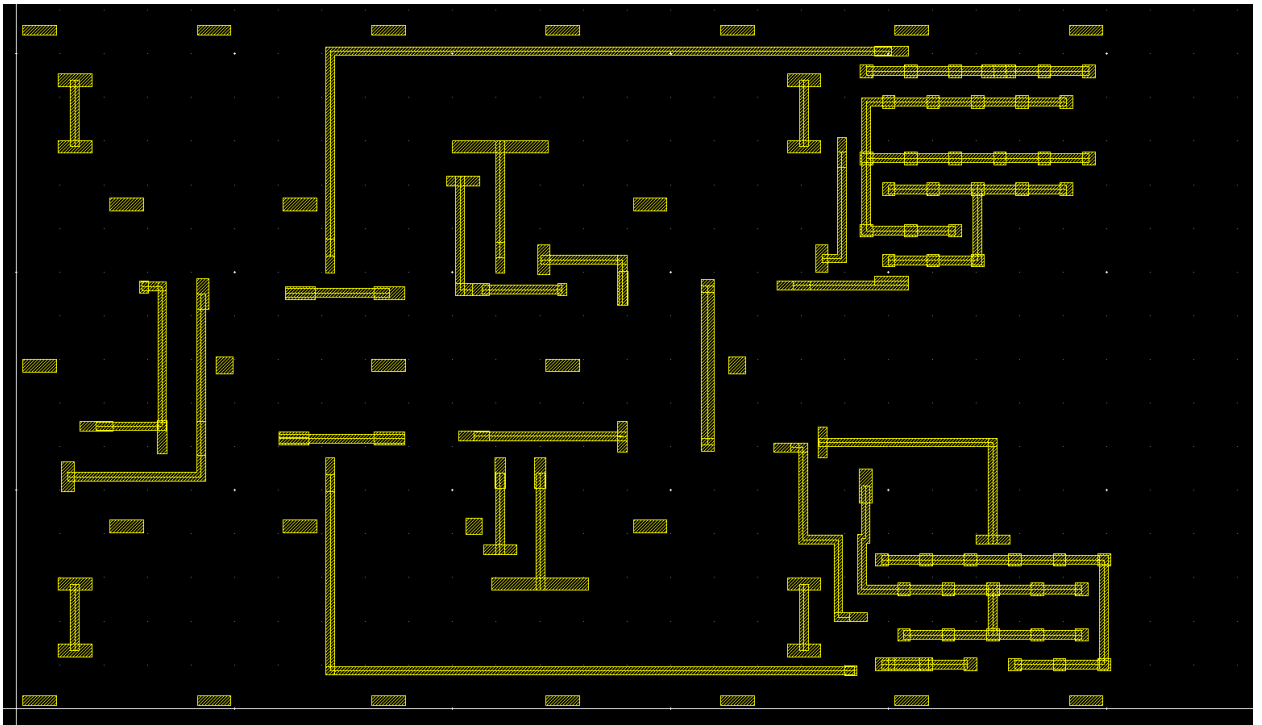
2.8 pav., 2.9 pav. ir 2.10 pav. pavaizduotas polisilicio, pirmojo ir antrojo metalų išsidėstymas sluoksniuose. Sekantys sluoksniai nebus vaizduojami dėl per mažo informatyvumo: NWELL, COMP, PPLUS, NPLUS, CNT, VIA1, VIA2, RES\_MRK, prBndry. 2.11 pav. parodyta kokių principu yra suprojektuotas srovės paskirstymas po visu išėjimo buferio bloku.



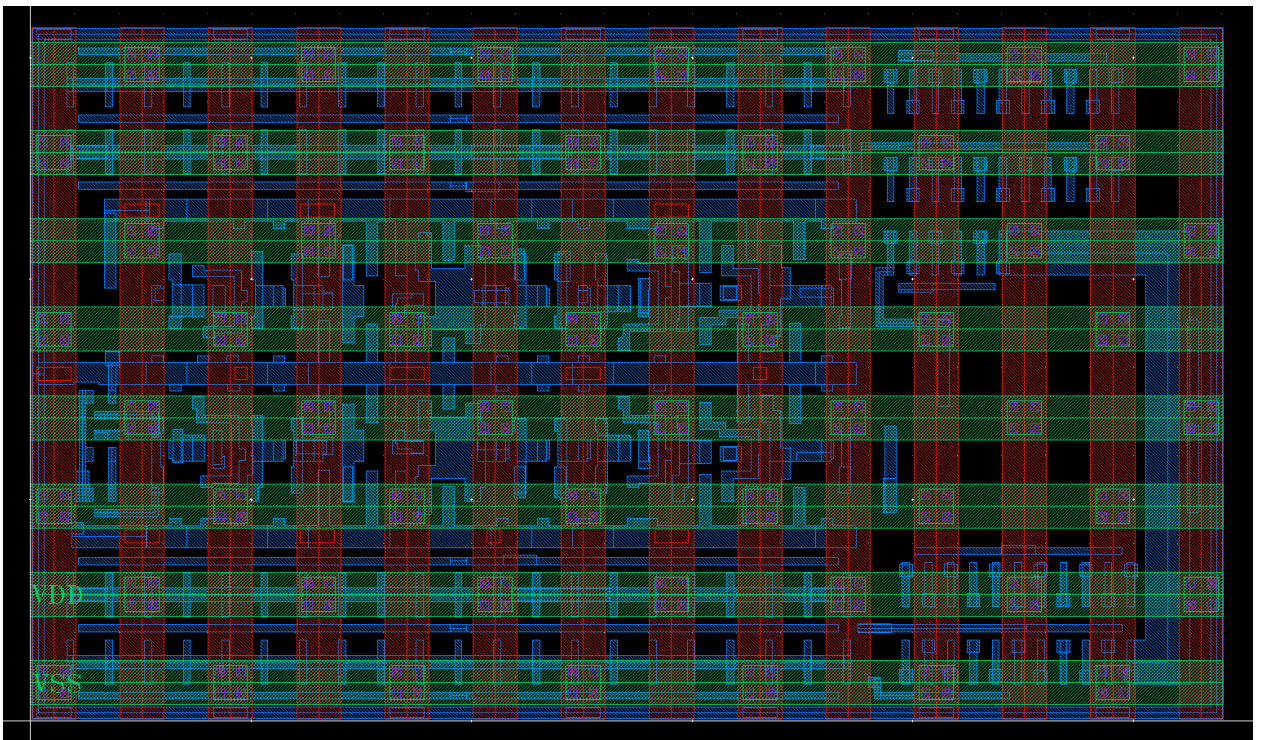
2.8 pav. Poli-silicio išsidėstymas



2.9 pav. M1 metalo išsidėstymas



2.10 pav. M2 metalo išsidėstymas



2.10 pav. Maitinimo tinklelis iš M3 ir M4 metalo sluoksnių

Topologijos maketas buvo suprojektuotas naudojant tik du metalo sluoksnius neskaitant maitinimo tinklelio. Visi elementai išdėstyti taip, kad jungiamieji takeliai būtų kuo trumpesni stengiantis išvengti parazitinių dydžių.

### 2.3.4. Topologinio maketo patikra

Topologinis brėžinys buvo tikrinamas „Cadence“ projektavimo klaidų patikros įrankiu – „Calibre DRC“ (angl. *design rules check*), kuris yra skirtas aptikti topologinėms projektavimo klaidoms, pvz. takelis nubrėžtas per plonas ar per mažas tarpas tarp to paties sluoksnio metalų. Taisyklių skaičius gali siekti priklausomai nuo technologijos keliasdešimt ir daugiau.

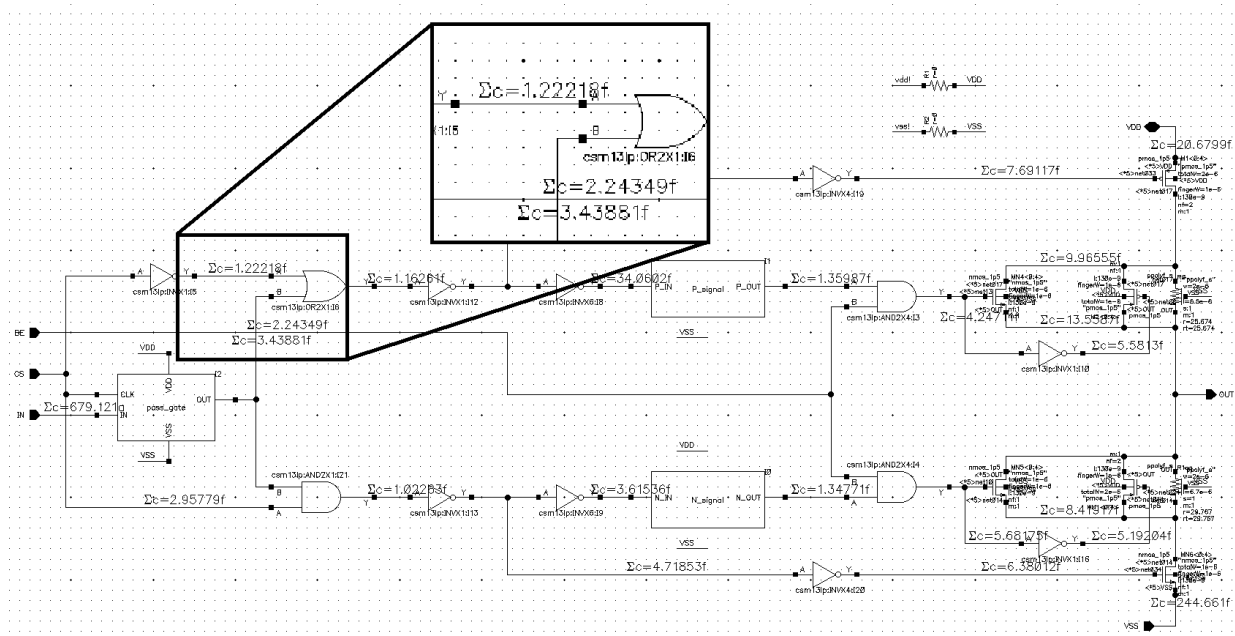
Takelių sujungimų teisingumui principinės schemos atžvilgiu tikrinti yra skirtas įrankis – „Calibre LVS“ (angl. *layout versus schematic*). Tikrinama ar elementų išvadai teisingai prijungti prie tam tikrų schemos šakų, kiekviena šaka turi savo pavadinimą, pvz. /net072. Taip pat tikrinama ar atitinka bendras šakų skaičius tarp principinės schemos ir topografijos maketo.

### 2.3.5. Parazitinių dydžių išskyrimas

Parazitinių dydžių išskyrimas (angl. *extraction*) – tai rezistyvumų ir talpumų gavimas iš suprojektuoto topologinio maketo, kuriame tarp signalinių takelių, tarp signalinių ir maitinimo takelių susidaro nepageidaujamos talpos. Rezistyvumai atsiranda dėl savitosios takelio metalo varžos. Parazitinių dydžių išskyrimas buvo atliekamas „Assura“ įrankiu „QRC extraction“. Failas su parazitiniiais dydžiais yra toliau modeliuojamas tam, kad būtų įvertinta realus topologiniame makete panaudotų elementų bei takelių tarpusavio ryšys [11].

### 3. TYRIMŲ REZULTATAI

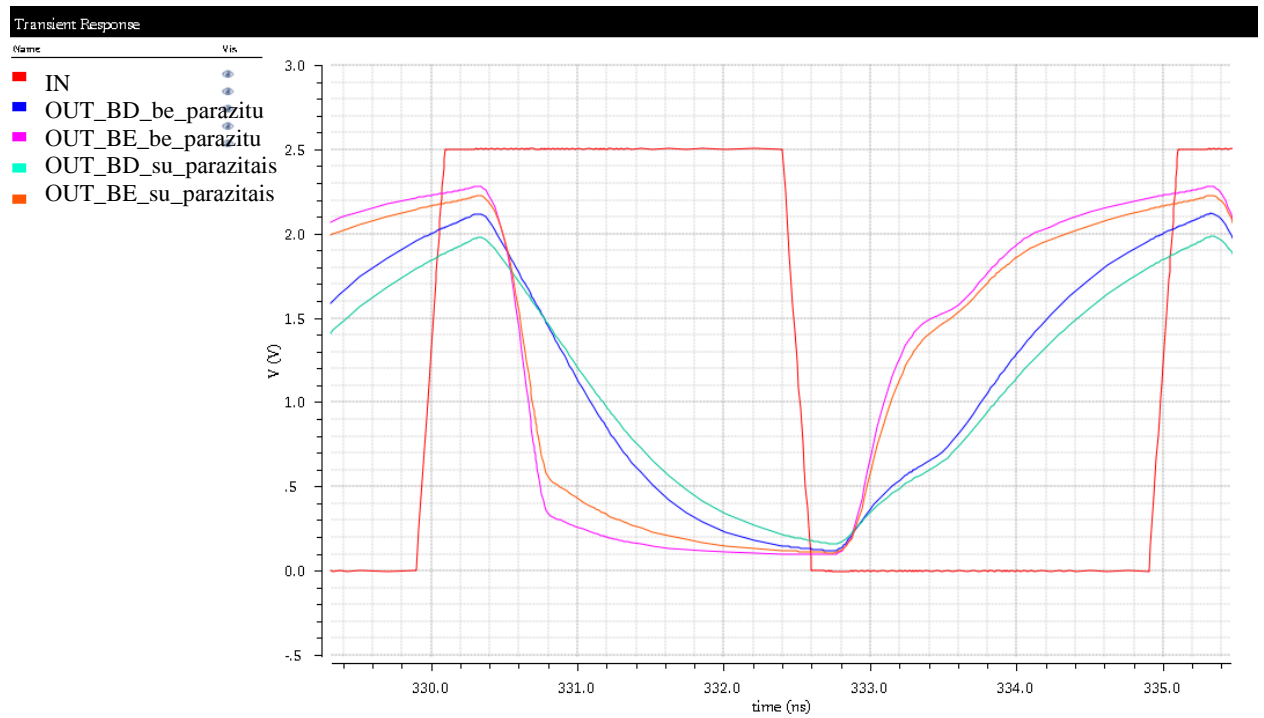
Visų parametų modeliavimas buvo atliekamas prie trijų skirtingų temperatūrų, prie kiekvienos skirtingos temperatūros buvo modeliuojama visi technologinio gamybos proceso nuokrypio kampai ir lyginami rezultatų parametrai, kai buvo modeliauta be parazitinių ir kai su parazitiniiais dydžiais. Suprojektavus topologinį brėžinį ir sėkmingai patikrinus su DRC ir LVS įrankiais buvo padarytas naudojantis PEX įrankiu ekstraktas kurį galime įsidėti į principinę schemą ir pamatyti kiekvienos šakos parazitinę talpą 3.1 pav. Dėl programinės įrangos klaidų, parazitinio rezistyvumo principinėje schemoje pamatyti neįmanoma. Prie kiekvienos šakos buvo rodoma  $\Sigma R = NA$ .



3.1 pav. Principė schema kartu su topologijos parazitiniiais talpumis

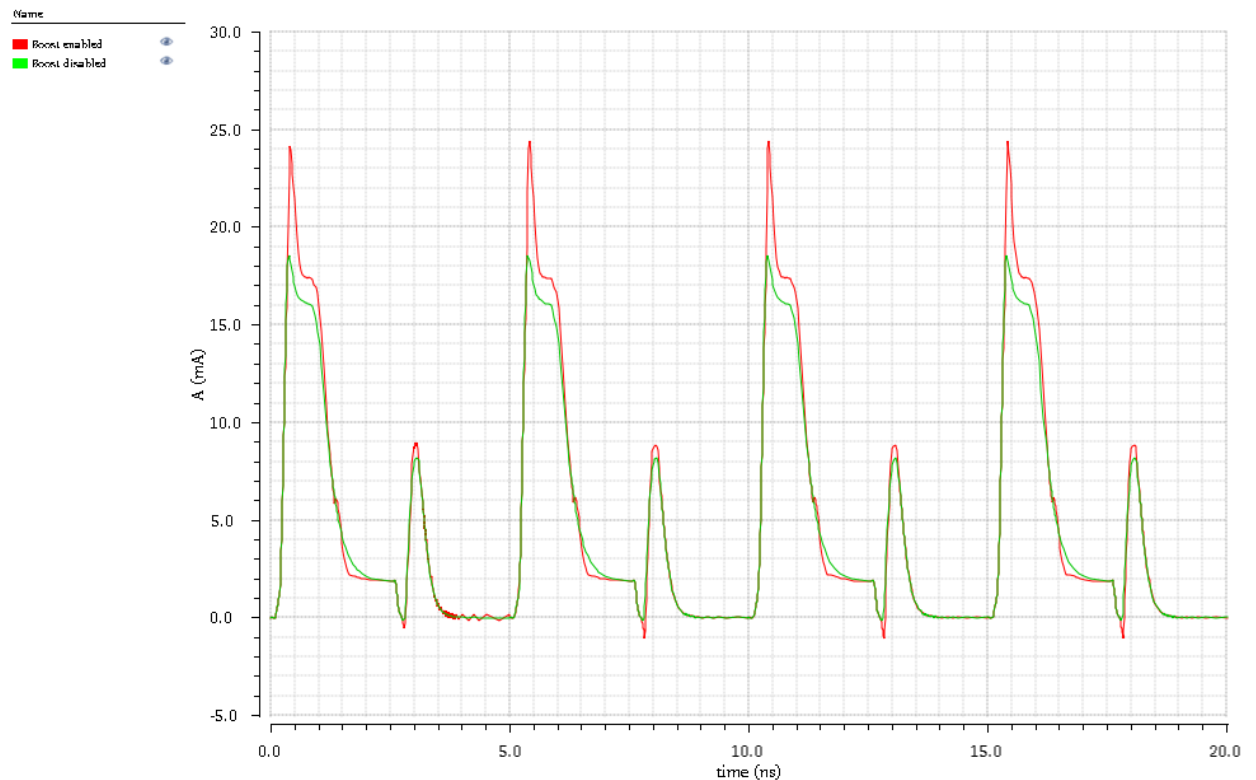
#### 3.1. Laikinių parametų modeliavimo rezultatai

Laikiniai parametrai buvo matuojami, kai „Boost Enable“ išvadas buvo prijungtas prie aukšto įtampos lygio. Priešingu atveju išėjimo buferis negalėtų veikti 200MHz dažniu. Skirtumas kai „Boost enable“ įjungtas ir kai išjungtas pavaizduotas 3.2 pav. Modeliavimas atliktas dviem atvejais, su parazitiniiais dydžiais ir be. Modeliavimo sąlygos: 27°C ir TT nuokrypio kampas.



3.2 pav. „Boost“ veikimas

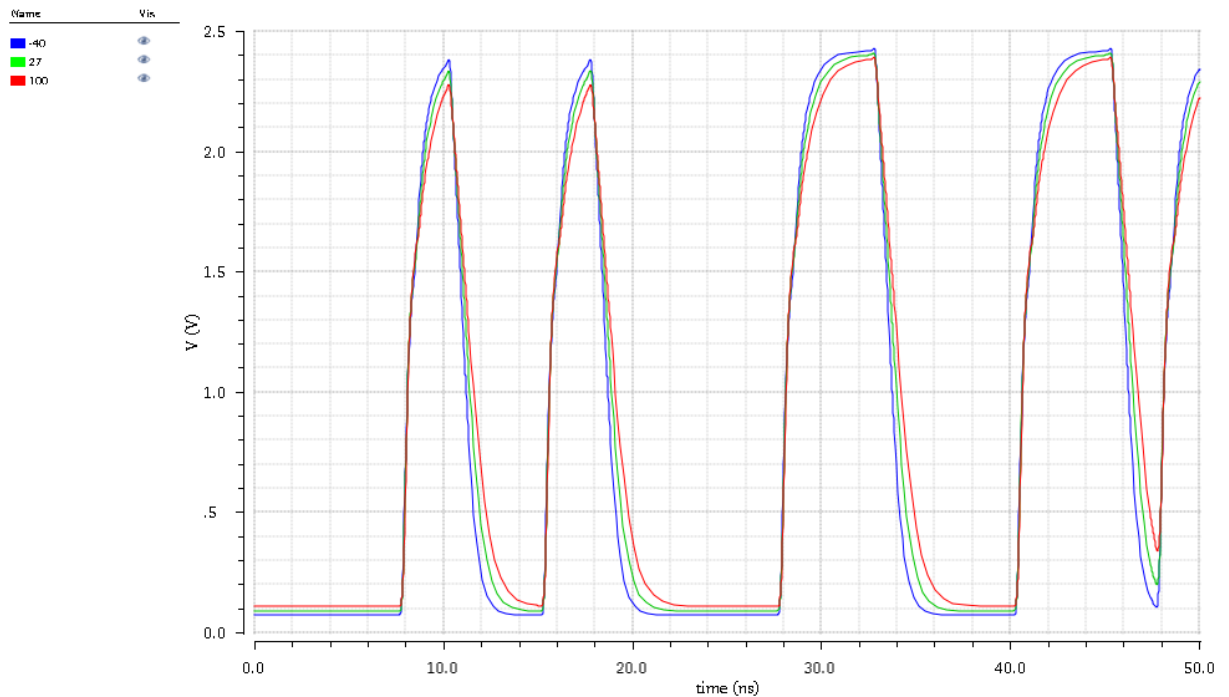
Galime matyti, kad kai „Boost“ įjungtas, tiek kylantis tiek besileidžiantis frontai yra statesni, taip pat parazitiniai talpumai bei rezistyvumai lemia lėtesnius frontus. Visa tai atsiremia į skirtingus srovės suvartojimus (3.3 pav.). Įjungus „Boost“ režimą, srovės pikai išauga apie 30%.



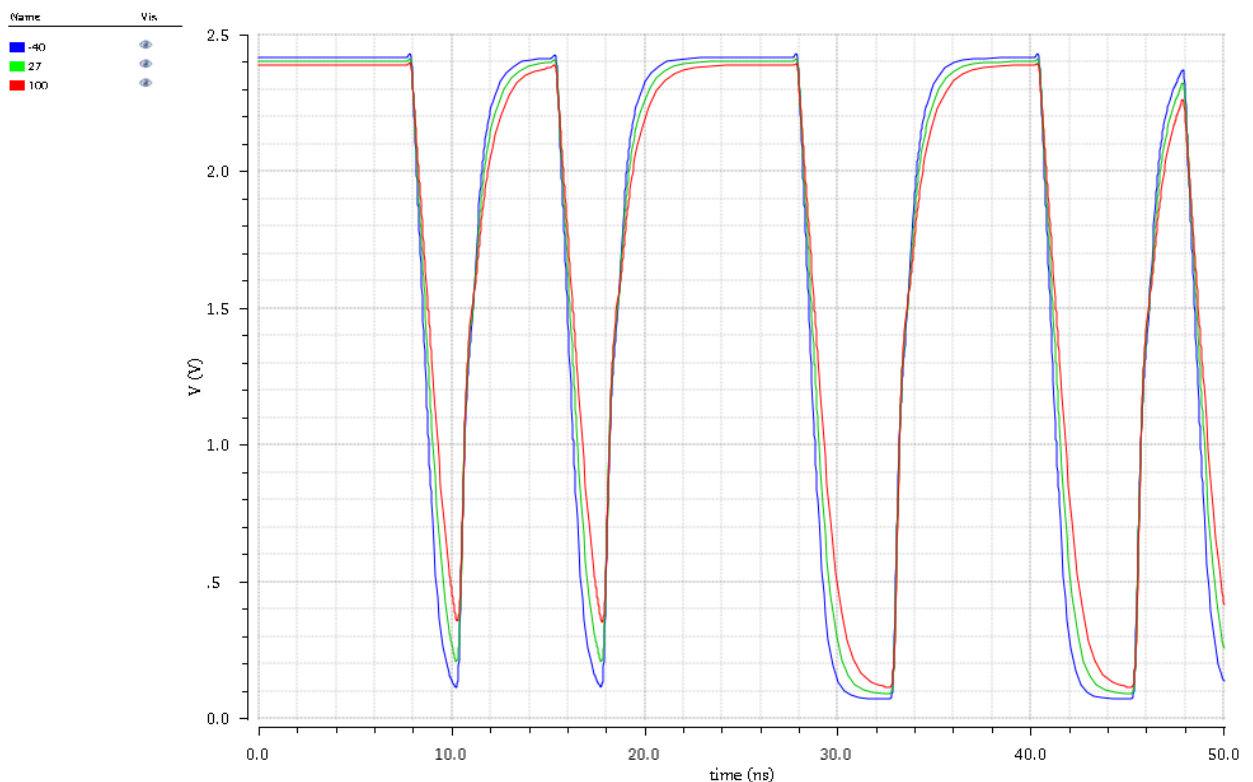
3.3 pav. „Boost“ srovės

### 3.1.1. Laikinių parametrų modeliavimas pagal nuokrypio kampus

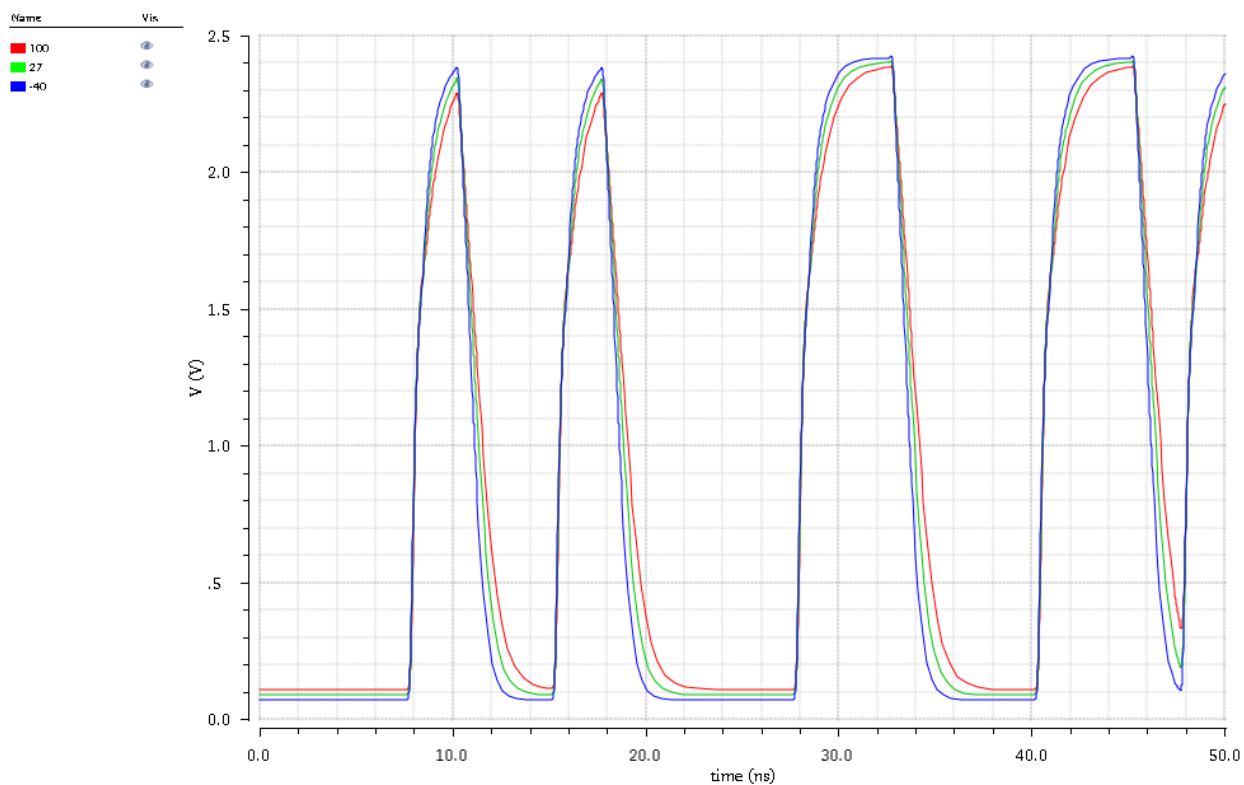
Toliau buvo modeliuojami 3.4, 3.5, 3.6, 3.7 ir 3.8 pav. išėjimo signalų priklausomybė nuo temperatūros. Modeliavimai atlikti ties -40, 27 ir 100 laipsnių temperatūromis ir ties kiekvienu parametrų nuokrypio kampu TT, SS, FF, SF ir FS.



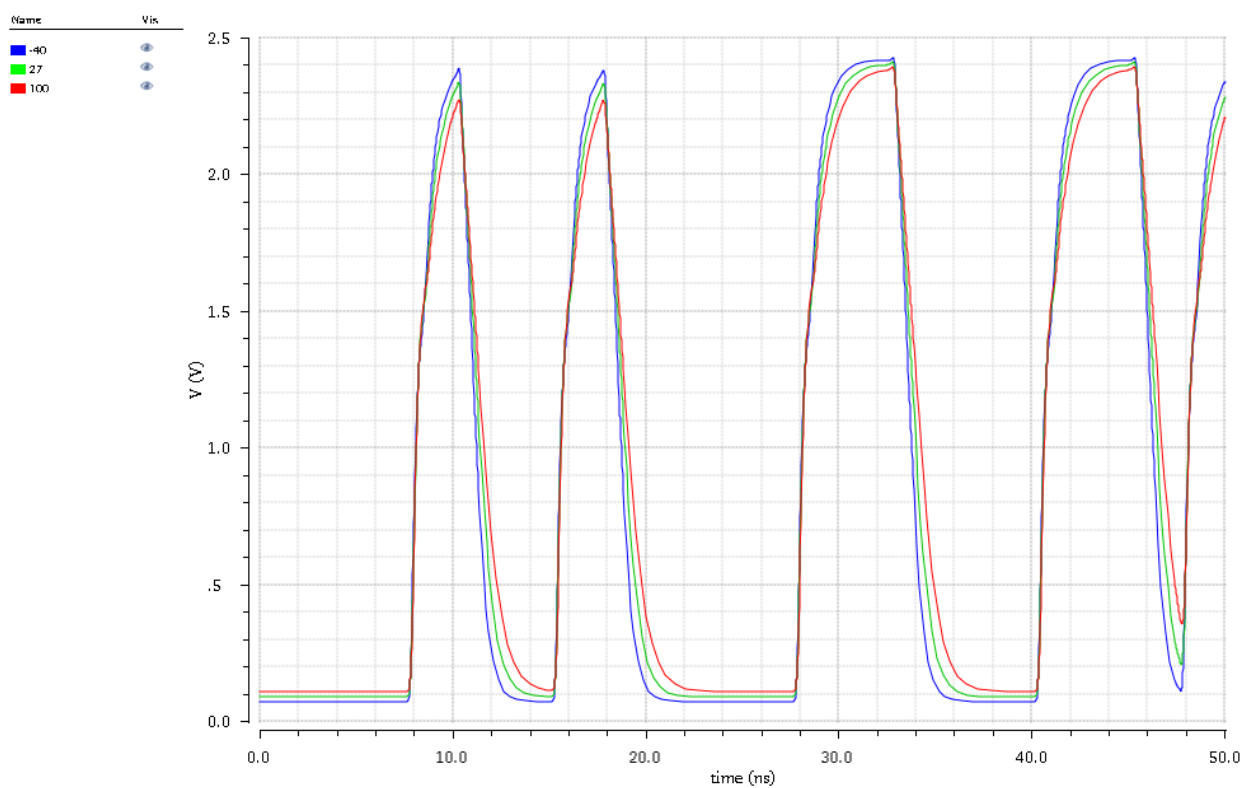
3.4 pav. Modeliavimo rezultatai prie TT nuokrypio kampo



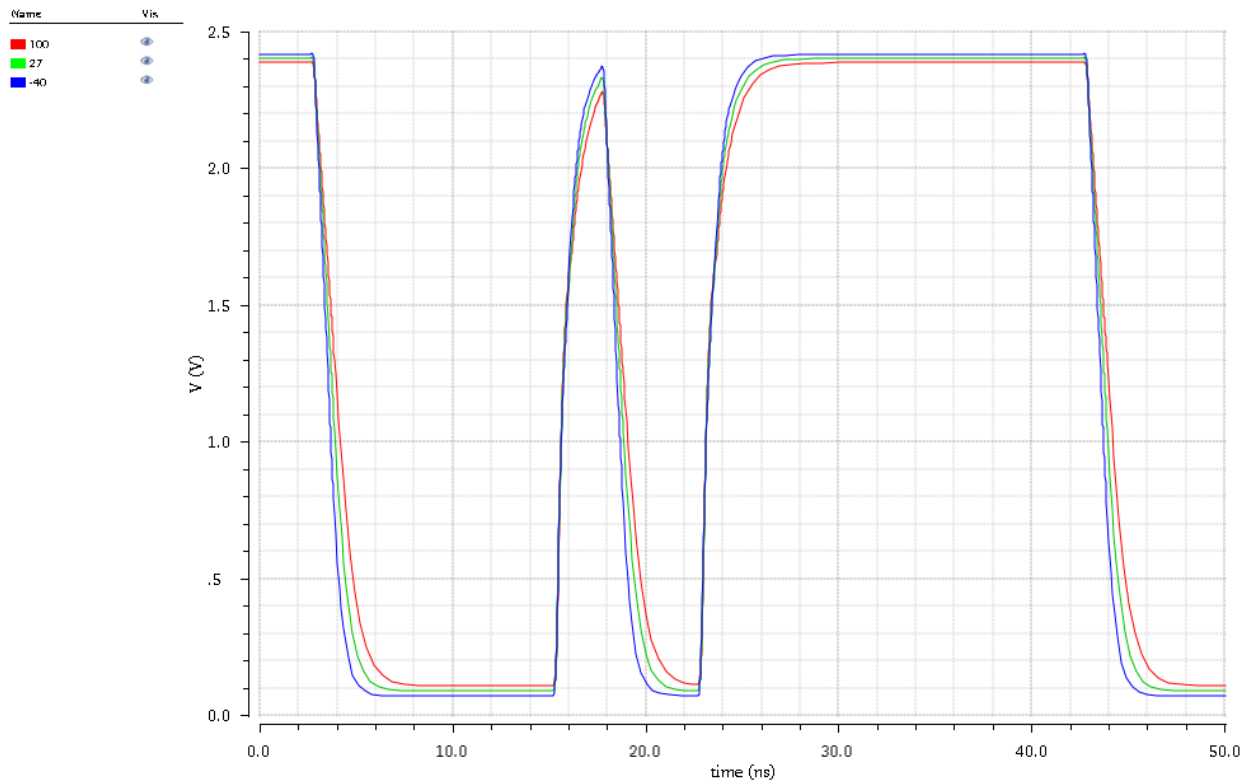
3.5 pav. Modeliavimo rezultatai prie SS nuokrypio kampo



3.6 pav. Modeliavimo rezultatai prie FF nuokrypio kampo



3.7 pav. Modeliavimo rezultatai prie SF nuokrypio kampo



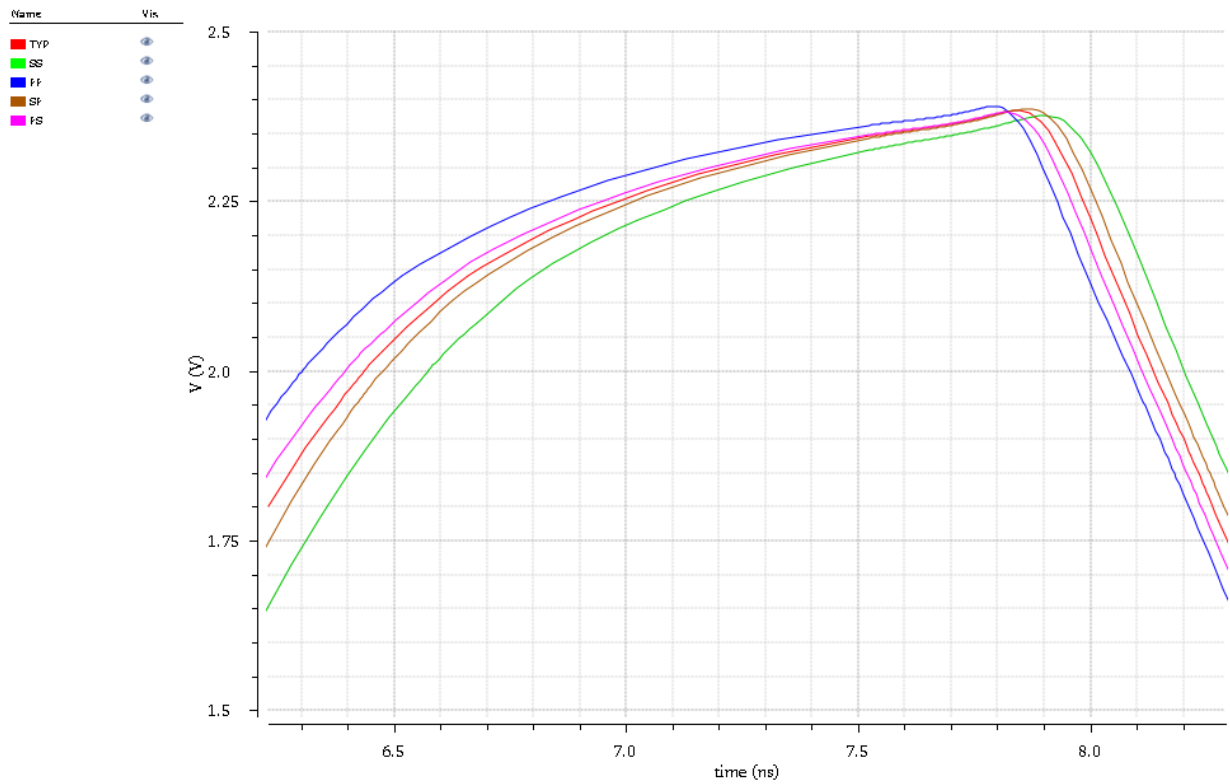
3.8 pav. Modeliavimo rezultatai prie FS nuokrypio kampo

Iš visų gautų rezultatų galime matyti, kad žemėjant temperatūrai frontai darosi statesni, greičiau pasiekia aukštą įtampos lygį. Galima teigti, kad tai lemia visų metalinių takelių varžos sumažėjimas krintant temperatūrai. Padarius tikslius matavimus (3.1 lentelė) iš pirmųjų modeliavimų galime teigti, kad kritinis kampas yra ties SS@100°C nuokrypio kampu.

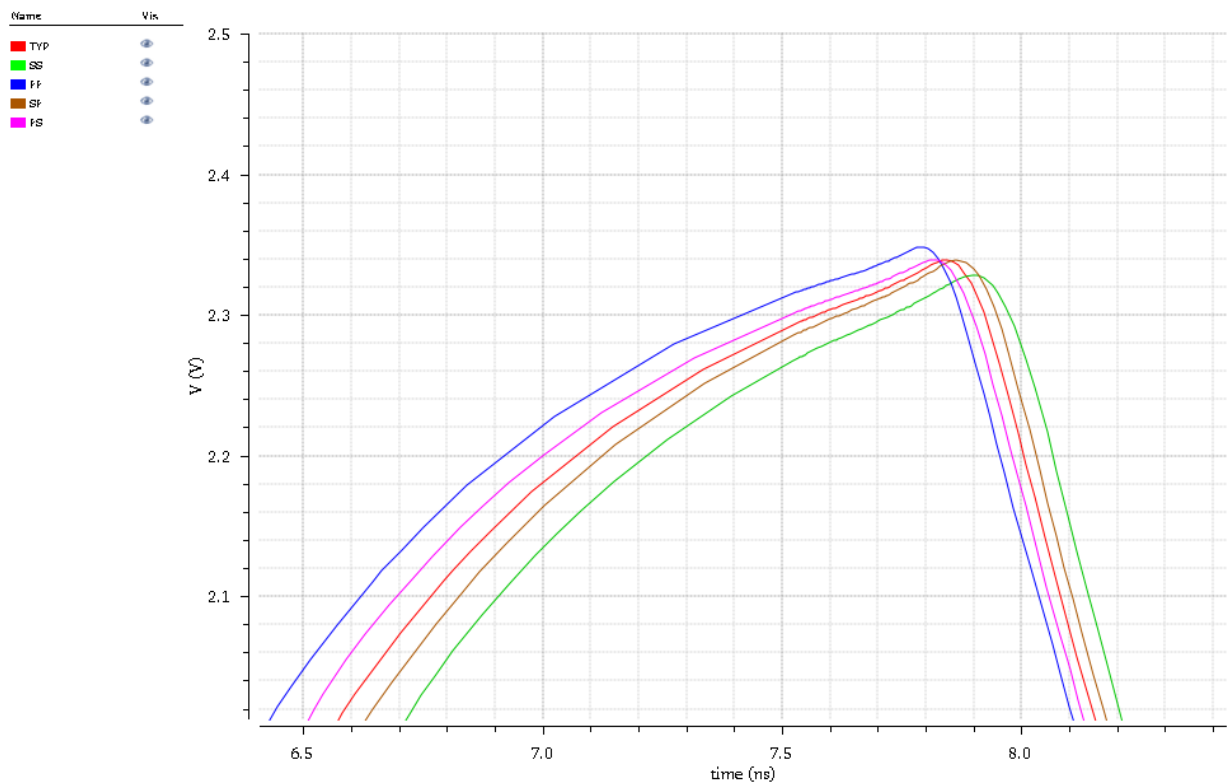
### 3.1.2. Laikinių parametrų modeliavimas pagal temperatūras

Sekantys modeliavimai 3.9, 3.10 ir 3.11 pav. buvo atlikti prie kiekvienos temperatūros per kiekviena nuokrypio kampus. Grafikuose parodyta viršutinė periodo dalis. Galime matyti, kad prie 100°C temperatūros, signalas pasiekia mažesnę įtampą lyginant su žemesnėmis temperatūromis. Mažiausias vėlinimas gaunamas prie FF nuokrypiu kampo, kai tranzistoriai greitai, o blogiausias, prie SS nuokrypio kampo.

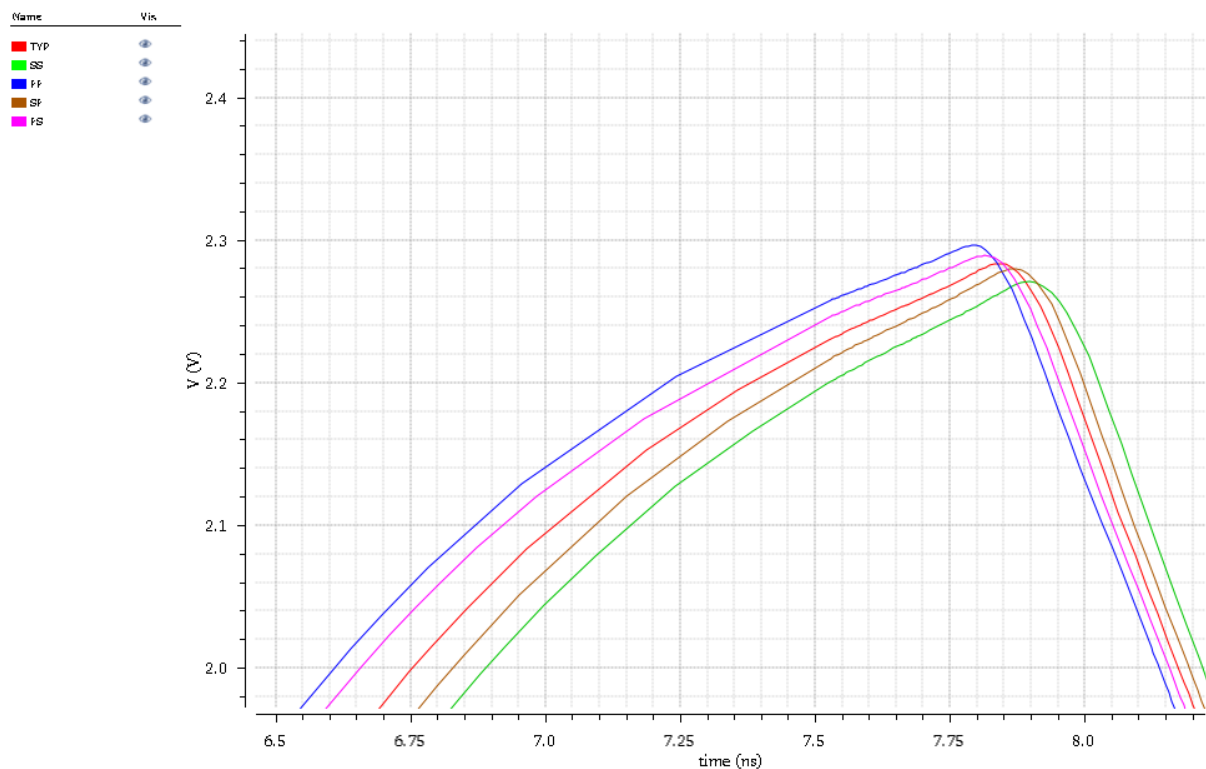




3.9 pav. Modeliavimo rezultatai prie  $-40^{\circ}\text{C}$  temperatūros



3.10 pav. Modeliavimo rezultatai prie  $27^{\circ}\text{C}$  temperatūros



3.11 pav. Modeliavimo rezultatai prie 100°C temperatūros

Visi sumodeliuoti laikiniai parametrai buvo išmatuoti ir pateikti 3.1 lentelėje. Palyginus gautus rezultatus su specifikacijoje keliamais reikalavimais, nei vienas laikinis parametras specifikacijos ribų neperžengė.

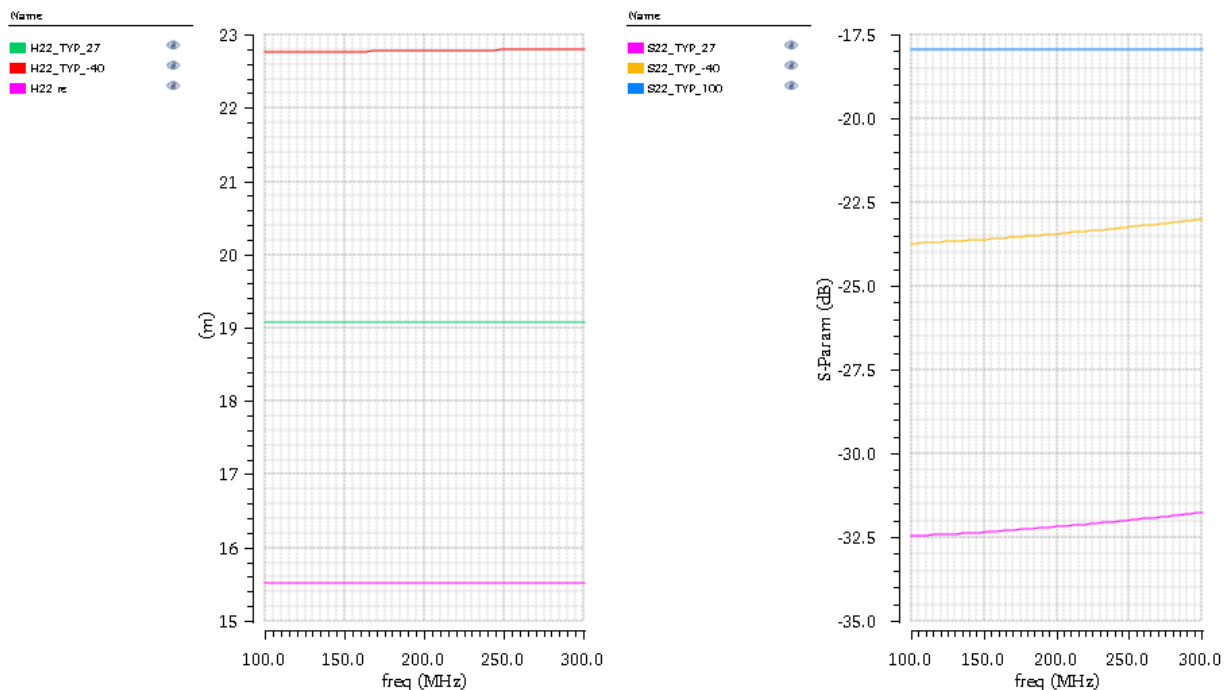
3.1 lentelė. Laikinių parametų modeliavimo rezultatai.

T, °C	Nuokrypio kampas	Parazitai; be (W/O), su (W/)	žemo lygio išėjimo įtampa (V)	aukšto lygio išėjimo įtampa (V)	Vėlinimas (ns)	Krintančio fronto trukmė (ns)	Kylančio fronto trukmė (ns)	Skverbties iškraipymas (%)
-40	TYP	W/O	0,073	2,38	0,57	0,068	0,5	0,18
		W/	0,073	2,38	0,593	0,086	0,5	0,42
-40	SS	W/O	0,073	2,38	0,664	0,088	0,53	0,4
		W/	0,073	2,38	0,696	0,099	0,532	0,8
-40	FF	W/O	0,073	2,38	0,487	0,066	0,465	0,2
		W/	0,073	2,38	0,505	0,076	0,466	0,4
-40	SF	W/O	0,073	2,38	0,612	0,79	0,562	0,2
		W/	0,073	2,38	0,632	0,09	0,566	0,44
-40	FS	W/O	0,073	2,38	0,536	0,73	0,438	0,14
		W/	0,073	2,38	0,553	0,082	0,445	0,36
27	TYP	W/O	0,09	2,35	0,6	0,08	0,595	0,4
		W/	0,09	2,35	0,61	0,09	0,576	0,54
27	SS	W/O	0,09	2,35	0,672	0,093	0,636	0,57
		W/	0,09	2,35	0,689	0,106	0,638	0,92

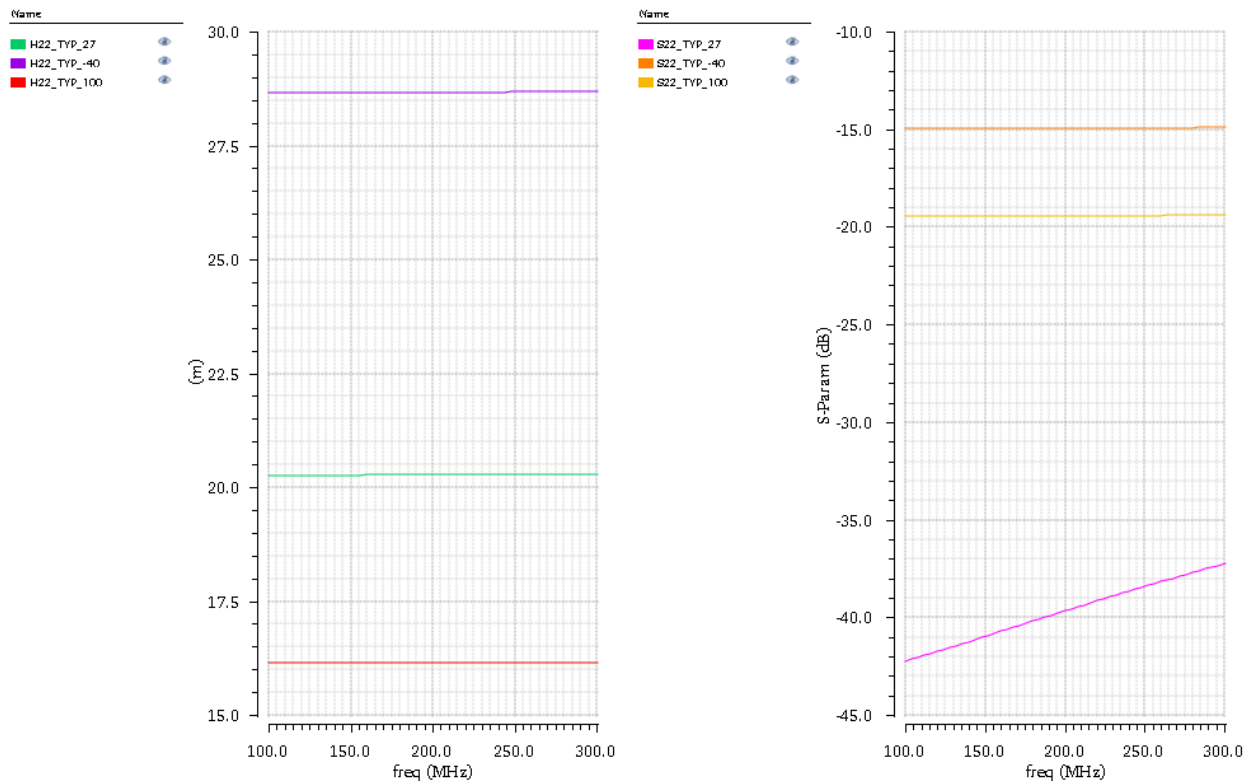
27	FF	W/O	0,09	2,35	0,672	0,092	0,631	0,22
		W/	0,09	2,35	0,689	0,106	0,637	0,45
27	SF	W/O	0,09	2,35	0,613	0,084	0,644	0,24
		W/	0,09	2,35	0,629	0,098	0,644	0,52
27	FS	W/O	0,09	2,35	0,537	0,77	0,519	0,34
		W/	0,09	2,35	0,551	0,89	0,525	0,55
100	TYP	W/O	0,112	2,33	0,569	0,086	0,67	0,8
		W/	0,112	2,33	0,583	0,101	0,69	1
100	SS	W/O	0,112	2,33	0,589	0,98	0,727	0,6
		W/	0,112	2,33	0,593	0,115	0,745	1,2
100	FF	W/O	0,112	2,33	0,43	0,76	0,591	0,4
		W/	0,112	2,33	0,437	0,89	0,613	0,8
100	SF	W/O	0,112	2,33	0,538	0,91	0,738	0,6
		W/	0,112	2,33	0,543	0,108	0,787	1
100	FS	W/O	0,112	2,33	0,469	0,082	0,583	0,5
		W/	0,112	2,33	0,475	0,095	0,598	0,8

### 3.2. Buferio išėjimo impedanso ir S22 parametro modeliavimo rezultatai

Išėjimo impedansas tiesioginiu būdu negalėjo būti išmatuotas todėl buvo apskaičiuotas iš  $H_{22}$  parametro. Kaip jau minėta ankstesniame skyriuje šie parametrai bus modeliuojami dviem atvejais, kai į įėjimą paduotas žemas įtampos lygis ir kai aukštas. Pirmasis modeliavimas bus atliekamas prie TT nuokrypio kampo ir prie -40, 27 ir 100 laipsnių temperatūrų. Modeliavimas atliekamas 100MHz – 300MHz ribose.

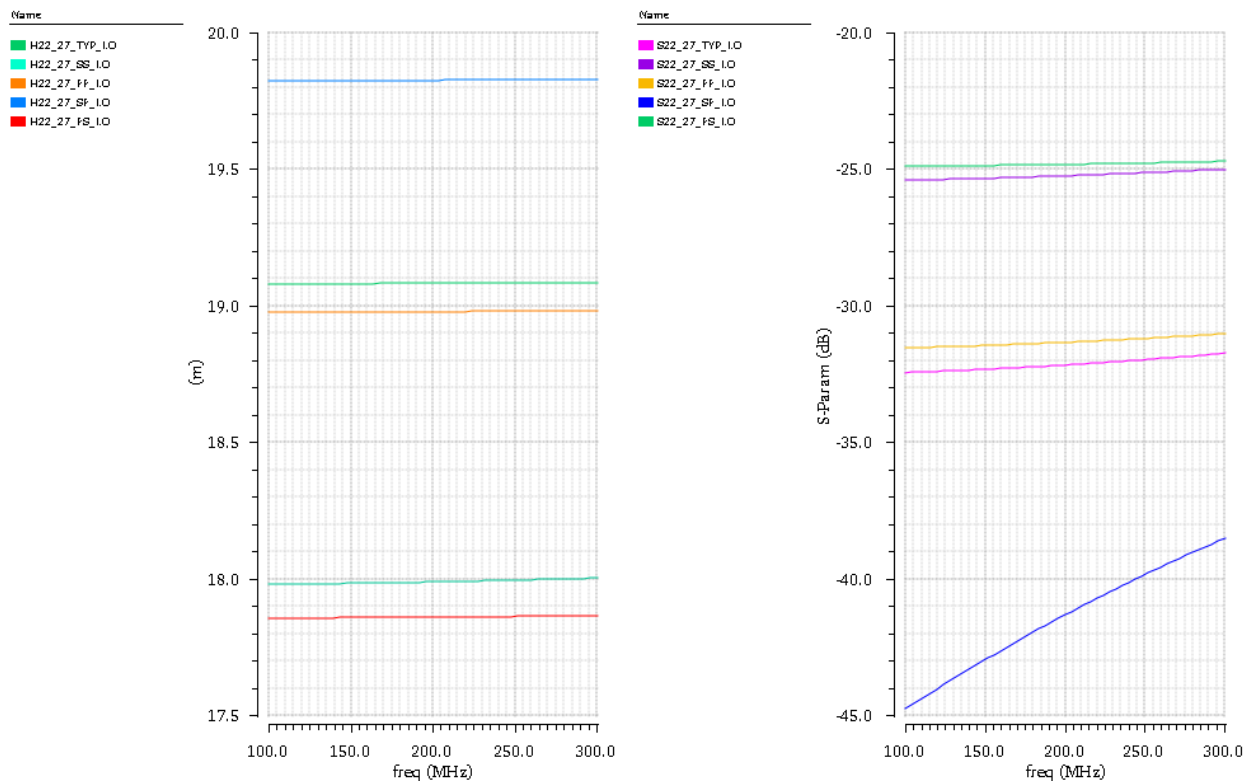


3.12 pav.  $H_{22}$  ir  $S_{22}$  modeliavimo rezultatai, kai įėjime žemas lygis; TT nuokrypio kampas

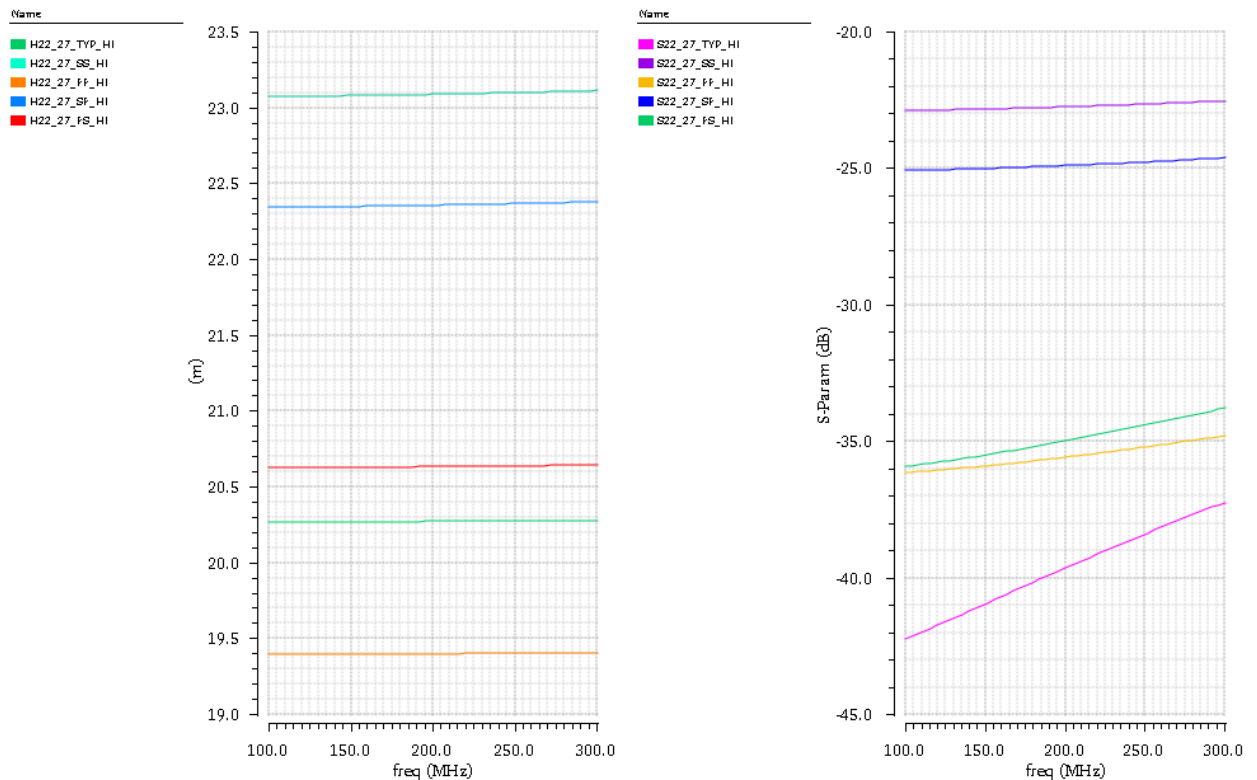


3.13 pav. H<sub>22</sub> ir S<sub>22</sub> modeliavimo rezultatai, kai įėjime aukštas lygis; TT nuokrypio kampas

Sekantis modeliavimas 3.14 ir 3.15 pav. atliekamas tik prie 27°C temperatūros, bet per visus nuokrypių kampus.



3.14 pav. H<sub>22</sub> ir S<sub>22</sub> modeliavimo rezultatai, kai įėjime žemas lygis; 27°C



3.15 pav.  $H_{22}$  ir  $S_{22}$  modeliavimo rezultatai, kai įėjime aukštas lygis; 27°C

Visi sumodeliuoti  $H_{22}$  ir  $S_{22}$  parametrai buvo išmatuoti ir pateikti 3.2 lentelėje. Palyginus gautus rezultatus su specifikacijoje keliamais reikalavimais, nei vienas laikinis parametras specifikacijos ribų neperžengė.

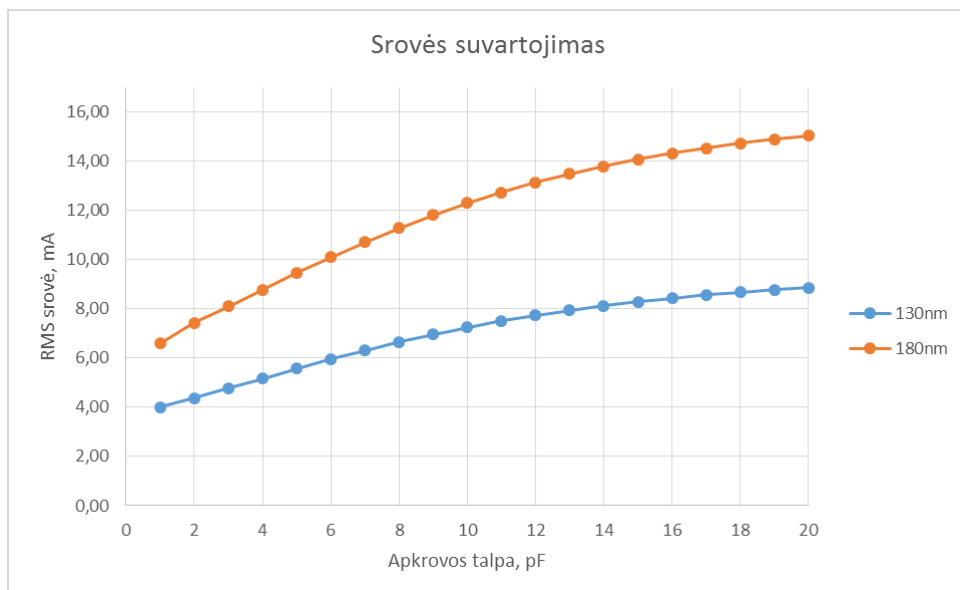
3.2 lentelė.  $H_{22}$  ir  $S_{22}$  modeliavimo rezultatai

T, °C	Nuokrypio kampas	Parazitai, be (W/O), su (W/)	$S_{22}$ (Aukštas lygis), dB	$S_{22}$ (Žemas lygis), dB	Išėjimo impedansas (Aukštas lygis), $\Omega$	Išėjimo impedansas (Zemas lygis), $\Omega$
-40	TYP	W/O	-15	-23	29	44
		W/	-15	-23	29	44
-40	SS	W/O	-11	-12	29	75
		W/	-11	-12	29	75
-40	FF	W/O	-15	-15	34	44
		W/	-15	-15	34	44
-40	SF	W/O	-11	-15	28	40
		W/	-11	-15	28	40
-40	FS	W/O	-11	-17	29	42
		W/	-11	-17	29	42
27	TYP	W/O	-40	-32	50	50
		W/	-40	-32	50	50
27	SS	W/O	-21	-26	36	56
		W/	-21	-26	36	56

27	FF	W/O	-36	-31	56	42
		W/	-36	-31	56	42
27	SF	W/O	-25	-41	39	36
		W/	-25	-41	39	36
27	FS	W/O	-35	-25	44	17
		W/	-35	-25	44	17
100	TYP	W/O	-20	-18	59	47
		W/	-20	-18	59	47
100	SS	W/O	-21	-21	59	54
		W/	-21	-21	59	54
100	FF	W/O	-20	-14	62	42
		W/	-20	-14	62	42
100	SF	W/O	-28	-10	54	33
		W/	-28	-10	54	33
100	FS	W/O	-19	-23	63	55
		W/	-19	-23	61	55

### 3.3. 130nm ir 180nm technologijų srovių suvartojimas

Projektuojant integrinį lustą bei jo blokus endoskopinei kapsulei, labai svarbu yra kuo mažesnis srovės suvartojimas. Skatmeninėse schemose daugiausia energijos suvartojama talpuminio pobūdžio apkrovose. Tokios talpos egzistuoja tarp tranzistorių užtūros ir ištakos, tarp takelių esančios parazitinės talpos, bei perdavimo linijų talpumai. Naudojant 180nm IBM technologiją buvo pastebėta per didelis srovės suvartojimas, todėl buvo nuspręsta panaudoti smulkesnę technologiją ir ištirti srovės suvartojimą. Modeliavimai buvo atliekami prie FF parametrų nuokrypio kampo ir  $-40^{\circ}\text{C}$  (kai metalo varža mažiausia). 3.16 pav. pavaizduota suvartojamų srovių palyginimas tarp skirtingų technologijų.



3.16 pav. Srovės suvartojimas naudojant skirtingas technologijas

Prie didesnės apkrovos kreivės statusas krenta dėl santykinai silpnų galinės pakopos tranzistorių, apkrova nebepilnai buferizuojama (akies diagrama patampa labiau „užsimerkusi“). Modeliavimas atliktas išėjimo buferiui veikiant 200MHz dažniu. Iš grafiko matome, kad naudojant 130nm srovės suvartojama nuo 30% iki 40% mažiau priklausomai nuo apkrovos talpumo.

## IŠVADOS IR PASIŪLYMAI

1. Suprojektuotas topologijos brėžinys pagal 130nm technologiją užima 28% mažesnę plotą, tai leidžia sumažinti viso integrinio lusto matmenis kas sumažina gamybos kaštus.
2. Eksperimentiniai modeliavimo rezultatai parodė, kad tirtas išėjimo buferis gali veikti 200MHz dažnyje su 15pF apkrova, esant blogiausiems parametų nuokrypio kampams ir temperatūrų sąlygoms (SS@100°C).
3. Naudojant smulkesnę technologiją, srovės suvartojimas priklausomai nuo apkrovos talpos, sumažėjo nuo 30% iki 40%.



## INFORMACIJOS ŠALTINIŲ SĄRAŠAS

1. **S. Štaras.** Puslaidininkinės ir funkcinės elektronikos įtaisai - Vilnius: Technika, 2005. - 352p.
2. **Process corners** [žiūrėta 2015-01-05].  
Prieiga per internetą: [http://en.wikipedia.org/wiki/Process\\_corners](http://en.wikipedia.org/wiki/Process_corners)
3. **David Harris and Michael Bushnell.** 332:578 Deep Submicron VLSI Design Lecture 2 Process Corners and AC Models // Harvey Mudd College and Rutgers University, Spring 2005.
4. **CMOS process variation and Process corner analysis in cadence.** Prieiga per internetą: <https://www.youtube.com/watch?v=Alx712EDA64>.
5. **Normal Distribution** [žiūrėta 2015-04-25] Prieiga per internetą:  
<http://www.isixsigma.com/tools-templates/hypothesis-testing/hypothesis-testing-fear-no-more/>.
6. **R. Jacob Baker.** CMOS circuit design, layout, and simulation, 2005. 1214p
7. **Prasanna Kannan.** Fundamental Blocks of Single Ended LVCMOS Output Buffer-A Circuit Level Design Guideline. [žiūrėta 2015-01-20]. Prieiga per internetą:  
<http://ieeexplore.ieee.org/Xplore/home.jsp>
8. **Arnab K. Biswas, A. Bulusu and S.Dasgupta.** A Proposed Output Buffer at 90 nm Technology with Minimum Signal Switching Noise at 83.3MHz. [žiūrėta 2015-03-28].  
Prieiga per internetą: <http://ieeexplore.ieee.org/xpls/icp.jsp?arnumber=5992468>
9. **JEDEC STANDARD.** Center-Tap-Terminated (CTT) Low-Level, High-Speed Interface Standard for Digital Integrated Circuits. JESD8-4. November 1993.
10. **S-Parameter Stuff.** [žiūrėta 2015-04-08]. Prieiga per internetą:  
<http://sss-mag.com/spara.html>.
11. **Parasitic extraction.** [žiūrėta 2015-04-25]. Prieiga per internetą:  
[http://en.wikipedia.org/wiki/Parasitic\\_extraction](http://en.wikipedia.org/wiki/Parasitic_extraction).
12. **GLOBAL FOUNDRIES.** Interconnect specification for 0,13um process.
13. Bendrasis pagrindinių ir magistrantūros studijų baigiamųjų darbų reikalavimų aprašas / KTU rektorius įsakymas, 2014-06-09, Nr. A-313.

## PRIEDAI

### P-1. Metalo sluoksnių išsidėstymas chrt130 technologijoje [12].

