



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

## **Sigma-delta keitiklio triukšmų tyrimas**

Baigiamasis magistro projektas

---

**Aidas Astrauskas**

Projekto autorius

**Prof. Dr. Mindaugas Žilys**

Vadovas

---

**Kaunas, 2026**



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

## **Sigma-delta keitiklio triukšmų tyrimas**

Baigiamasis magistro projektas

Elektronikos inžinerija (6211EX012)

---

**Aidas Astrauskas**

Projekto autorius

**Prof. Dr. Mindaugas Žilys**

Vadovas

**Doc. Dr. Andrius Chaziachmetovas**

Recenzentas

---

**Kaunas, 2026**



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

Aidas Astrauskas

## **Sigma-delta keitiklio triukšmų tyrimas**

Akademinio sąžiningumo deklaracija

Patvirtinu, kad:

1. baigiamąjį projektą parengiau savarankiškai ir sąžiningai, nepažeisdamas kitų asmenų autoriaus ar kitų teisių, laikydamasis Lietuvos Respublikos autorių teisių ir gretutinių teisių įstatymo nuostatų, Kauno technologijos universiteto (toliau – Universitetas) intelektinės nuosavybės valdymo ir perdavimo nuostatų bei Universiteto akademinės etikos kodekse nustatytų etikos reikalavimų;
2. baigiamajame projekte visi pateikti duomenys ir tyrimų rezultatai yra teisingi ir gauti teisėtai, nei viena šio projekto dalis nėra plagijuota nuo jokių spausdintinių ar elektroninių šaltinių, visos baigiamojo projekto tekste pateiktos citatos ir nuorodos yra nurodytos literatūros sąrašė;
3. įstatymų nenumatytų piniginių sumų už baigiamąjį projektą ar jo dalis niekam nesu mokėjęs;
4. suprantu, kad išaiškėjus nesąžiningumo ar kitų asmenų teisių pažeidimo faktui, man bus taikomos akademinės nuobaudos pagal Universitete galiojančią tvarką ir būsiu pašalintas iš Universiteto, o baigiamasis projektas gali būti pateiktas Akademinės etikos ir procedūrų kontrolieriaus tarnybai nagrinėjant galimą akademinės etikos pažeidimą.

Aidas Astrauskas

*Patvirtinta elektroniniu būdu*

Astrauskas Aidas. Sigma-Delta keitiklio triukšmų tyrimas. Magistro baigiamasis projektas / vadovas prof. dr. Mindaugas Žilys; Kauno technologijos universitetas, Elektros ir elektronikos fakultetas.

Studijų kryptis ir sritis (studijų krypčių grupė): Elektronikos inžinerija, inžinerijos mokslai.

Reikšminiai žodžiai: Sigma-delta moduliacija, ADC, SG13G2.

Kaunas, 2026. 55 p.

### **Santrauka**

Šiame baigiamajame magistro projekte tiriama sigma-delta analoginio-skaitmeninio keitiklio triukšmai, jų kilmė, įtaka modulatoriaus veikimui ir mažinimo galimybės projektuojant mažatriukšmį keitiklį biomedicininų signalų diskretizavimui. Darbe atlikta sigma-delta moduliatorių veikimo principų, pagrindinių parametru ir triukšmo gerinimo strategijų analizė. Aptarti SNR, SNDR, DR, ENOB ir FoM parametrai, išnagrinėta modulatoriaus eilės, viršimties santykio ir diferencinės realizacijos įtaka triukšmo charakteristikoms. Literatūros analizė parodė, kad žemo dažnio ir didelės skyros taikymams racionalus kompromisas yra antros eilės pilnai diferencinis tolydaus laiko sigma-delta moduliatorius su vieno bito kvantatoriumi.

Darbe suprojektuotas 1 MHz diskretizavimo dažnio ir 1 kHz pralaidos juostos sigma-delta moduliatorius, realizuotas naudojant IHP SG13G2 technologiją. Pirmiausia MATLAB ir Verilog-A aplinkose sudaryti idealūs ir elgseniniai modeliai, atlikta DT-CT transformacija ir apskaičiuoti aktyvaus RC integratorių koeficientai. Elgsenos modelis parodė apie 109 dB SNR ir apie 18 bitų ENOB. Toliau tranzistoriniu lygmeniu suprojektuotas pilnai diferencinis „folded-cascode“ operacinis stiprintuvas su bendrojo režimo grįžtamojo ryšio grandine bei dinaminis StrongARM komparatorius su išėjimo buferiu ir RS latch.

Atlikta pilnos modulatoriaus tranzistorinės schemas laikinė ir spektrinė analizė. Laikinė analizė patvirtino korektišką vieno bito PDM signalo formavimą, o spektrinė analizė parodė triukšmo formavimą į aukštesnius dažnius ir apie 97,35 dB signalo ir triukšmo santykį. Tai atitinka 15,88 ENOB. Įvertinus bendrą modulatoriaus galią, kuri siekia 406  $\mu$ W, apskaičiuotas 161,3 dB FoMs. Darbe taip pat suprojektuota modulatoriaus topologija KLayout aplinkoje. Palyginus gautus rezultatus su literatūroje pateiktais siaurajuosčiais sigma-delta moduliatoriais nustatyta, kad suprojektuotas moduliatorius pasižymi konkurencingais parametrais biomedicininų signalų diskretizavimo taikymams.

Astrauskas Aidas. Investigation of Sigma-Delta Converter's Noise. Master's Final Degree Project / supervisor Prof. Mindaugas Žilys; Faculty of Electrical and Electronics Engineering, Kaunas University of Technology.

Study field and area (study field group): Electronics Engineering, Engineering Sciences.

Keywords: Sigma-delta modulation, ADC, SG13G2.

Kaunas, 2026, 55 p.

### Summary

This master's final degree project investigates noise in sigma-delta analog-to-digital converters, its origin, its influence on modulator operation, and the possibilities of reducing it when designing a low noise converter for biomedical signal acquisition. The work reviews sigma-delta operating principles, key performance metrics, and the main noise improvement strategies. The parameters SNR, SNDR, DR, ENOB, and FoM are discussed, and the influence of modulator order, oversampling ratio, and differential implementation on noise performance is analysed. The literature review shows that, for low frequency and high resolution applications, a second-order fully differential continuous-time sigma-delta modulator with a one bit quantizer provides a reasonable design compromise.

In this work, a sigma-delta modulator with a 1 MHz sampling frequency and a 1 kHz signal bandwidth is designed using IHP SG13G2 technology. First, ideal and behavioral models are developed in MATLAB and Verilog-A, followed by the DT-CT transformation and the calculation of active-RC integrator coefficients. The behavioral model shows approximately 109 dB SNR and nearly 18-bit ENOB. Next, a fully differential folded-cascode operational amplifier with common-mode feedback and a dynamic StrongARM comparator with an output buffer and RS latch are designed at transistor level.

Transient and spectral analyses of the complete transistor-level modulator are then performed. The transient analysis confirms correct formation of the one bit PDM output, while the spectral analysis demonstrates noise shaping toward higher frequencies and an SNR of about 97.35 dB. This corresponds to 15.88 ENOB. Taking into account the total modulator power of 406  $\mu$ W, a FoMs of 161.3 dB is obtained. The modulator layout is also designed in KLayout. Comparison with narrowband sigma-delta modulators reported in the literature shows that the designed modulator achieves competitive performance for biomedical signal digitization applications.

## Turinys

<b>Lentelių sąrašas .....</b>	<b>8</b>
<b>Paveikslų sąrašas .....</b>	<b>9</b>
<b>Santrumpų ir terminų sąrašas .....</b>	<b>11</b>
<b>Įvadas.....</b>	<b>12</b>
<b>1. Literatūros analizė.....</b>	<b>13</b>
1.1. Sigma-delta ASK veikimas ir struktūra.....	13
1.1.1. Sigma-delta modulatorius.....	14
1.1.2. SDM eilės ir OSR.....	15
1.2. Sigma-delta modulatoriaus parametrai.....	16
1.2.1. SNR, SNDR ir DR.....	16
1.2.2. ENOB .....	17
1.2.3. FoM .....	17
1.3. Sigma-delta modulatoriaus triukšmo šaltiniai.....	18
1.3.1. Kvantavimo triukšmas.....	18
1.3.2. Šiluminis triukšmas .....	18
1.3.3. 1/f triukšmas .....	18
1.3.4. Operacinio stiprintuvo neidealumai .....	19
1.3.5. Komparatoriaus triukšmas ir vėlinimas.....	19
1.3.6. Laikmačio drebėjimas .....	20
1.3.7. Grįžtamojo ryšio SAK netiesiškumas .....	20
1.4. Sigma-delta modulatoriaus triukšmo gerinimo strategijos.....	21
1.4.1. Didelės eilės sigma-delta modulatoriai .....	21
1.4.2. Didelio OSR sigma-delta modulatoriai .....	22
1.4.3. Multibitiniai sigma-delta modulatoriai.....	22
1.4.4. Diferenciniai sigma-delta modulatoriai.....	23
1.5. Sigma-delta modulatoriaus architektūros .....	24
1.5.1. Diskretaus laiko (DT) sigma-delta modulatorius .....	24
1.5.2. Tolydaus laiko (CT) sigma-delta modulatorius.....	24
1.5.3. MASH sigma-delta modulatoriai .....	25
1.6. Literatūros apžvalga .....	25
1.7. Literatūros analizės apibendrinimas .....	26
<b>2. Spektro skaičiavimo metodologija .....</b>	<b>27</b>
<b>3. IHP SG13G2 technologija.....</b>	<b>28</b>
<b>4. DT-CT transformacijos metodika.....</b>	<b>29</b>
4.1. DT modulatoriaus projektavimas .....	29
4.2. DT koeficientų transformavimas į CT.....	30
<b>5. Modeliavimas naudojant Verilog-A.....</b>	<b>32</b>
<b>6. Tranzistorinio lygmens bloką projektavimas .....</b>	<b>37</b>
6.1. Diferencinio operacinio stiprintuvo projektavimas .....	37
6.1.1. Operacinio stiprintuvo projektavimas .....	37
6.1.2. Bendrojo režimo grįžtamojo ryšio (CMFB) grandinės projektavimas.....	38
6.1.3. Diferencinio operacinio stiprintuvo modeliavimas ir parametrų analizė .....	39
6.2. Komparatoriaus projektavimas.....	40
6.2.1. StrongARM komparatoriaus architektūra .....	41

6.2.2. Išėjimo buferis ir RS latch .....	43
6.2.3. Komparatoriaus modeliavimas .....	44
6.3. Sigma-delta modulatoriaus tranzistorinė realizacija .....	46
6.3.1. Pilnos schemos sudarymas .....	46
6.3.2. Laikinė analizė.....	47
6.3.3. Spektrinė analizė .....	48
6.3.4. Modulatoriaus triukšmo charakteristikų tyrimas.....	50
6.4. Topologijos projektavimas .....	51
6.5. Apibendrinimas .....	51
<b>Išvados .....</b>	<b>53</b>
<b>Literatūros sąrašas .....</b>	<b>54</b>

## Lentelių sąrašas

1 lentelė. Naujausių sigma-delta ASK apžvalga .....	26
2 lentelė. Z ir Laplaso transformacijos ekvivalentai .....	30
3 lentelė. Diferencinio operacinio stiprintuvo parametrų reikalavimai .....	37
4 lentelė. Gauti diferencinio operacinio stiprintuvo parametrai .....	39
5 lentelė. Komparatoriaus parametrų reikalavimai.....	41
6 lentelė. Gauti komparatoriaus parametrai.....	46
7 lentelė. Modulatoriaus triukšmo charakteristikų tyrimo rezultatai .....	50
8 lentelė. Darbų palyginimai .....	52

## Paveikslų sąrašas

1 pav. ASK keitiklių apžvalga [1] .....	13
2 pav. Sigma-delta ASK struktūra [2] .....	13
3 pav. Sigma-delta moduliatoriaus struktūra [3] .....	14
4 pav. Moduliatoriaus PDM išėjimas [5] .....	14
5 pav. Antros eilės SDM .....	15
6 pav. Pavyzdinis SDM spektras .....	16
7 pav. Pavyzdinis SDM SNR priklausomybės nuo įėjimo amplitudės grafikas .....	17
8 pav. Spektrinio tankio priklausomybė nuo dažnio ir SDM eilės – L .....	21
9 pav. SNR priklausomybė nuo OSR ir moduliatoriaus eilės .....	22
10 pav. SNR priklausomybė nuo kvantatoriaus bitų skaičiaus ir eilės.....	23
11 pav. SNR priklausomybė nuo įėjimo lygio ir realizacijos.....	23
12 pav. Diskretaus laiko SDM realizacijos pavyzdys .....	24
13 pav. Tolydaus laiko SDM realizacijos pavyzdys.....	25
14 pav. 2-1-1 MASH moduliatorius .....	25
15 pav. FFT langų palyginimai .....	28
16 pav. SG13G2 technologijos pjūvis (angl. <i>cross-section</i> ) [20].....	28
17 pav. Projektuojamas 2 eilės diskretaus laiko (DT) CIFB sigma-delta moduliatorius .....	29
18 pav. Teorinis moduliatoriaus SNR priklausomybė nuo įėjimo amplitudės lygio .....	30
19 pav. Projektuojamas 2 eilės tolydaus laiko (CT) CIFB sigma-delta moduliatorius .....	30
20 pav. Diferencinis 2 eilės tolydaus laiko (CT) sigma-delta moduliatorius su aktyvaus RC integratoriais .....	32
21 pav. Modeliuojamas nuolatinio laiko sigma-delta moduliatorius su Verilog-A Cadence aplinkoje .....	33
22 pav. Paduodamas signalas į baluną (geltonas), teigiamas baluno išėjimas (mėlynas) ir neigiamas baluno išėjimas (oranžinis).....	33
23 pav. Teigiamas įėjimo signalas (mėlynas) ir moduliatoriaus išėjimo signalas (oranžinis) .....	34
24 pav. Teigiamas įėjimo signalas (mėlynas) ir moduliatoriaus išėjimo signalas (oranžinis) priartintas .....	34
25 pav. Integratorių išėjimai: viršuje visas signalų vaizdas, apačioje priartintas.....	35
26 pav. Modeliuojamo sigma-delta moduliatoriaus spektras .....	35
27 pav. SNR priklausomybė nuo dBFS, Verilog-A modeliavimas.....	36
28 pav. SNR priklausomybė nuo operacinio stiprintuvo stiprinimo .....	36
29 pav. Pilnai diferencinio operacinio stiprintuvo struktūrinė schema .....	37
30 pav. Diferencinio „folded-cascode“ operacinio stiprintuvo tranzistorinė schema .....	38
31 pav. CMFB schema .....	39
32 pav. Operacinio stiprintuvo AC analizė .....	40
33 pav. Komparatoriaus struktūrinė schema .....	40
34 pav. StrongARM latch komparatorius.....	42
35 pav. Dviejų inverterių buferis xschem aplinkoje.....	43
36 pav. RS latch schema.....	44
37 pav. Komparatoriaus kylančio ir krintančio fronto vėlinimo matavimas.....	44
38 pav. Komparatoriaus kylančio ir krintančio fronto matavimas .....	45
39 pav. Komparatoriaus jautrumo priklausomybės nuo vėlinimo matavimas .....	45
40 pav. Komparatoriaus galios suvartojimas.....	46

41 pav. Sigma-delta modulatorius xschem aplinkoje.....	47
42 pav. SDM laikinė analizė.....	47
43 pav. SDM integratorių analizė.....	48
44 pav. SDM spektras.....	49
45 pav. SDM SNR priklausomybė nuo dBFS.....	49
46 pav. Sigma-delta modulatoriaus topologija.....	51

## Santrumpų ir terminų sąrašas

### Santrumpos:

ASK – analoginis-skaitmeninis keitiklis;

CT – tolydaus laiko, angl. *Continuous Time*;

DR – dinaminis diapazonas, angl. *Dynamic Range*;

DT – diskretaus laiko, angl. *Discrete Time*;

ELD – perteklinis kilpos vėlavimas, angl. *Excess Loop Delay*;

ENOB – efektyvus bitų skaičius, angl. *Effective Number of Bits*;

FoM – „nuopelno“ vertė, angl. *Figure of Merit*;

MASH – kelių eilių triukšmo formavimas, angl. *Multi-stage Noise Shaping*;

MIM – metalas-izoliatorius-metalas, konstrukcija naudojama kondensatoriams formuoti puslaidininkiuose, angl. *Metal-Insulator-Metal*;

NTF – triukšmų perdavimo funkcija, angl. *Noise Transfer Function*;

OSR – viršimties santykis, angl. *Oversampling Ratio*;

SAK – skaitmeninis-analoginis keitiklis;

SDM – sigma-delta moduliatorius;

SiGe – silicio-germanio technologija;

SNDR – santykis signalas-triukšmas-iškraipymai, angl. *Signal-to-Noise and Distortion Ratio*;

SNR – santykis signalas-triukšmas, angl. *Signal-to-Noise Ratio*;

STF – signalo perdavimo funkcija, angl. *Signal Transfer Function*.

## Įvadas

Gamtoje fiziniai reiškiniai, tokie kaip šviesa, įtampa ar akustinė banga, perduoda informaciją analoginiais signalais. Tačiau šiuolaikinėse elektroninėse sistemose didžioji dalis informacijos yra apdorojama skaitmeniniu būdu, todėl analoginio-skaitmeninio ir skaitmeninio-analoginio keitimo grandys yra būtinos jungiant analoginį pasaulį su skaitmeninėmis sistemomis. Viena pažangiausių analoginio-skaitmeninio keitimo architektūrų yra sigma-delta keitikliai. Jie pasižymi didele skyra, geromis triukšmo charakteristikomis, santykinai mažu galios suvartojimu ir tinkamumu mažo dažnio aukštos raiškos signalų diskretizavimui. Dėl šių savybių sigma-delta keitikliai plačiai taikomi medicininėje elektronikoje, matavimo sistemose ir kitose srityse, kuriose svarbi aukšta signalo kokybė.

Sigma-delta analoginio-skaitmeninio keitiklio pagrindą sudaro sigma-delta modulatorius ir skaitmeninis filtras. Viena sudėtingiausių tokio keitiklio projektavimo užduočių yra analoginės dalies realizacija, nes būtent joje didelę įtaką daro įvairūs triukšmo šaltiniai ir grandyno neidealumai. Triukšmo analizė, jo kilmės nustatymas bei mažinimo būdų parinkimas yra būtini siekiant užtikrinti tinkamą keitiklio veikimą ir aukštą pasiekiamą skyrą.

Šiame darbe nagrinėjamas sigma-delta analoginio-skaitmeninio keitiklio veikimas, pagrindiniai jo triukšmo šaltiniai ir triukšmo mažinimo strategijos. Remiantis literatūros analize parenkama tinkama modulatoriaus architektūra, sudaromas idealusis ir elgseninis modeliai, atliekama diskretaus ir tolydaus laiko transformacija, projektuojami pagrindiniai tranzistorinio lygmens blokai bei įvertinami galutiniai modulatoriaus parametrai. Darbe naudojama IHP SG13G2 SiGe technologija.

**Darbo tikslas** – ištirti sigma-delta keitiklio triukšmo savybes ir suprojektuoti luste mažatriukšmį sigma-delta moduliatorių, skirtą biomedicininį signalų diskretizavimui.

### **Darbo uždaviniai:**

1. atlikti sigma-delta keitiklio veikimo principų ir triukšmo šaltinių analizę;
2. išanalizuoti sigma-delta modulatoriaus projektavimo metodologiją ir parinkti tinkamą architektūrą projektuojamam keitikliui;
3. suprojektuoti luste sigma-delta moduliatorių idealiu, elgsenos ir tranzistoriniu lygmenimis;
4. palyginti gautus modeliavimo ir projektavimo rezultatus su teoriniais bei literatūroje pateiktais duomenimis.

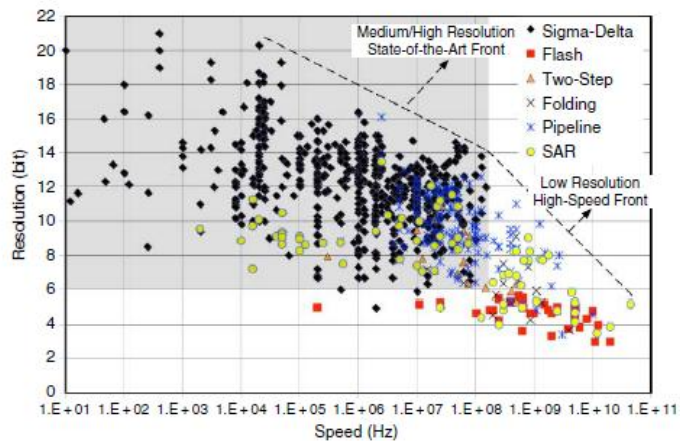
## 1. Literatūros analizė

Šiame skyriuje apžvelgiamas sigma-delta keitiklio veikimas, triukšmų šaltiniai ir mažinimo būdai.

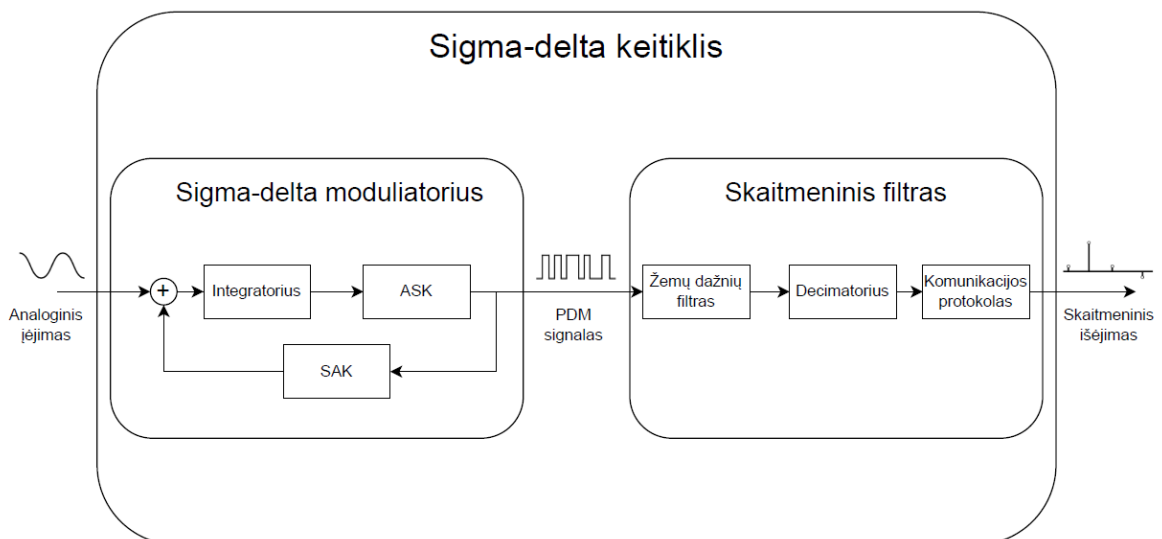
### 1.1. Sigma-delta ASK veikimas ir struktūra

Dauguma esamų ASK architektūrų yra Naikvisto dažnio keitikliai. Jie remiasi Naikvisto teorema, todėl diskretizavimo dažnis turi būti daugiau nei dvigubai didesnis už didžiausią diskretizuojamo signalo dažnį. Kiekvieną diskretizuotą įėjimo atskaita apdorojama atskirai, nepriklausomai nuo kitos imties. Šių keitiklių tiesiškumą ir tikslumą nusako jų analoginių komponentų, kaip rezistoriai, kondensatoriai ar srovės šaltiniai, suderinimo tikslumas. Praktiškai pasiekiamas šis tikslumas yra apie 0,02 % [1], o tai lemia, kad didžiausia galima ENOB vertė siekia apie 12 (1 pav.). Daugeliui šiuolaikinių taikomųjų sričių to nepakanka, todėl norint didesnės skyros naudojami didesnio diskretizavimo dažnio (angl. *oversampling*) keitikliai, tokie kaip sigma-delta.

Šie keitikliai gali pasiekti daugiau nei 20 ENOB skyrą su didele perdavimo sparta su vienu kompromisu – jie naudoja diskretizavimo dažnį daug kartų didesnę, nei Naikvisto dažnis, dažniausiai nuo 8 iki 512 kartų. Šie keitikliai paima didesnę kiekį atskaitų nustatant vienos atskaitos įėjimo analoginę įtampą. Ši keitiklį sudaro sigma-delta modulatorius ir skaitmeninis filtras (2 pav.).



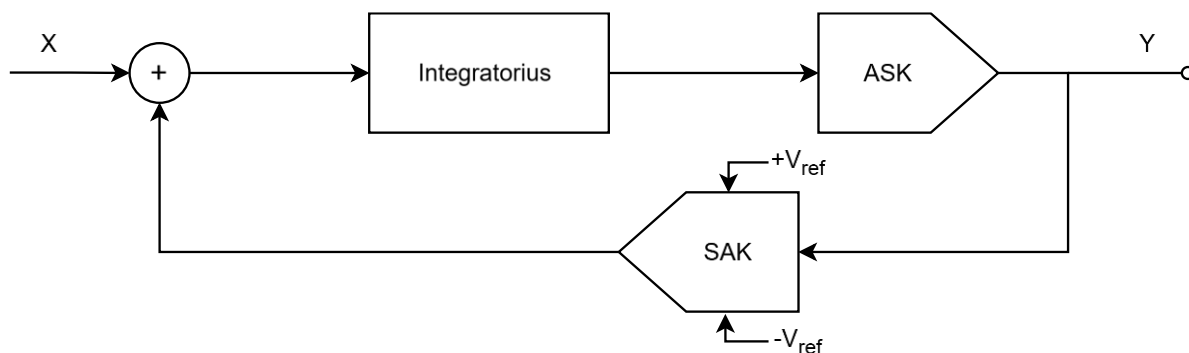
1 pav. ASK keitiklių apžvalga [1]



2 pav. Sigma-delta ASK struktūra [2]

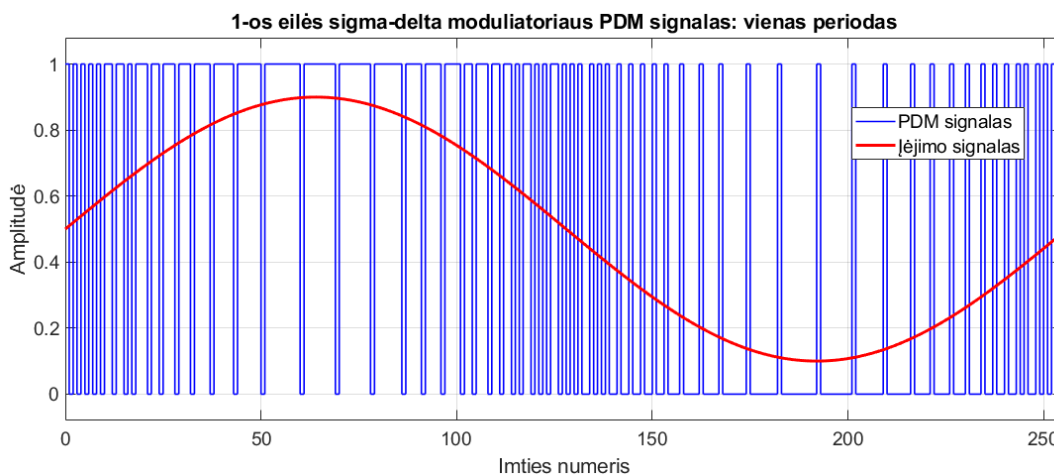
### 1.1.1. Sigma-delta modulatorius

Sigma-delta moduliatorių sudaro sumatorius, integratorius, kvantatorius ir vieno bito SAK keitiklis grįžtamajame ryšyje. Jo struktūra pavaizduota 3 paveiksle. Grįžtamojo ryšio išėjimas yra atimamas iš įėjimo įtampos, tada integratorius prideda šios atimties vertę prie praeitos išsaugotos atskaitos ir paduoda į kvantatorių. Jis palygina gautą sumą ir į išėjimą pateikia loginį 1 arba 0. Jeigu paduodamas į išėjimą loginis 1, per 1 bito SAK atgal per grįžtamąjį ryšį paduodama  $+V_{ref}$  vertė, jeigu loginis 0, tada  $-V_{ref}$  įtampa. Šis grįžtamasis ryšys bando palaikyti integratoriaus išėjimą kuo arčiau matuojamos vertės.



3 pav. Sigma-delta modulatoriaus struktūra [3]

Modulatoriaus išėjime matomas PDM signalas, matomas 4 paveiksle. Šio signalo aukštas loginis lygis lygus maitinimo įtampai  $V_{dd}$ , žemas –  $V_{ss}$ . Paėmus vieną analoginio signalo momentą, ir suvidurkinus visas vertes, kurių kiekį nusako OSR, prilyginus loginių 1 ir 0 vertes  $+V_{ref}$  ir  $-V_{ref}$  atitinkamai, gautume to analoginio signalo momento amplitudę.



4 pav. Modulatoriaus PDM išėjimas [5]

Modulatoriaus perdavimo funkcija susideda iš signalo perdavimo funkcijos – STF ir triukšmo perdavimo funkcijos NTF. Įėjimo signalas pereina per STF, o kvantavimo triukšmas per NTF.

$$Y(z) = STF(z)X(z) + NTF(z)E(z). \quad (1)$$

Toliau galima išreikšti STF ir NTF per grįžtamojo ryšio kilpos filtro perdavimo funkciją  $H(z)$ . Vietoj  $H(z)$  įstačius vieno integratoriaus kilpos filtro funkciją matoma 2 formulėje, gaunama  $STF(z) = z^{-1}$  kas yra vėlinimas, o  $NTF(z) = 1 - z^{-1}$ , kas yra pirmos eilės aukštadažnis filtras.

$$H(z) = \frac{z^{-1}}{1-z^{-1}}; \quad (2)$$

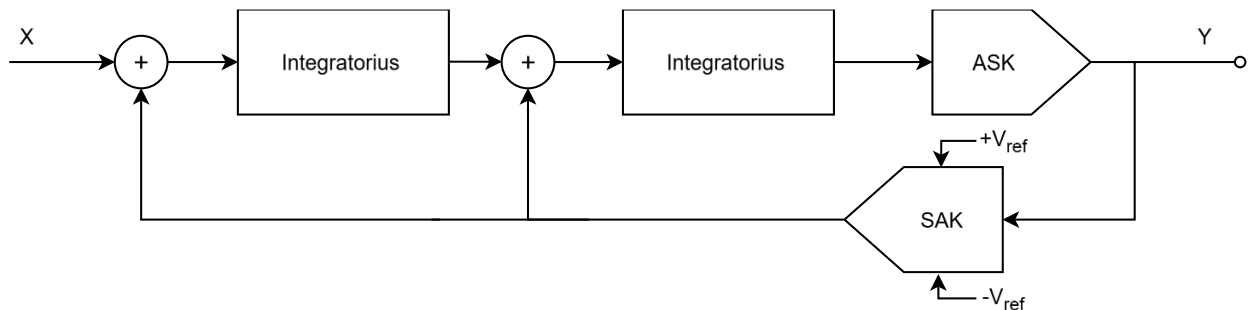
$$STF(z) = \frac{H(z)}{1+H(z)}; \quad (3)$$

$$NTF(z) = \frac{1}{1+H(z)}. \quad (4)$$

Vadinasi idealiam sigma-delta moduliatoriuje įėjimo signalas turėtų būti nepakeistas, o triukšmai praeiti aukštadažnį filtrą.

### 1.1.2. SDM eilės ir OSR

Norint pagerinti sigma-delta moduliatoriaus triukšmo charakteristika, galima naudoti ne vieną, o kelis integratorius. Integratorių skaičius moduliatoriuje nusako jo eilę. 5 paveiksle pavaizduotas antros eilės moduliatorius su dvejais integratoriais.



5 pav. Antros eilės SDM

Didesnės eilės sigma-delta moduliatoriai geriau formuoja kvantavimo triukšmus ir perstumia daugiau kvantavimo triukšmų iš naudingos dažnių juostos į aukštus dažnius, kurie su skaitmeniniu filtru yra nufiltruojami, taip pagerinant triukšmo parametrus. Tai vadinama triukšmų formavimu (angl. *Noise Shaping*). Dar vienas svarbus parametras yra viršimties santykis arba OSR. Jis parodo kiek bus paimta vienos vertės imčių. OSR yra diskretizavimo ir Naikvisto dažnio santykis. Padidinus OSR, kvantinis triukšmas bus praskleidžiamas platesniame spektre, todėl didesnis OSR pagerina triukšmų parametrus, tačiau taip pat padidina ir diskretizavimo dažnį.

$$OSR = \frac{f_s}{2BW}; \quad (5)$$

čia, OSR – viršimties santykis,  $f_s$  – diskretizavimo dažnis, BW – pralaidos juosta;

Kvantavimo triukšmas pirmos eilės sigma-delta moduliatoriuje aprašomas:

$$q_{rms}^2 = \frac{\pi^2 e_{rms}^2}{3 OSR^3}; \quad (6)$$

Antrosios eilės kvantavimo formulė:

$$q_{rms}^2 = \frac{\pi^4 e_{rms}^2}{5 OSR^5}; \quad (7)$$

čia, q – kvantavimo triukšmas, e – kvantavimo paklaida, OSR – viršimties santykis;

Pagal šias formules, galima teigti, kad dvigubai padidinus OSR, kvantavimo triukšmas sumažėja 9 dB pirmai eilei, 15 dB antrai eilei ir 21 dB trečiai eilei, kas atitinka 1,5, 2,5 ir 3,5 ENOB.

## 1.2. Sigma-delta modulatoriaus parametrai

### 1.2.1. SNR, SNDR ir DR

SNR plačiai paplitęs parametras nusakantis signalo ir triukšmo galios santykį. Skaičiuojama pagal 8 formulę.

$$SNR (dB) = 10 \log_{10} \left( \frac{P_{signalo}}{P_{triukšmo}} \right). \quad (8)$$

Kitas panašus parametras yra SNDR. Jisai dar prie triukšmų galios prideda ir iškraipymus

$$SNDR (dB) = 10 \log_{10} \left( \frac{P_{signalo}}{P_{triukšmo} + P_{iškraipymai}} \right). \quad (9)$$

Dinaminis diapazonas parodo koks yra santykis tarp didžiausio ir mažiausio galimo konvertuoti signalo lygio.

$$DR (dB) = 10 \log_{10} \left( \frac{P_{signalo}}{P_{mažiausio \text{ įėjimo signalo}}} \right). \quad (10)$$

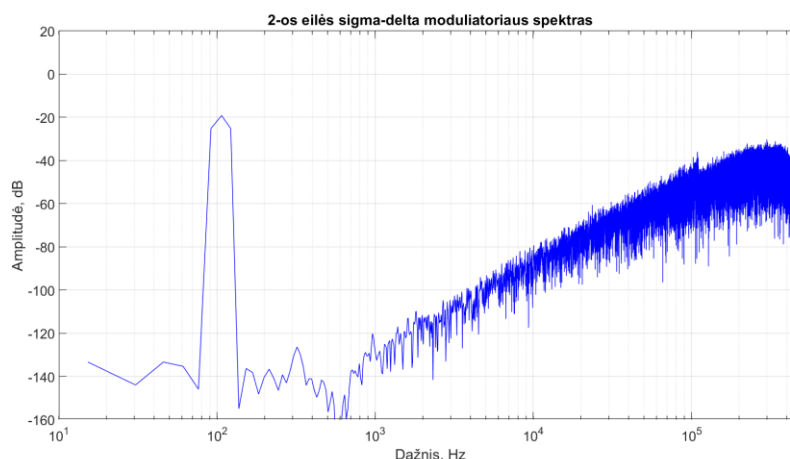
Idealaus keitiklio DR skaičiuojamas pagal 11 formulę. Pagal šią formulę, galima pasakyti, kad maksimalus 24 bitų ASK DR yra 144,5 dB, o 12 bitų – 72,2 dB.

$$DR (dB) = 6,02 \cdot N; \quad (11)$$

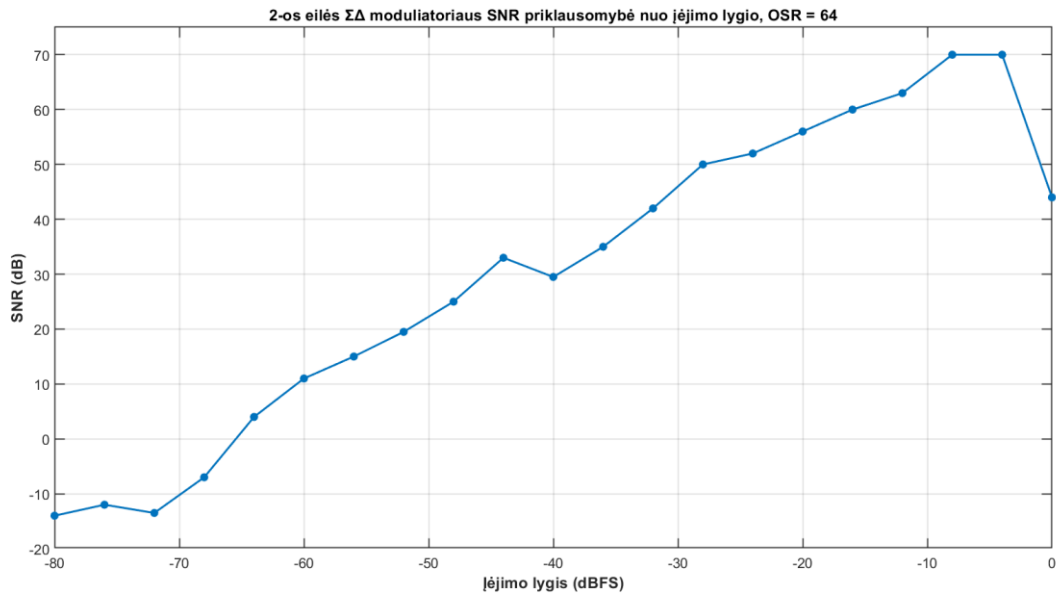
čia, N – ASK bitų skaičius.

Jeigu triukšmų lygis yra tiesus, SNR ir DR yra toks pats. Tačiau dažniausiai jis yra banguojantis, todėl SNR yra skaičiuojamas nuo vidurkio, o DR nuo maksimalios triukšmų vertės.

Šie parametrai yra surandami iš modulatoriaus PDM signalo spektro (6 pav.). Galima pastebėti triukšmo grindis (angl. *noise floor*) suformuotus į aukštus dažnius. Taip pat SNR priklauso nuo įėjimo amplitudės, todėl nubrėžiama ir SNR priklausomybė nuo įėjimo signalo lygio santykio su maksimalia įėjimo amplitudė (angl. *full scale* arba *FS*), kaip parodyta 7 paveiksle.



6 pav. Pavyzdinis SDM spektras



7 pav. Pavyzdinis SDM SNR priklausomybės nuo įėjimo amplitudės grafikas

### 1.2.2. ENOB

ENOB parodo kokia iš tikrųjų yra keitiklių skyra. Daugelis keitiklių yra suprojektuoti su tam tikra skyra bitais, tačiau dėl triukšmo, netiesiškumo, kvantavimo paklaidų ir kitų trikdžių, teoriškai šita skyra yra mažesnė.

$$ENOB = \frac{SNDR^* - 1,76}{6,02}; \quad (12)$$

čia, 1,76 – tai kvantavimo paklaidos vertė idealiam ASK, 6,02 – tai daliklis paverčiantis į decibelus.  
\* - literatūroje parodomas skaičiavimas naudojant ir SNR ar DR.

### 1.2.3. FoM

Keitiklyje svarbus ne tik triukšmas, bet ir tokie parametrai kaip galios suvartojimas ar pralaidos juosta. Projektuojant šiuos parametrus ir juos gerinant, kiti prastėja, todėl visapusiškai įvertinti ASK kokybę buvo sukurtas FoM parametras. Vieną jų pasiūlė R. H. Waldenas [6], skaičiavimas matomas 13 formulėje. Šis FoM parodo reikiamus džaulius energijos konvertuoti vieną žingsnį. Mažesnis FoM<sub>W</sub> parodo efektyvesnį ASK.

$$FoM_W = \frac{P}{2^{ENOB} \cdot f_N}; \quad (13)$$

čia, P – reikiama galia, ENOB – efektyvus bitų skaičius, f<sub>N</sub> – Naikvisto dažnis.

Kitą FoM pasiūlė R. Schreieris [1]. Šiame FoM figūruoja DR ir pralaidumo juosta. Didesnis FoM<sub>S</sub>, parodo efektyvesnį ASK.

$$FoM_S = SNR + 10 \log_{10} \left( \frac{BW}{P} \right); \quad (14)$$

čia, P – reikiama galia, SNR – santykis signalas-triukšmas, BW – pralaidos juosta.

### 1.3. Sigma-delta modulatoriaus triukšmo šaltiniai

Sigma-delta modulatoriaus triukšmo charakteristikas lemia ne tik kvantavimo procesas, bet ir praktinėje realizacijoje atsirandantys analoginių grandinių neidealumai. Idealiame modelyje pagrindinis triukšmo šaltinis yra kvantavimo triukšmas, kuris dėl grįžtamojo ryšio kilpos ir triukšmo formavimo perkeliamas į aukštesnių dažnių sritį. Praktiniame sigma-delta moduliatoriuje triukšmo lygį papildomai didina integratorių, stiprintuvų, kvantatoriaus, laikmačio ir grįžtamojo ryšio grandinės neidealumai. Šie veiksniai gali pakeisti integratorių perdavimo funkcijas, padidinti triukšmo lygį naudingoje dažnių juostoje, sukelti papildomų iškraipymų ir sumažinti SNR bei efektyvų bitų skaičių ENOB. Todėl, projektuojant sigma-delta moduliatorių, svarbu įvertinti ne tik teorinį kvantavimo triukšmo formavimą, bet ir pagrindinius praktinės realizacijos triukšmo šaltinius.

#### 1.3.1. Kvantavimo triukšmas

Kvantavimo triukšmas yra vienas pagrindinių sigma-delta modulatoriaus triukšmo šaltinių. Jis atsiranda dėl to, kad tolydus analoginis signalas kvantatoriuje pakeičiamas baigtinio lygių skaičiaus signalu. Vieno bito kvantatorius išėjime galimos tik dvi būsenos. Dėl to tarp tikrosios įėjimo signalo vertės ir kvantizuotos vertės susidaro kvantavimo paklaida. Įprastuose Naikvisto dažnio keitikliuose kvantavimo triukšmas pasiskirsto visoje naudingoje dažnių juostoje, todėl tiesiogiai riboja pasiekiamą keitiklio skyrą. Sigma-delta moduliatoriuje kvantavimo triukšmas veikiamas grįžtamojo ryšio kilpos ir triukšmo perdavimo funkcijos. Dėl šios priežasties didžioji kvantavimo triukšmo galios dalis perkeliama į aukštesnių dažnių sritį, o naudingoje dažnių juostoje triukšmo lygis sumažėja.

#### 1.3.2. Šiluminis triukšmas

Šiluminis triukšmas atsiranda dėl atsitiktinio krūvininkų judėjimo elektriniuose komponentuose. Jis pasireiškia rezistoriuose, tranzistoriuose ir kituose analoginiuose grandyno elementuose. Šio triukšmo lygis priklauso nuo temperatūros, komponentų varžų ir grandinės pralaidos juostos. Kadangi šiluminis triukšmas yra atsitiktinis, jo visiškai pašalinti neįmanoma, tačiau jį galima mažinti tinkamai parenkant komponentų vertes ir grandyno architektūrą. Sigma-delta moduliatoriuje šiluminis triukšmas svarbus todėl, kad jis atsiranda analoginėje modulatoriaus dalyje ir gali patekti į naudingąją dažnių juostą. Skirtingai nuo kvantavimo triukšmo, kuris moduliatoriuje yra formuojamas ir didžiąja dalimi perkeliamas į aukštesnius dažnius, šiluminis triukšmas nėra taip efektyviai išstumiamas iš naudingos dažnių juostos. Dėl to jis tiesiogiai didina triukšmo grindis ir mažina SNR. Ypač svarbus yra pirmųjų modulatoriaus pakopų triukšmas, nes jis stipriausiai veikia bendrą sistemos triukšmo lygį. Jei pirmojo integratoriaus arba įėjimo grandinės šiluminis triukšmas yra per didelis, vėlesnės pakopos jo nebegali pašalinti. Todėl projektuojant mažatriukšmį sigma-delta moduliatorių reikia užtikrinti pakankamai mažą įėjimo grandinės ir stiprintuvų šiluminį triukšmą.

#### 1.3.3. 1/f triukšmas

1/f triukšmas yra žemųjų dažnių triukšmas, kurio spektrinis tankis didėja mažėjant dažniui. Anglų kalboje šis triukšmas dažnai vadinamas „flicker noise“. Šis triukšmas ypač svarbus analoginiuose grandynuose, kuriuose apdorojami maži dažnio signalai, nes dalis jo patenka į naudingąją dažnių juostą ir padidina bendrą triukšmo lygį. Sigma-delta moduliatoriuose 1/f triukšmas gali būti reikšmingas tada, kai moduliatorius projektuojamas mažos pralaidos juostos ir didelės skyros taikymams. Tokiais atvejais net nedidelis papildomas žemųjų dažnių triukšmas gali sumažinti SNR.

Šis triukšmas daugiausia susijęs su tranzistorių technologiniais netolygumais, krūvininkų reiškiniais puslaidininkio struktūroje ir puslaidininkio paviršiaus defektais.

Projektuojant analoginius moduliatorius blokus  $1/f$  triukšmo įtaką galima mažinti parenkant tinkamą jėgimo tranzistorių tipą, didinant jų plotą ir naudojant diferencinę grandyno realizaciją. Diferencinė struktūra padeda slopinti bendrojo režimo trikdžius, tačiau visiškai  $1/f$  triukšmo nepašalina. Dėl to žemųjų dažnių modulatoriuose šis triukšmo šaltinis turi būti vertinamas kartu su šiluminiu ir kvantavimo triukšmu.

#### **1.3.4. Operacinio stiprintuvo neidealumai**

Operaciniai stiprintuvai sigma-delta moduliatoriuje dažniausiai naudojami integratorių realizacijai, todėl jų parametrai turi tiesioginę įtaką triukšmo formavimui ir moduliatoriaus stabilumui. Idealiame modelyje laikoma, kad stiprintuvas turi begalinį stiprinimą, neribotą dažnių juostą ir neveikia kaip papildomas triukšmo šaltinis. Praktinėje realizacijoje šios sąlygos nėra įvykdomos, todėl operacinio stiprintuvo neidealumai gali padidinti triukšmo lygį naudingoje dažnių juostoje ir sumažinti SNR. Vienas svarbiausių parametru yra baigtinis stiprinimas. Jei operacinio stiprintuvo stiprinimas yra per mažas, integratorius nepakankamai tiksliai realizuoja teorinę perdavimo funkciją. Dėl to sumažėja triukšmo formavimo efektyvumas ir dalis triukšmo gali likti naudingoje dažnių juostoje. Ribota stiprintuvo dažnių juosta ir fazės atsarga taip pat daro įtaką integratoriaus veikimui, nes signalas negali nusistovėti pakankamai tiksliai per nustatytą laiką. Tai gali sukelti papildomų paklaidų, iškreipimų ir bloginti moduliatoriaus stabilumą.

Operacinis stiprintuvas taip pat turi vidinį šiluminį ir  $1/f$  triukšmą. Šis triukšmas atsiranda tranzistoriuose ir gali būti perduodamas į moduliatoriaus išėjimą kartu su naudinguoju signalu. Kadangi projektuojamas moduliatorius skirtas žemų dažnių signalams,  $1/f$  triukšmas gali būti ypač svarbus. Todėl projektuojant stiprintuvą reikia užtikrinti pakankamą stiprinimą, tinkamą dažnių juostą, stabilumą ir mažą jėgimo triukšmą.

#### **1.3.5. Komparatoriaus triukšmas ir vėlinimas**

Komparatorius sigma-delta moduliatoriuje atlieka kvantatoriaus funkciją, todėl jo neidealumai tiesiogiai veikia moduliatoriaus išėjimo signalą. Idealiu atveju komparatorius turėtų akimirksniu ir be paklaidos nustatyti, ar jėgimo signalas yra didesnis, ar mažesnis už nustatytą slenkstinę vertę. Praktinėje realizacijoje komparatorius turi jėgimo triukšmą, poslinkio įtampą, ribotą jautrumą ir vėlinimą. Komparatoriaus jėgimo triukšmas ir poslinkio įtampa gali pakeisti sprendimo momentą. Dėl to kvantatoriaus išėjime gali būti suformuota neteisinga loginė būseną arba atsirasti papildoma sprendimo paklaida. Ši paklaida patenka į grįžtamojo ryšio kilpą ir gali padidinti bendrą moduliatoriaus triukšmo lygį. Mažų amplitudžių signalams ši įtaka gali būti ryškesnė, nes signalas tampa artimesnis komparatoriaus jautrumo ribai.

Kitas svarbus veiksnys yra komparatoriaus vėlinimas. Tolydaus laiko sigma-delta moduliatoriuose vėlinimas keičia grįžtamojo ryšio signalo veikimo momentą ir sukelia perteklinį kilpos vėlavimą. Dėl to gali keistis moduliatoriaus perdavimo funkcija, blogėti stabilumas, didėti iškreipimai ir mažėti SNR. Todėl projektuojant komparatorių svarbu užtikrinti pakankamą jautrumą, mažą poslinkio įtampą, mažą triukšmą ir pakankamai trumpą vėlinimo laiką.

### 1.3.6. Laikmačio drebėjimas

Laikmačio drebėjimas yra diskretizavimo arba grįžtamojo ryšio signalo laiko momento neapibrėžtumas. Idealiu atveju modulatoriaus laikmačio frontai atsiranda tiksliai nustatytais laiko momentais, tačiau praktinėje realizacijoje dėl laikmačio grandinių triukšmo ir neidealumų šie momentai šiek tiek kinta. Toks laiko pokytis sukelia papildomą paklaidą, kuri modulatoriaus išėjime gali pasireikšti kaip triukšmas arba iškraipymai. Laikmačio drebėjimas ypač svarbus tolydaus laiko sigma-delta modulatoriuose. Tokiuose modulatoriuose grįžtamojo ryšio SAK impulsai tiesiogiai veikia integratorius realiuoju laiku, todėl net nedideli impulso pradžios ar pabaigos laiko pokyčiai pakeičia impulso plotą. Dėl to į integratorių perduodama ne visiškai tiksli grįžtamojo ryšio vertė, o ši paklaida didina bendrą triukšmo lygį.

Laikmačio drebėjimo įtaka priklauso nuo diskretizavimo dažnio, įėjimo signalo dažnio, amplitudės ir grįžtamojo ryšio impulso formos. Kuo didesnis signalo kitimo greitis arba kuo didesnis laikmačio neapibrėžtumas, tuo didesnė susidaranti paklaida. Dėl šios priežasties, projektuojant tolydaus laiko sigma-delta modulatorių, svarbu užtikrinti stabilų laikmačio signalą ir mažą grįžtamojo ryšio impulsų laiko neapibrėžtumą.

### 1.3.7. Grįžtamojo ryšio SAK netiesiškumas

Grįžtamojo ryšio SAK yra svarbi sigma-delta modulatoriaus dalis, nes jo išėjimo signalas grąžinamas į modulatoriaus įėjimą ir naudojamas klaidai tarp įėjimo signalo ir grįžtamojo ryšio signalo formuoti. Idealiu atveju SAK išėjimo lygiai yra tikslūs, perjungimo momentai nekinta, o pats keitiklis neveikia kaip papildomas iškraipymų šaltinis. Praktinėje realizacijoje šios sąlygos nėra visiškai įvykdomos. SAK netiesiškumas gali atsirasti dėl išėjimo įtampos lygių nesutapimo, jungiklių varžų, vėlinimų, laikmačio signalo netikslumo ir parazitinių talpų. Šie neidealumai pakeičia grįžtamojo ryšio signalo vertę arba jo veikimo momentą, todėl į integratorių patenka papildoma paklaida. Tokia paklaida gali padidinti iškraipymus, triukšmo lygį naudingoje dažnių juostoje ir sumažinti SNDR.

Vieno bito SAK turi pranašumą, nes jo išėjime yra tik du galimi lygiai. Dėl to jo statinis tiesiškumas paprastai yra geresnis negu daugiabičio SAK, kuriame reikalingas tikslus kelių išėjimo lygių suderinimas. Vis dėlto net ir vieno bito SAK nėra visiškai idealus, todėl projektuojant modulatorių svarbu užtikrinti kuo tikslesnius grįžtamojo ryšio lygius, mažą perjungimo vėlinimą ir stabilų laikmačio signalą.

Apibendrinant galima teigti, kad sigma-delta modulatoriaus triukšmo charakteristikas lemia kvantavimo triukšmo formavimas ir praktinės realizacijos neidealumai. Teoriniame modelyje daugiausia vertinamas kvantavimo triukšmas, o tranzistorinėje realizacijoje papildomai atsiranda šiluminis ir  $1/f$  triukšmas, stiprintuvų baigtinio stiprinimo ir ribotos dažnių juostos įtaka, komparatoriaus triukšmas bei vėlinimas, laikmačio drebėjimas ir grįžtamojo ryšio grandinės netikslumai. Dėl šių veiksnių galutinėje realizacijoje pasiekiamas SNR paprastai yra mažesnis negu idealiuose arba elgsenos modeliuose.

#### 1.4. Sigma-delta modulatoriaus triukšmo gerinimo strategijos

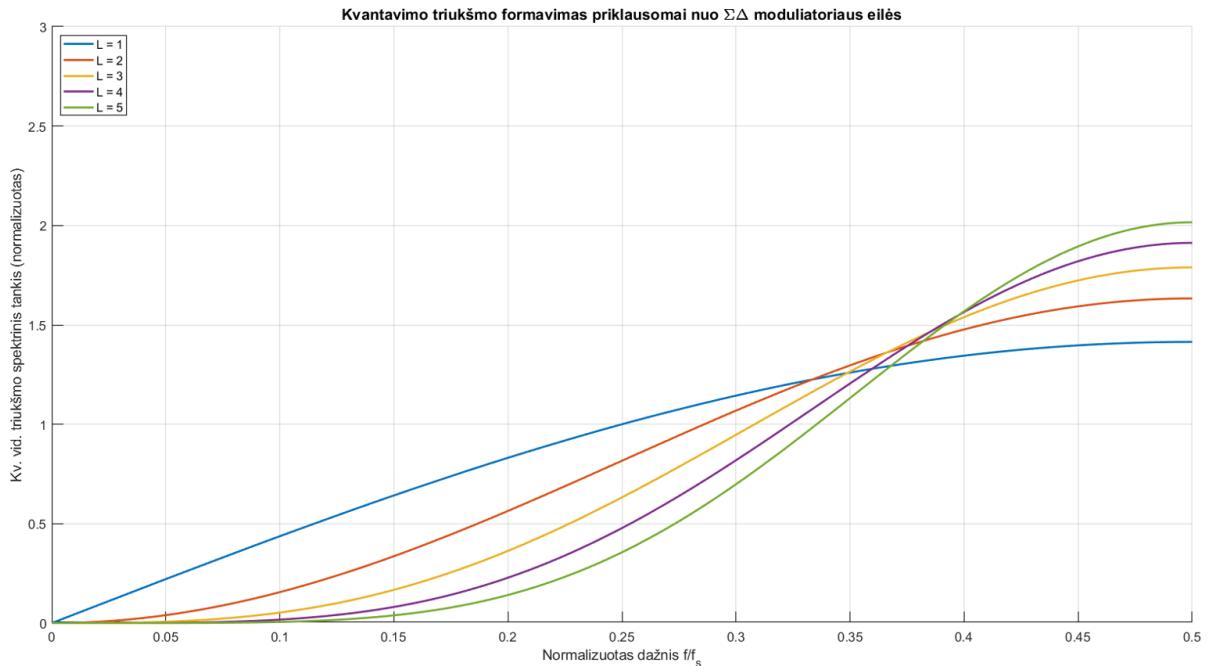
Pagal 15 formulę, galima pastebėti, kad idealaus sigma-delta modulatoriaus SNR priklauso nuo trijų pagrindinių parametru: modulatoriaus eilės – L, viršimties santykio – OSR ir kvantatoriaus bitų skaičiaus – B. Keičiant šiuos parametrus galima pagerinti triukšmo charakteristikas su tam tikrais kompromisais. [1]

$$SNR(dB) = 10 \log_{10} \left( \frac{P_{signalo}}{P_{triukšmo}} \right) = 10 \log_{10} \left( \frac{3}{2} (2^B - 1)^2 \frac{(2L + 1) OSR^{(2L+1)}}{\pi^{2L}} \right); \quad (15)$$

čia, L – modulatoriaus eilė, B – modulatoriaus kvantatoriaus bitų skaičius.

##### 1.4.1. Didelės eilės sigma-delta modulatoriai

SDM triukšmo formavimą nustato atitinkama NTF perdavimo funkcija. Didėjant modulatoriaus eilei, daugiau kvantavimo triukšmų yra išstumiami į aukštus dažnius iš naudingos dažnių juostos ribos ir NTF tada primena aukštadažnį filtrą. 8 paveiksle pavaizduota kaip spektrinis tankis kinta nuo dažnio ir modulatoriaus eilės.



8 pav. Spektrinio tankio priklausomybė nuo dažnio ir SDM eilės – L

SNR pagerėjimą galima įvertinti su 16 formulę. Su tokiu pačiu OSR=32 idealiu atveju ketvirtos eilės modulatorius turės 21,3 dB (3,5 ENOB) didesnę SNR nei trečios eilės [3].

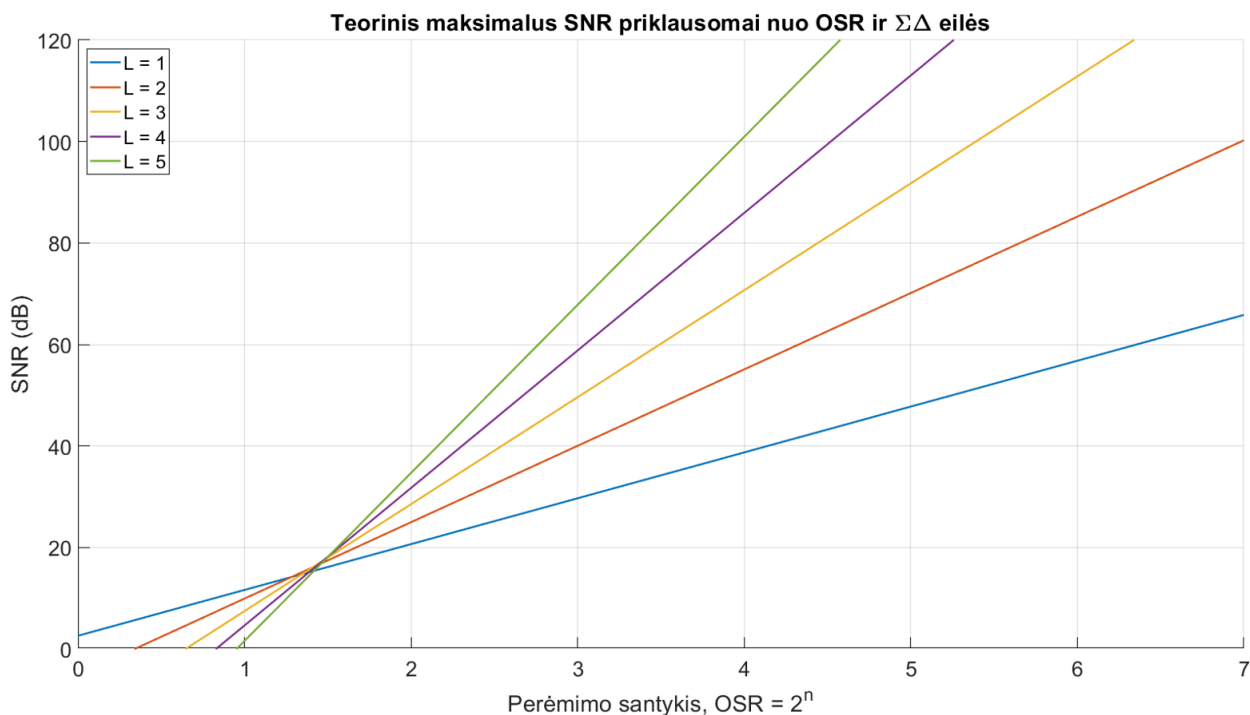
$$SNR(dB) = 10 \log_{10} \left( \frac{2L + 3}{2L + 1} \left( \frac{OSR}{\pi} \right)^2 \right). \quad (16)$$

Tačiau didinant modulatoriaus eilę, jis tampa vis nestabilesnis, jautresnis koeficientų dispersijai ir komponentų netikslumams. Norint užtikrinti stabilumą tenka mažinti grįžtamojo ryšio koeficientus kas sumažina SNR ir DR. Praktikoje, apsisistojama ties 2 arba 3 eile, arba naudojama MASH architektūra.

### 1.4.2. Didelio OSR sigma-delta modulatoriai

Kitas būdas pagerinti triukšmą yra didinti OSR. Kuo daugiau paimti vienos imties atskaitų, tuo tiksliau galima įvertinti jo vertę. OSR įtaką galima įvertinti su 17 formule. Dvigubai padidinus OSR, pirmos eilės modulatoriaus SNR padidėja ~9 dB, antros eilės ~15 dB, trečios eilės ~21 dB. SNR priklausomybę galima matyti 9 paveiksle.

$$SNR(dB) \propto (2L + 1)10\log_{10}(OSR) \quad (17)$$

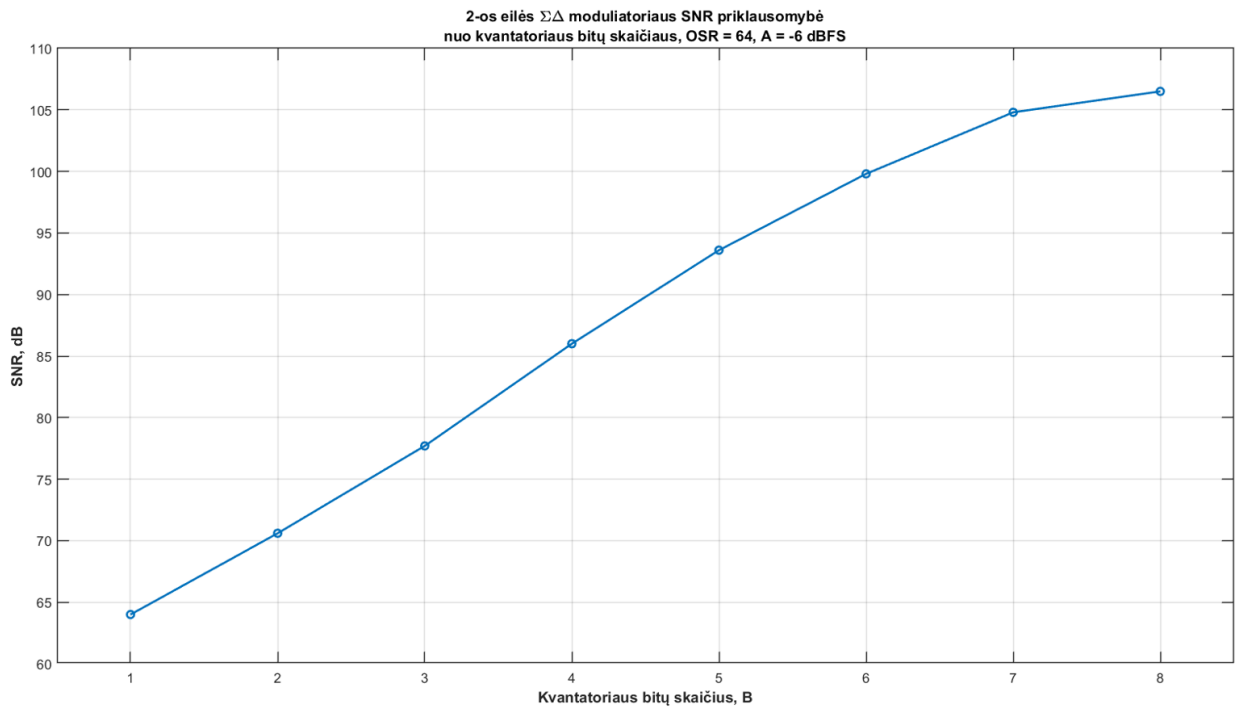


9 pav. SNR priklausomybė nuo OSR ir modulatoriaus eilės

OSR negali būti didinamas be galo, tai pačiai pralaidos juostai, viršimties santykis proporcingai didėja diskretizavimo dažniui, 5 formulė. Didesniam OSR reikia didesnio  $f_s$ , o didesnis  $f_s$  reikalauja didesnių stiprintuvo pralaidumo ir kilimo greičio (angl. *slew rate*), mažesnių RC laiko konstantų, kas reiškias didesnes komponentų vertes, didesnę galios suvartojimą ir sudėtingesnį laikmačio generavimą.

### 1.4.3. Multibitiniai sigma-delta modulatoriai

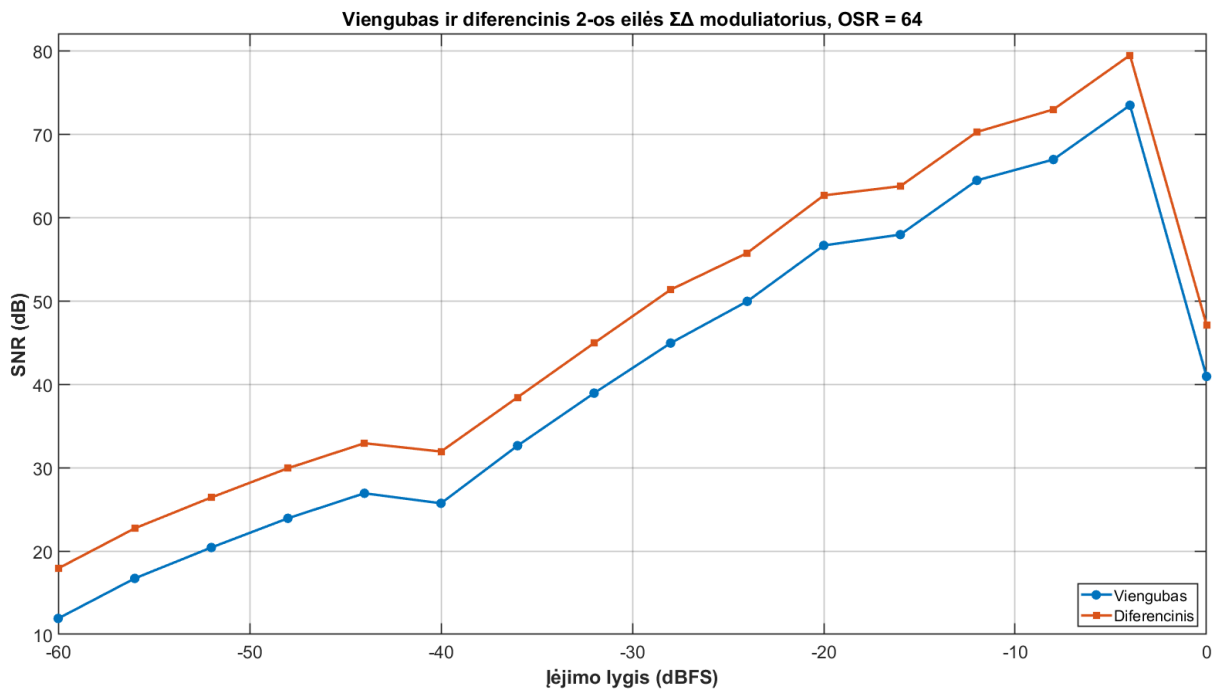
Triukšmus galima mažinti panaudojus didesnę kvantatoriaus bitų skaičių. Kvantavimo žingsnis tiesiogiai veikia triukšmo galią, dvigubai sumažintas žingsnis pagerina SNR 6 dB. Jeigu visi parametrai lieka vienodi, papildomas bitas pagerina modulatoriaus SNR 6 dB. Tačiau didesnis kvantatoriaus bitų skaičius reikalauja ir tokio pačio SAK bitų skaičiaus, kas sunkina grįžtamojo ryšio architektūrą. Sudėtingesnis SAK gali įnešti į moduliatorių netiesiškumus. Taip pat sudėtingėja skaitmeninė dalis, multibitiniui išėjimui reikalingi sudėtingos kalibracijos ar korekcijos schemos. Dėl šių priežasčių dažniausiai naudojamas 1 bito kvantatoriaus. SNR priklausomybė matoma 10 paveiksle.



10 pav. SNR priklausomybė nuo kvantatoriaus bitų skaičiaus ir eilės

#### 1.4.4. Diferenciniai sigma-delta modulatoriai

Dar viena plačiai naudojama triukšmo gerinimo strategija – pilnai diferencinė sigma-delta modulatoriaus realizacija. Diferencinėje architektūroje visi integratoriai, kvantatoriai ir SAK dirba su dviem priešingos fazės signalais, o naudingas signalas yra jų skirtumas.



11 pav. SNR priklausomybė nuo įėjimo lygio ir realizacijos

Teoriškai, esant tam pačiam maitinimo įtampų diapazonui, diferencinis signalas gali svyruoti šakoje dvigubai didesniai diapazone. Tai reiškia apie 6 dB didesnę teorinę SNR lyginant su viengubu

signalu. Praktikoje SNR padidėjimas yra dar didesnis. Taip pat diferencinė realizacija gerina bendrojo režimo triukšmų slopinimą ir mažesni netiesiškumai dėl simetrijos panaikinamų lyginių eilių harmonikų.

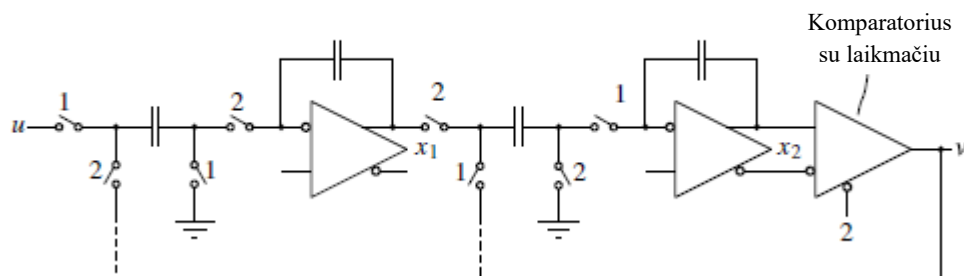
Diferencinė realizacija yra žymiai sudėtingesnė: reikalingi pilnai diferenciniai integratoriai ir kvantatoriai, papildomas bendrojo režimo grįžtamas ryšys (CMFB). Vis dėl to praktikoje dažnai naudojama diferencinė realizacija dėl aukščiausio pasiekiamo SNR ir atsparumo trikdžiams.

### 1.5. Sigma-delta moduliatoriaus architektūros

Egzistuoja dvi pagrindinės sigma-delta moduliatorių architektūrų grupės pagal integratorių realizavimą ir skirtingą diskretizavimo atlikimo vietą: diskretaus laiko (DT) ir tolydaus laiko (CT). Taip pat didesnės eilės moduliatoriuose yra naudojama MASH kaskadinė architektūra.

#### 1.5.1. Diskretaus laiko (DT) sigma-delta moduliatorius

Diskretaus laiko SDM naudoja užlaikymo (angl. *sample and hold*) grandines ir komutuojamas kondensatorines (angl. *switched capacitor*) realizacijas. Signalai moduliatoriuje keičiami ir apdorojami taktais, o tarp diskretizavimo momentų jie laikomi pastovūs. Tipinė DT moduliatoriaus struktūra pavaizduota 12 paveiksle. Šių moduliatorių integratorių stiprinimo koeficientus lemia kondensatorių santykiai, kurie luste yra gerai valdomi. Taip pasiekiamas geras tiesiškumas ir pakartojamumas. Kadangi integratorių įkrovimai ir grįžtamojo ryšio operacijos vyksta sinchroniškai, DT moduliatoriai yra atsparūs laikmačio drebėjimui. Taip pat turi labai gerai išvystytus sintezės ir projektavimo įrankius.



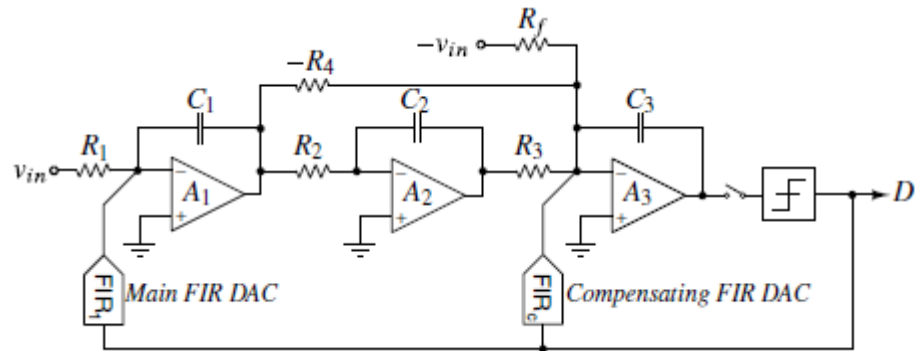
12 pav. Diskretaus laiko SDM realizacijos pavyzdys

DT turi ir trūkumų. Dėl kondensatorių junginėjimo, į sistemą patenka papildomas triukšmas. Nėra „įgimto“ sanklodinio filtro, todėl jis turi būti papildomai suprojektuotas prieš moduliatoriaus įėjimą. Jungiklinės kondensatorinės grandinės reikalauja pakankamo operacinių stiprintuvų nusistovėjimo greičio takto metu. Dideliems diskretizavimo greičiams tą tampa vis sunkiau padaryti.

#### 1.5.2. Tolydaus laiko (CT) sigma-delta moduliatorius

Tolydaus laiko sigma-delta moduliatoriuose integratoriai veikia ištiesai, be taktų. Kaip integratoriai naudojamos aktyvūs RC, gm-C ar LC grandynai. Diskretizavimas atliekamas tik kvantatoriaus įėjime, o grįžtamojo ryšio SAK generuoja tolydaus laiko impulsus. Standartinė realizacija aktyvaus RC integratoriaus matosi 13 paveiksle. Šios architektūros privalumai yra natūralus sanklodinis filtras, geresnės triukšmo charakteristikos žemuose dažniuose dėl mažesnių šiluminių ir 1/f triukšmų. Be to, su CT architektūra galima pasiekti didesnius pralaidos juostos pločius ir geresnę galios suvartojimą lyginant su DT moduliatoriais.

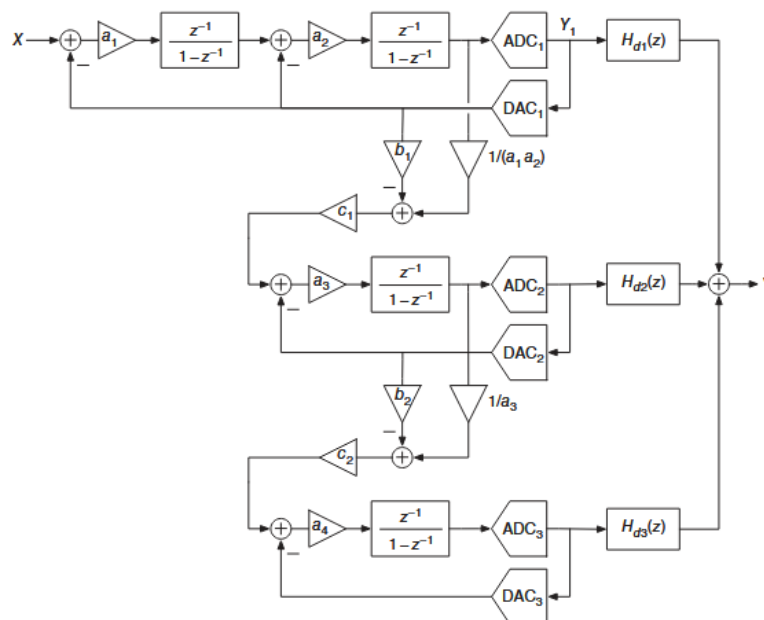
Pagrindiniai CT trūkumai yra jautrumas laikmačio drebėjimams ir vėlinimams. Kadangi grįžtamasis ryšys veikia tiesiogiai integratorių realiu laiku, bet koks kvantatoriuje sukeltas nestabilumas ar vėlinimas gali sukelti didelius triukšmus moduliatoriuje.



13 pav. Tolydaus laiko SDM realizacijos pavyzdys

### 1.5.3. MASH sigma-delta moduliatoriai

Kaip minėta anksčiau, moduliatoriai su didele eile tampa nestabilūs ir yra jautrūs koeficientų paklaidoms, todėl galima didelės eilės moduliatorius išskaidyti į kelis kaskadus, taip padarant MASH (angl. *Multi-Stage Noise Shaping*) architektūrą. Tokią architektūrą sudaro keli žemesnės eilės moduliatoriai ir to pagalba gali nunulinti bendrą kvantavimo triukšmą ir į skaitmeninį filtrą paduoti tik vienos pakopos kvantavimo triukšmą. 14 paveiksle pateiktas 2-1-1 MASH architektūros pavyzdys. Pagrindinis privalumas šios architektūros, tai stabilesnis realizavimas didesnės eilės moduliatorių, taip pat galima geriau suderinti su multibičiais kvantatoriais. Didžiausias trūkumas, tai daug sudėtingesnis skaitmeninio filtro projektavimas.



14 pav. 2-1-1 MASH moduliatorius

### 1.6. Literatūros apžvalga

Buvo apžvelgti naujausi sigma-delta keitiklių straipsniai. Pastebėta, kad dauguma dėmesio skiria tolydaus laiko moduliatoriais. Priežastis, gali būti dėl didesnio potencialo platesniuose dažnių

ruožuose. Labai dažnai projektuojamas sigma-delta ASK yra 20 kHz pralaidumo juostai, dėl garso reikmių. Kalbant apie triukšmą, SNDR ir DR figuruoja nuo 70 iki 110 dB, geresnius triukšmo parametrus gauna naudojant didesnę OSR. OSR renkama nuo 10 iki 150. Kaip ir prieš tai minėta eilę renkami 2 arba 3. Taip pat dažnai naudojama MASH architektūra ir su ja 4 modulatoriaus eilė.

**1 lentelė.** Naujausių sigma-delta ASK apžvalga

<b>Straipsnis</b>	<b>[8]</b>	<b>[9]</b>	<b>[10]</b>	<b>[11]</b>	<b>[12]</b>	<b>[13]</b>
<b>OSR</b>	125	17	48	64	160	192
<b>SNDR</b>	106,9 dB	71 dB	105,4 dB	76,3 dB	90,1 dB	107,3 dB
<b>DR</b>	110,2 dB	73 dB	106,3 dB	76 dB	90,1 dB	109,2 dB
<b>BW</b>	20 kHz	80 MHz	24 kHz	25 MHz	10 kHz	20 kHz
<b>Rūšis</b>	CT	CT (MASH)	CT	CT (MASH)	CT	CT
<b>Eilė</b>	3	3	2	4	2	3
<b>Straipsnis</b>	<b>[14]</b>	<b>[15]</b>	<b>[16]</b>	<b>[17]</b>	<b>[18]</b>	<b>[19]</b>
<b>OSR</b>	25	250	91	20	50	120
<b>SNDR</b>	89,5 dB	95,4 dB	92,2 dB	76,7 dB	94,6 dB	80,2 dB
<b>DR</b>	92,8 dB	96,5 dB	94,7 dB	85 dB	94,6 dB	81,3 dB
<b>BW</b>	500 kHz	20 kHz	0,7 kHz	10 MHz	50 kHz	200 kHz
<b>Rūšis</b>	DT (MASH)	CT	DT	CT (MASH)	CT (MASH)	CT (MASH)
<b>Eilė</b>	4	2	3	4	3	2

### 1.7. Literatūros analizės apibendrinimas

Apžvelgus sigma-delta ASK buvo išsiaiškintas jo veikimas ir privalumai. Naikvisto dažnio keitikliai dėl komponentų nesuderinimų negali pasiekti didelį ENOB. Tačiau paimant daug kartų didesnę diskretizavimo dažnį, galima kvantavimo triukšmus praskleisti platesniame spektre, už nenaudojamos ribos ir su žemų dažnių filtru pašalinti. Pagrindinė sigma-delta ASK dalis yra jo modulatorius. Modulatorius panaudojant integratorių, komparatorių ir grįžtamąjį ryšį, generuoja PDM signalą, kuris su skaitmeniniu filtru yra nufiltruojamas, decimuojamas ir supakuojamas patogiu formatu.

SDM gali turėti ne vieną integratorių, o kelis. Nuo integratoriaus skaičiaus priklauso jo eilė. Kuo didesnė eilė, tuo daugiau kvantavimo triukšmų yra perstumiami į aukštesnius dažnius, taip pagerinant keitiklio dažnines savybes. Tačiau didėjant eilei, didėja ir kompleksiskumas. Dažniausiai apsistojama ties 2 – 3 eile. Keitiklio triukšmą ir pralaidumo juostą apsprendžia OSR. Paliekant tą patį diskretizavimo dažnį ir didinant OSR, pralaidumo juosta mažėja, bet mažėja ir kvantavimo triukšmai, nes jų daugiau būna nufiltruojama skaitmeniniu filtru. Vertinant triukšmus, žiūrima į SNR, SNDR, DR, ENOB ir FoM parametrus. ENOB įvertina triukšmą ir parodo kokia reali yra keitiklio skyra. SDM skirstomi į diskretaus ir tolydaus laiko. Atlikus naujausių literatūrinę apžvalgą, paaiškėjo, kad dabar labiau fokusuojama ties CT modulatoriais.

Šiame darbe bus projektuojamas sigma-delta modulatorius skirtas keitikliui kuris bus naudojamas EKG ir kitiems biomedicininiais signalams diskretizuoti. Tokiems signalams reikia 1 kHz pralaidos juostos ir apie 16 bitų skyros. Maža pralaidos juosta leidžia pasirinkti didelį OSR – 500, diskretizavimo dažnis gaunamas – 1 MHz. Bus taikoma SNR gauti daugiau nei 100 dB. Tam bus taikoma tolydaus laiko architektūrą su diferencine realizacija. Naudojama maitinimo įtampa – 1,8 V.

## 2. Spektro skaičiavimo metodologija

Vienas svarbiausių kokybinių sigma-delta modulatoriaus parametrų yra SNR. SNR yra randamas iš modulatoriaus PDM signalo išėjimo spektro. Spektrui skaičiuoti pasitelkiamas FFT. Svarbus veiksnys FFT ir SNR skaičiavimo patikimumui yra imčių kiekis. Atliktuose skaičiavimuose pastebėta, kad naudojant imčių kiekį  $N = 30 \cdot OSR$  ir skaičiuojant SNR, gaunama 1,4 dB standartinė deviacija, naudojant  $N = 64 \cdot OSR$ , gaunama 1 dB standartinė SNR deviacija, naudojant  $N = 256 \cdot OSR$ , gaunama 0,5 dB SNR standartinė deviacija [1]. Šiame darbe skaičiuojant FFT bus naudojama  $N = 2^{16} = 65536$  imčių, kas su naudojamu 500 OSR turėtų duoti SNR standartinę deviaciją mažiau už 1 dB, bet daugiau už 0,5 dB. Kadangi naudojamas diskretizavimo dažnis yra 1 MHz, bendras modeliavimo laikas bus skaičiuojamas pagal 17 formulę.

$$t_m = N \cdot T_s = \frac{N}{f_s} = \frac{65536}{1000000} = 0,065536 \text{ s} = 65,536 \text{ ms}; \quad (17)$$

čia,  $t_s$  – modeliavimo laikas,  $N$  – imčių kiekis,  $T_s$  – diskretizavimo periodas,  $f_s$  – diskretizavimo dažnis.

Taip pat paliekama 10 ms pradžioje pereinamiesiems procesams. Bendras modeliavimo laikas 75,536 ms. Parenkamas įėjimo dažnis signalo, kurio spektras bus skaičiuojamas. Siekiant, kad FFT skaičiavimas būtų koherentinis, šis dažnis turėtų būti FFT dažnių kažkuriame langelyje (angl. *FFT bin*), pasirenkamas 7 langelis. Signalo dažnis randamas su 18 formule.

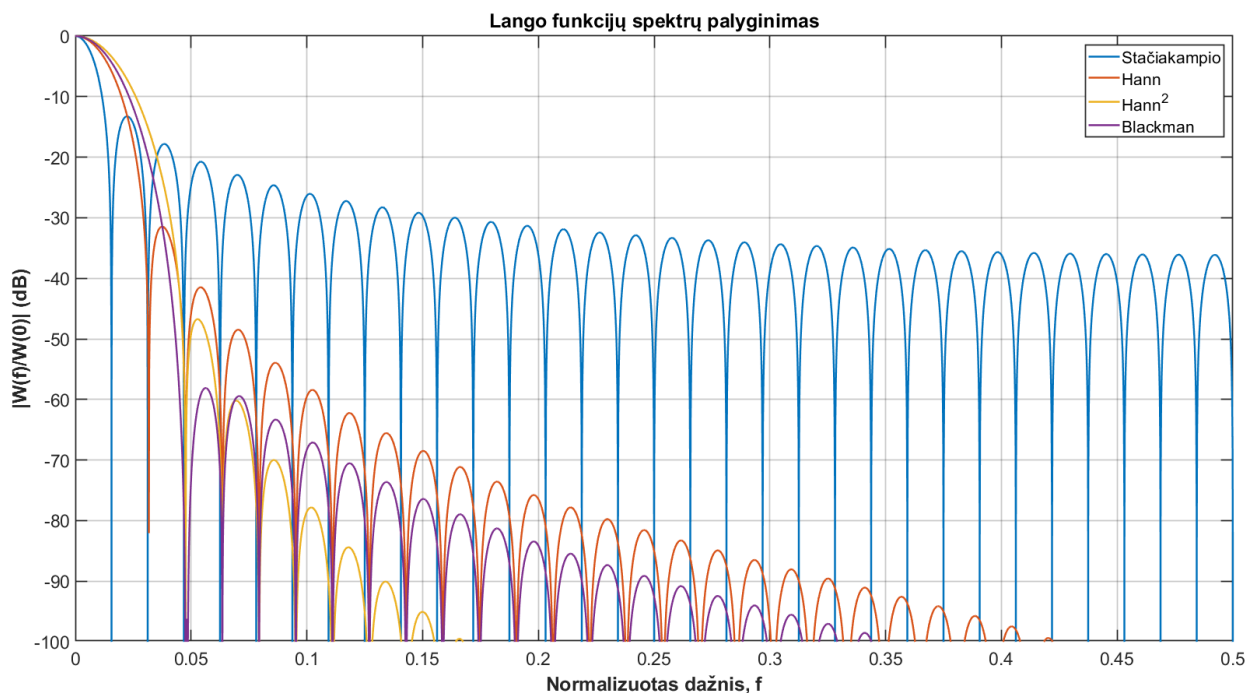
$$f_{in} = \frac{f_s}{N} \cdot n = \frac{1000000}{65536} \cdot 7 = 106,812 \text{ Hz}; \quad (18)$$

čia,  $n$  – FFT dažnio langelio indeksas.

Kitas svarbus parametras yra lango funkcijos parinkimas. Prieš skaičiuojant FFT, signalas yra sudauginamas su lango funkcija, taip sumažinamas spektro nutekėjimas (angl. *spectral leakage*) ir aiškiau galima atskirti signalo komponentus FFT dažnio langeliuose. Pagrindiniai lango funkcijų parametrai yra: pagrindinio lapelio plotis, kuris užtikrina skyrą, ir šoninių lapelių lygis, nuo kuriuo priklauso spektro nutekėjimas nuo stiprių FFT langelio kaimynų. Lango funkcijų spektrai matomi 15 paveiksle. Pati paprasčiausia yra stačiakampio funkcija, ji turi siauriausią pagrindinį lapelį, tačiau aukštą šoninių lapelių lygį, kas lemia didelį spektro nutekėjimą, todėl nėra rekomenduojamas. Taip pat stačiakampės funkcijos šoniniai lapeliai nusistovi ties maždaug -36 dB prie aukštų dažnių, kas nėra pageidautina skaičiuojant sigma-delta modulatoriaus SNR. Norima kuo labiau nuslopinti modulatoriaus suformuotą aukštadažnį triukšmą. Kitos naudojamos lango funkcijos yra Hann, Hann<sup>2</sup> ir Blackman. Jos turi žymiai didesnius slopinimus prie aukštų dažnių. Šiame darbe bus naudojama Hann lango funkcija (19). Ji suteikia gerą pagrindinio lapelio plotį bei pakankama šoninių lapelių slopinimą.

$$w(n) = \frac{1}{2} \left( 1 - \cos \left( \frac{2\pi n}{N} \right) \right); \quad (19)$$

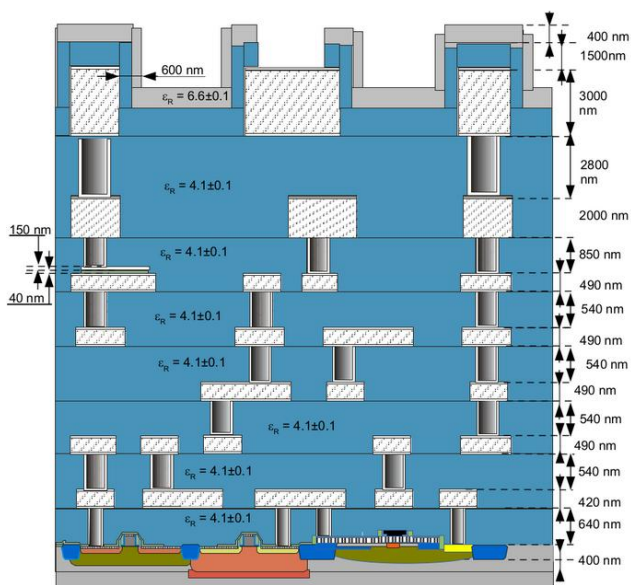
čia,  $w(n)$  – Hann lango funkcija.



15 pav. FFT langų palyginimai

### 3. IHP SG13G2 technologija

Norint pagaminti lustą, turime naudoti komponentus kuriuos suteikė gamykla. Šių komponentų rinkiniai vadinami technologija arba PDK (angl. *Process Development Kit*). Šiame darbe bus naudojama IHP SG13G2 0,13  $\mu\text{m}$  technologija (16 pav.). Ši technologija labiausiai pasižymi bipoliniais SiGe (silicio-germano) HBT (angl. *Heterojunction Bipolar Transistor*) tranzistoriais, kurių praėjimo dažnis (angl. *transit frequency*) siekia 300 GHz, o virpesių dažnis iki 500 GHz. Šis PDK turi 2 tranzistorių tipus su skirtingais užtūros pločiais: plono oksido užtūros skirtos 1,2 V įtampai ir storo oksido skirtos 3,3 V įtampai. Taip pat suteikia mažos ir didelės varžos polisilicio rezistorius ir MIM (angl. *Metal-Insulator-Metal*) kondensatorius. Topologijos sudarymui skirti 5 ploni aliumininiai metaliniai sluoksniai ir 2 stori (2 ir 3  $\mu\text{m}$  storio) aliumininiai metaliniai sluoksniai.



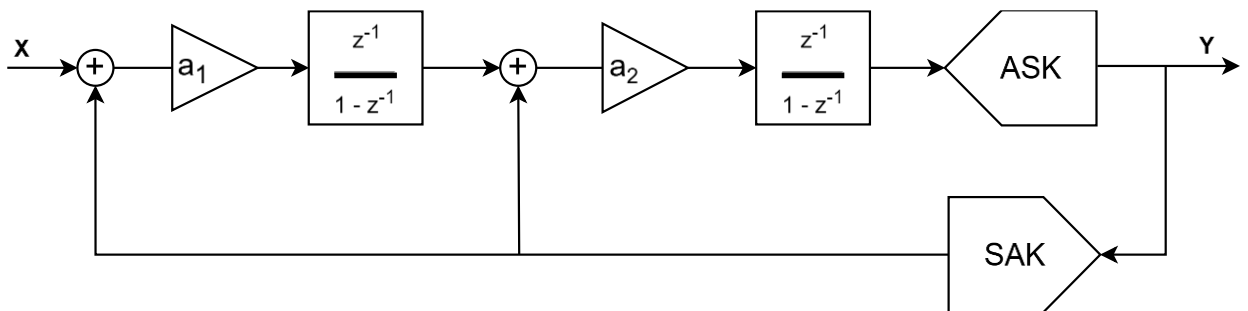
16 pav. SG13G2 technologijos pjūvis (angl. *cross-section*) [20]

#### 4. DT-CT transformacijos metodika

Projektuojant tolydaus laiko (CT) sigma-delta modulatorius yra ganėtinai sunku tiksliai juos sintezuoti, todėl žymiai paprasčiau yra pradžioje suprojektuoti diskretaus laiko (DT) sigma-delta modulatorių ir jį pasinaudojant koeficientais transformuoti į CT modulatorių. Reiškias reikės pereiti iš Z transformacijos į Laplaso transformaciją.

##### 4.1. DT modulatoriaus projektavimas

Pradžioje suprojektuojamas 2 eilės CIFB DT modulatorių, jo struktūrinė schema matoma 17 paveiksle. Jį sudaro 2 integratoriai, 2 stiprinimo koeficientai, kurie nulemia stiprinimą prieš integratorius ir ASK bei SAK.



17 pav. Projektuojamas 2 eilės diskretaus laiko (DT) CIFB sigma-delta modulatorius

Šio modulatoriaus kilpos filtras (angl. *loop filter*)  $H(z)$  aprašomas pagal (20) formulę. Filtrą sudaro du keliai: vienas per abu integratorius ir vienas tik per antrą.

$$H(z) = -a_1 a_2 G^2(z) - a_2 G(z). \quad (20)$$

čia,  $H(z)$  – kilpos filtras,  $a_1$  ir  $a_2$  stiprinimo koeficientai prieš integratorius,  $G(z)$  – diskretinio integratoriaus perdavimo funkcija.

Suskaičiuojama  $G^2(z)$  ir  $G(z)$ :

$$G^2(z) = \left( \frac{z^{-1}}{1 - z^{-1}} \right)^2 = \frac{z^{-2}}{(1 - z^{-1})^2} = \frac{z^{-2}}{\frac{(z-1)^2}{z^2}} = z^{-2} \cdot \frac{z^2}{(z-1)^2} = \frac{1}{(z-1)^2};$$

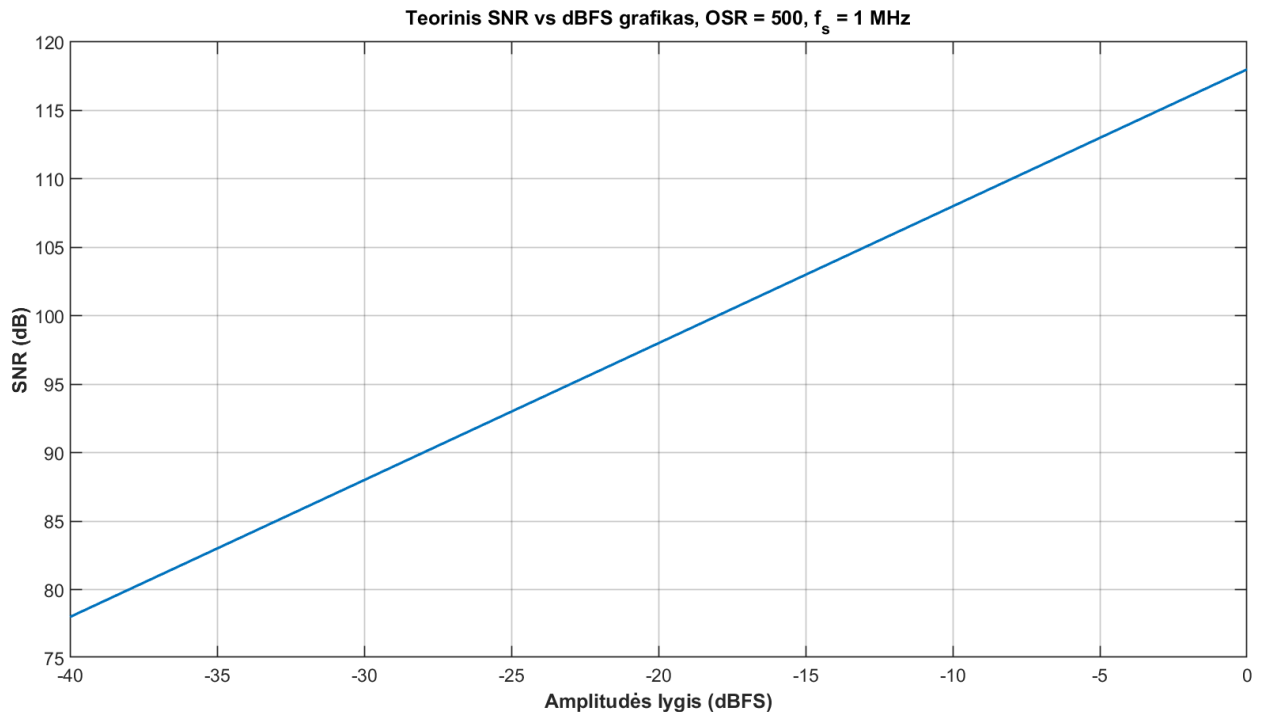
$$G(z) = \frac{z^{-1}}{1 - z^{-1}} = \frac{z^{-1}}{\frac{z-1}{z}} = z^{-1} \cdot \frac{z}{z-1} = \frac{1}{z-1}.$$

Gaunama kilpos filtro perdavimo funkcija pagal (20) formulę:

$$H(z) = -a_1 a_2 \frac{1}{(z-1)^2} - a_2 \frac{1}{z-1} = -\frac{a_1 a_2}{(z-1)^2} - \frac{a_2}{z-1}.$$

Turint kilpos filtro perdavimo funkciją, beliko pasirinkti  $a_1$  ir  $a_2$  koeficientus. Kadangi modulatoriaus ASK ir SAK bus 1 bito, rekomenduojama pasirinkti svorių sumą artimą ar lygų 1. Optimaliausiai variantas, kad nei vienas integratorius negautu per didelį grįžtamąjį ryšį ir sukeltu nestabilumą ar įsisotinimą, yra pasirinkti  $a_1 = a_2 = 0,5$ .

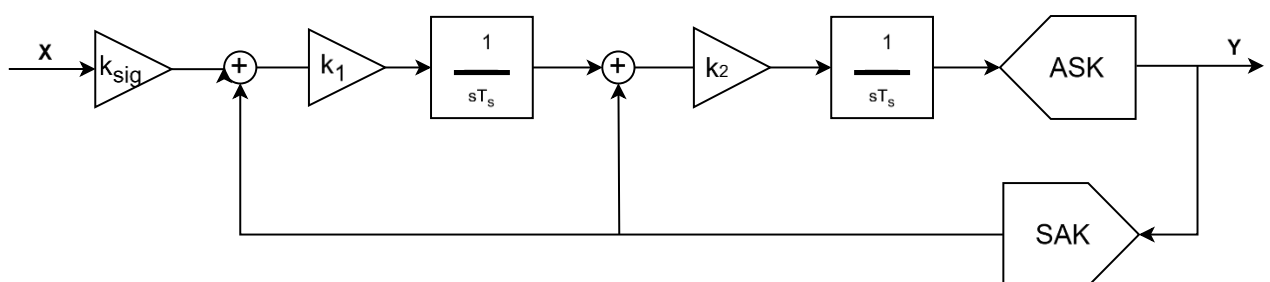
Naudojant MATLAB programinę įrangą ir R. Schreierio [1] sukurtas funkcijas, kurios skirtos modeliuoti sigma-delta elgseną su norimais parametrais, galima modeliuoti suprojektuotą DT moduliatorių. Buvo modeliuojamas diferencinis 2 eilės DT moduliatorius su 500 OSR ir 1 MHz diskretizavimo dažniu. Gautas teorinis SNR priklausomybės grafikas nuo amplitudės lygio (18 pav.). Prie -6 dBFS gaunamas 111,8 dB SNR, kas tenkina išsikeltus reikalavimus.



18 pav. Teorinis moduliatoriaus SNR priklausomybė nuo įėjimo amplitudės lygio

#### 4.2. DT koeficientų transformavimas į CT

Suprojektavus DT moduliatorių ir turint a koeficientus, galima projektuoti CT moduliatorių (19 pav.). Pakeičiama iš Z transformacijos į Laplaso transformaciją. Tam naudojama 2 lentelė.



19 pav. Projektuojamas 2 eilės tolydaus laiko (CT) CIFB sigma-delta moduliatorius

2 lentelė. Z ir Laplaso transformacijos ekvivalentai

Z transformacija	Laplaso transformacijos ekvivalentai
$\frac{1}{z-1}$	$\frac{\omega_0}{s}, \omega_0 = \frac{f_s}{\beta - \alpha}$
$\frac{1}{(z-1)^2}$	$\frac{\omega_1 s + \omega_0}{s^2}, \omega_0 = \frac{f_s^2}{\beta - \alpha}, \omega_1 = \frac{f_s(\alpha + \beta - 2)}{2(\beta - \alpha)}$

Naudojamas paprastas NRZ (angl. *Non Return to Zero*) atstatymo būdas, kas lemia, kad  $\alpha = 0$ , o  $\beta = 1$ . Atliekami skaičiavimai pirmai eilei:

$$\omega_0 = \frac{f_s}{\beta - \alpha} = \frac{f_s}{1 - 0} = f_s;$$

$$\frac{1}{z - 1} \rightarrow \frac{\omega_0}{s} = \frac{f_s}{s}.$$

Atliekami skaičiavimai antrai eilei:

$$\omega_0 = \frac{f_s^2}{\beta - \alpha} = \frac{f_s^2}{1 - 0} = f_s^2;$$

$$\omega_1 = \frac{f_s(\alpha + \beta - 2)}{2(\beta - \alpha)} = \frac{f_s(0 + 1 - 2)}{2(1 - 0)} = -\frac{f_s}{2};$$

$$\frac{1}{(z - 1)^2} \rightarrow \frac{\omega_1 s + \omega_0}{s^2} = \frac{-\frac{f_s}{2}s + f_s^2}{s^2} = \frac{f_s^2}{s^2} - \frac{f_s}{2s}.$$

Atliekama DT-CT transformacija:

$$\begin{aligned} H(z) &= -\frac{a_1 a_2}{(z - 1)^2} - \frac{a_2}{z - 1} \rightarrow H(s) = -a_1 a_2 \left( \frac{f_s^2}{s^2} - \frac{f_s}{2s} \right) - a_2 \left( \frac{f_s}{s} \right) \\ &= -a_1 a_2 \frac{f_s^2}{s^2} - \left( a_2 - \frac{a_1 a_2}{2} \right) \frac{f_s}{s} = -k_1 \frac{f_s^2}{s^2} - k_2 \frac{f_s}{s}. \end{aligned}$$

Pagal suskaičiuotą  $H(s)$  tolydaus laiko kilpos filtrą ir žinomus diskretaus laiko koeficientus randami nuolatinio laiko  $k$  koeficientai:

$$k_1 = a_1 a_2 = 0,5 \cdot 0,5 = 0,25;$$

$$k_2 = \left( a_2 - \frac{a_1 a_2}{2} \right) = \left( 0,5 - \frac{0,5 \cdot 0,5}{2} \right) = 0,375;$$

$$k_{sig} = k_1 = 0,25.$$

Toliau pagal integratoriaus perdavimo funkciją suskaičiuojami realūs aktyvaus RC integratoriaus parametrai:

$$G(s) = \frac{\omega_{li}}{s} = \frac{k_i f_s}{s} = \frac{1}{sRC} \rightarrow \omega_{li} = k_i f_s = \frac{1}{RC};$$

čia,  $i$  – integratoriaus indeksas.

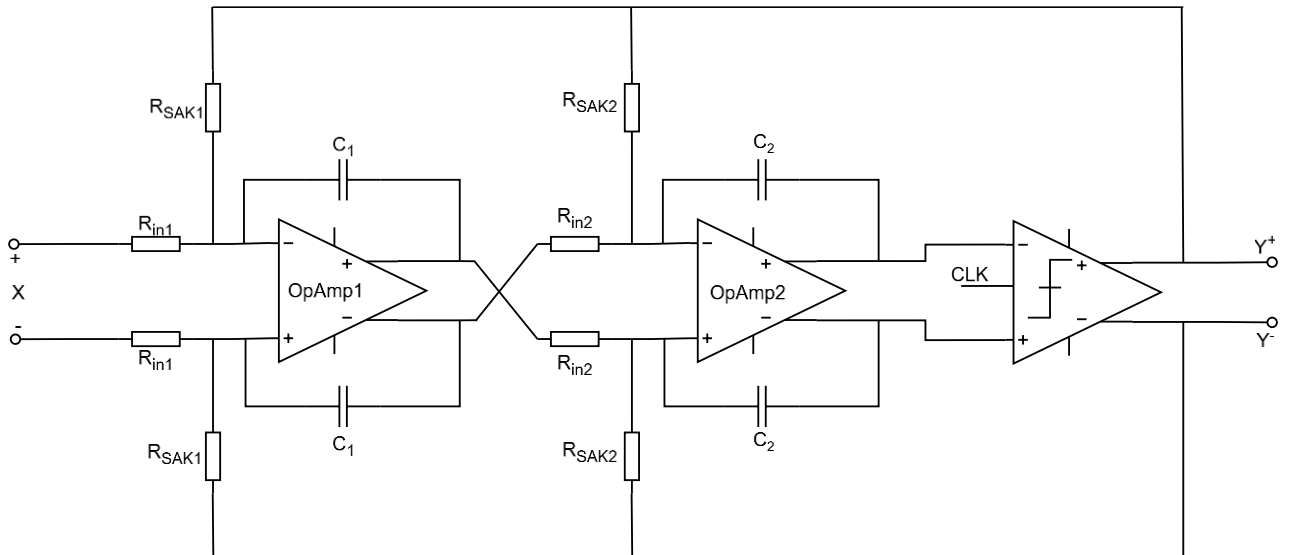
Projektuojamas diferencinis 2 eilės tolydaus laiko sigma-delta modulatorius su aktyvaus RC integratoriiais matomas 20 paveiksle. Apskaičiuojamos rezistorių ir kondensatorių vertės:

$$\frac{1}{sR_{in1}C_1} = \frac{k_{sig}f_s}{s} \rightarrow R_{in1}C_1 = \frac{1}{k_{sig}f_s} = \frac{1}{0,25f_s};$$

$$\frac{1}{sR_{SAK1}C_1} = \frac{k_1f_s}{s} \rightarrow R_{SAK1}C_2 = \frac{1}{k_1f_s} = \frac{1}{0,25f_s};$$

$$\frac{1}{sR_{in2}C_2} = \frac{f_s}{s} \rightarrow R_{in2}C_2 = \frac{1}{f_s};$$

$$\frac{1}{sR_{SAK2}C_2} = \frac{k_2f_s}{s} \rightarrow R_{SAK2}C_2 = \frac{1}{k_2f_s} = \frac{1}{0,375f_s}.$$



20 pav. Diferencinis 2 eilės tolydaus laiko (CT) sigma-delta modulatorius su aktyvaus RC integratoriais

## 5. Modeliavimas naudojant Verilog-A

Suskaičiavus koeficientus ir išvedus komponentų skaičiavimo formules jie buvo suskaičiuoti. Kadangi kondensatoriai turi mažesnę vertės diapazoną,  $C_1$  ir  $C_2$  nustatomi 2 pF.

$$R_{in1} = \frac{1}{0,25f_sC_1} = 2 \text{ M}\Omega;$$

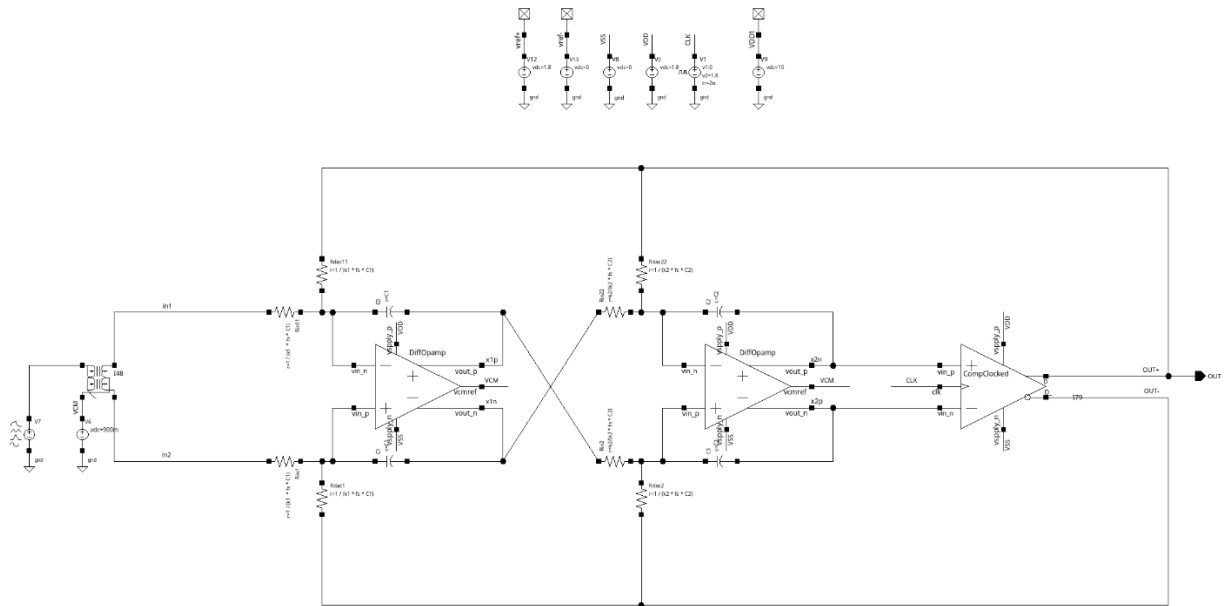
$$R_{SAK1} = R_{in1} = 2 \text{ M}\Omega;$$

$$R_{SAK2} = \frac{1}{0,375f_sC_2} = 1,33 \text{ M}\Omega;$$

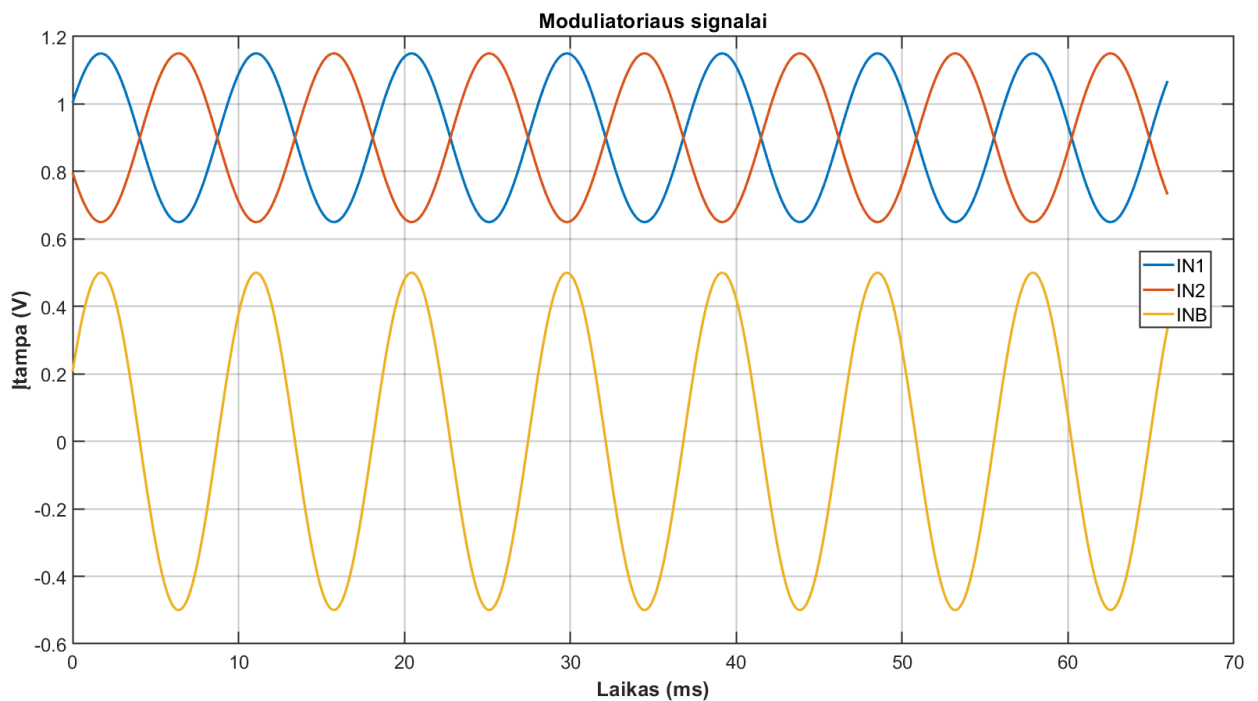
$$R_{in2} = 0,375R_{SAK2} = 500 \text{ k}\Omega.$$

Turint vertes, 20 paveikslo schema buvo sudėta Cadence Virtuoso programinėje įrangoje. Operacinių stiprintuvų ir komparatoriaus modeliai buvo aprašyti Verilog-A kalba. Pradžioje operaciniai stiprintuvai nustatyti su 80 dB stiprinimu ir 100 MHz pralaidos juosta. Komparatorius su idealiais frontais ir be vėlinimo. Sudėta schema matoma 21 paveiksle. Grįžtamasis ryšys realizuotas tiesiogiai jungiant išėjimą į teigiamus integratoriaus įėjimus, o invertuotą išėjimą į neigiamus integratoriaus įėjimus, reiškiąs atraminės įtampos  $V_{ref+}$  ir  $V_{ref-}$  atitinkamai bus  $V_{dd}$  ir  $V_{ss}$ . Naudojamas  $V_{dd} - 1,8$  V, o  $V_{ss} - 0$  V. Į baluną paduotas 106,812 Hz 0,5 V<sub>p</sub> signalas, (22 pav), iš baluno į diferencinį įėjimą paduodami 180° faze skiriantys signalai po 0,5 V<sub>pp</sub>. Baluno ir operacinių stiprintuvų bendrojo režimo įėjimai (angl. *common mode*) nustatyti į pusę  $V_{dd} - 0,9$  V. Kadangi signalas eina pro bendrąjį režimą,

jis turės 0,9 V dedamąją, reiškias galima maksimali amplitudė bus 0,9 (angl. *Full Scale* arba *FS*).  
 Atliekama laikinė analizė, modeliavimo trukmė 75,536 ms.

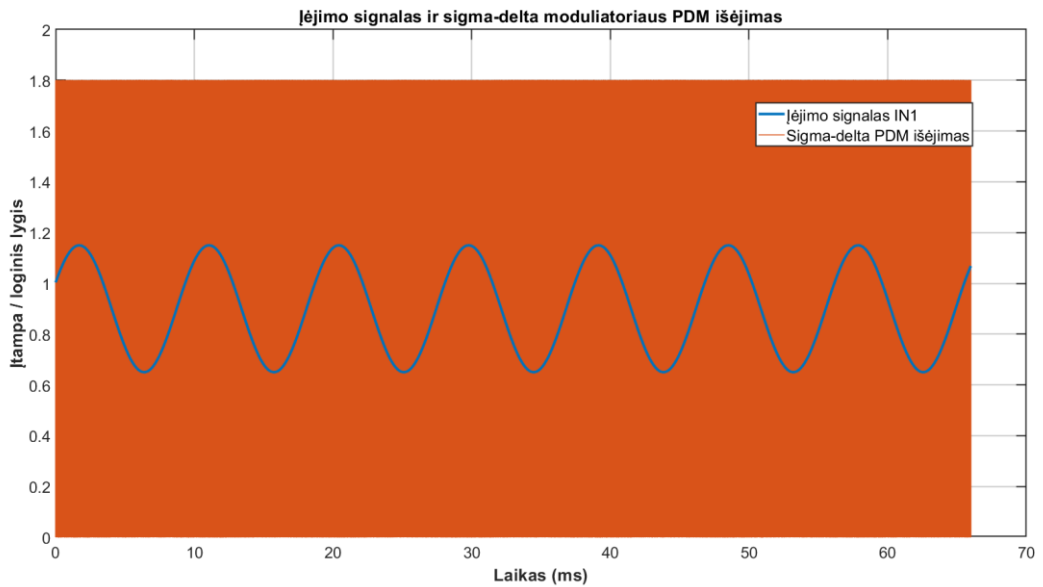


**21 pav.** Modeliuojamas nuolatinio laiko sigma-delta modulatorius su Verilog-A Cadence aplinkoje

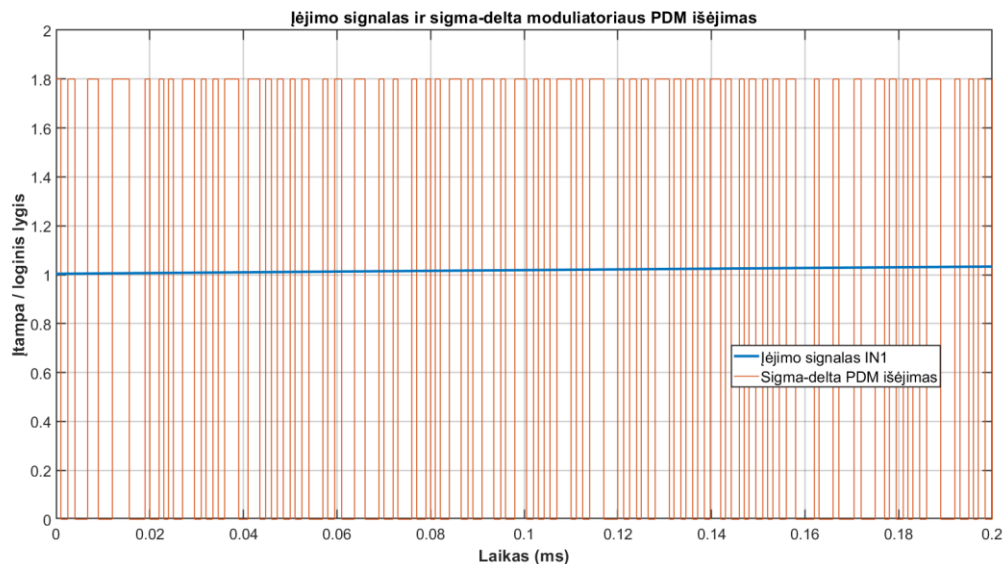


**22 pav.** Paduodamas signalas į baluną (geltonas), teigiamas baluno išėjimas (mėlynas) ir neigiamas baluno išėjimas (oranžinis)

Paleidus modeliavimą, gautas signalas 23 ir 24 paveiksle. Matomas tankus violetinis signalas yra modulatoriaus 1 bito PDM signalas, kurio skverbtis priklauso nuo įėjimo įtampos lygio. Įėjimo signalui didėjant, modulatoriaus išėjimo signalo skverbtis didės ir ilgiau užsilaikys prie  $V_{ref+}$ , signalui mažėjant, skverbtis taip pat mažės ir modulatoriaus išėjimo signalo skverbtis taip pat mažės ir ilgiau užsilaikys prie  $V_{ref-}$ .



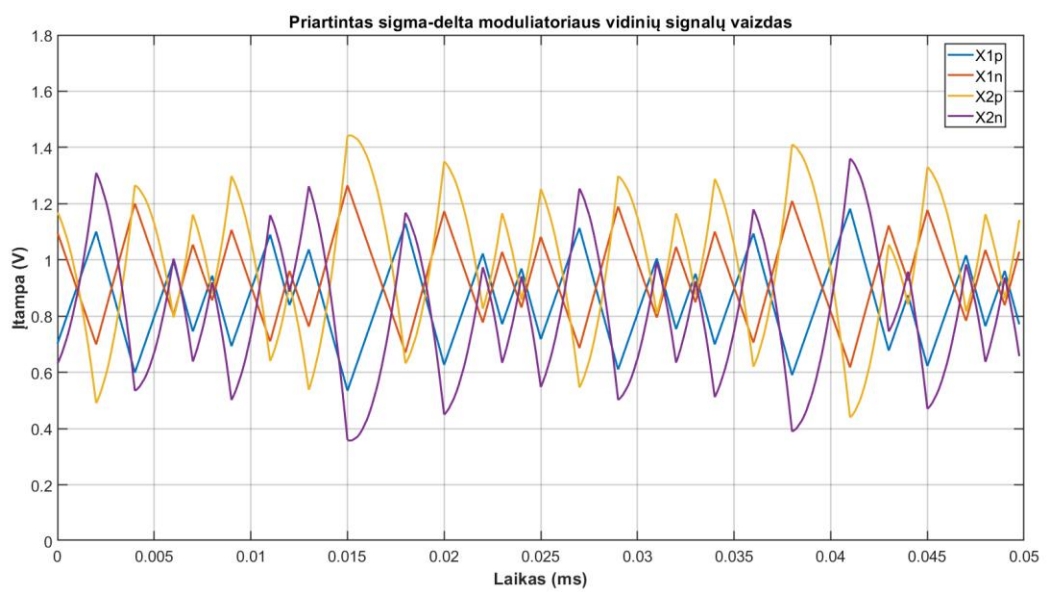
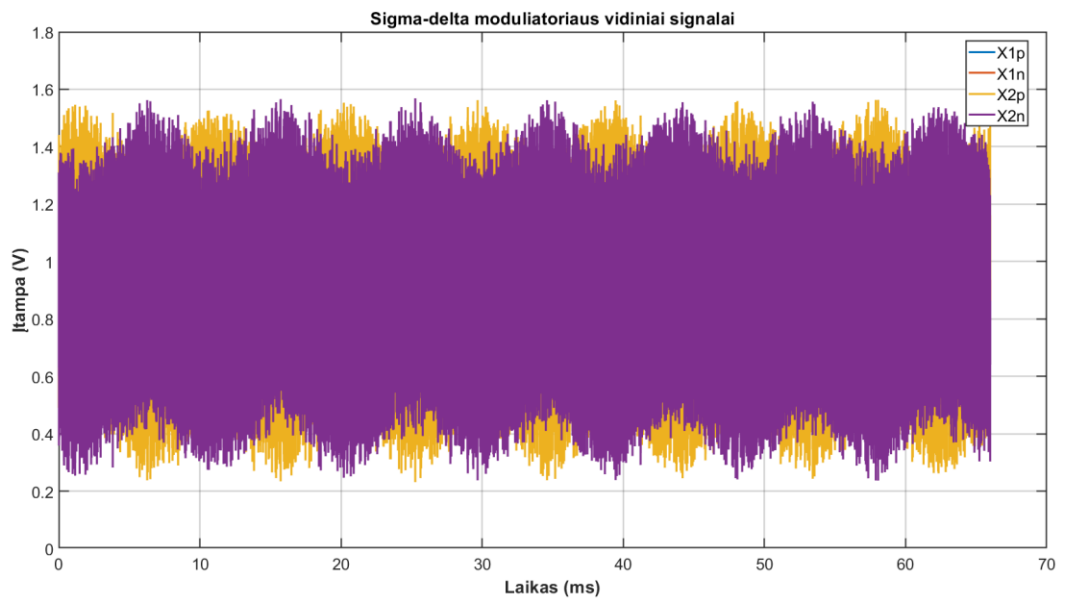
**23 pav.** Teigiamas įėjimo signalas (mėlynas) ir modulatoriaus išėjimo signalas (oranžinis)



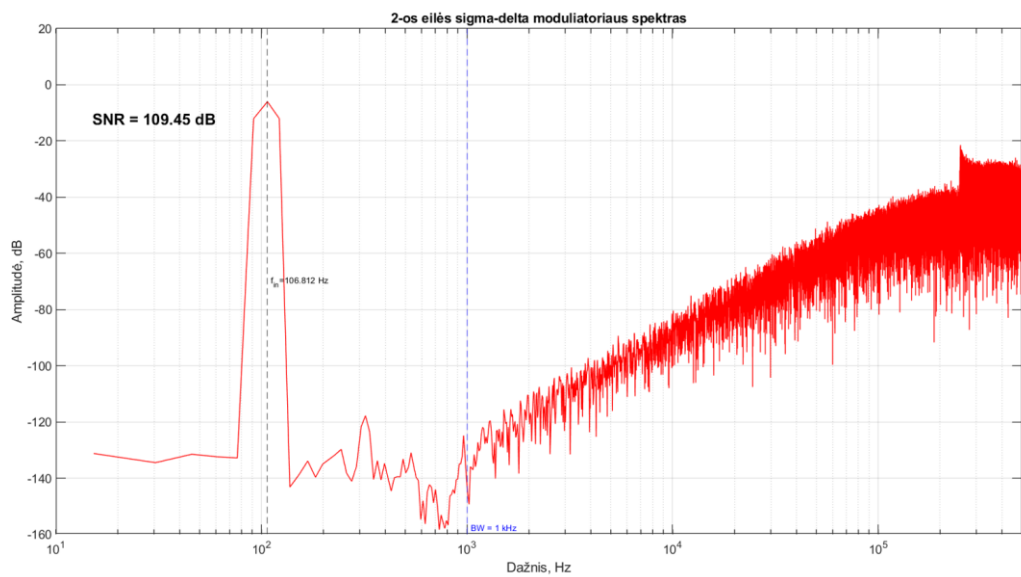
**24 pav.** Teigiamas įėjimo signalas (mėlynas) ir modulatoriaus išėjimo signalas (oranžinis) priartintas

Patikrinami integratoriaus išėjimai. Svarbu, kad jie nesiektu nei  $V_{dd}$  nei  $V_{ss}$ , nes tada integratoriai įsisotins ir generuos harmonikas, kas žymiai pablogintu modulatoriaus SNR. Iš 25 paveikslo galima pastebėti, kad visi integratoriaus išėjimai yra tarp 0,3 ir 1,6 V, kas reiškia, kad nėra įsisotinimo ir nereikia atlikti dinaminio diapazono mastelio keitimo.

Gavus PDM signalą ir įsitikinus, kad nėra įsisotinimo, atliekamas signalo FFT skaičiavimas norint surasti modulatoriaus SNR. Naudojama 65536 imčių, Hann langas ir koherentinis 106,812 Hz signalas. Gautas spektras matomas 26 paveiksle. Matomas signalas ties  $\sim 107$  Hz ir triukšmų formavimo šlaitas. Didžioji dalis triukšmo grindų (angl. *noise floor*) buvo nustumti į aukštesnius dažnius už suprojektuoto 1 kHz modulatoriaus veikimo dažnio. Aukštadažniai triukšmai bus nufiltruoti sigma-delta keitiklyje pasitelkiant skaitmeninį filtrą. Gautas SNR su 0,5 V įėjimu 109,45 dB, kas atitinka modeliavimus. Pagal 8 formulę, gaunamas ENOB – 17,89.

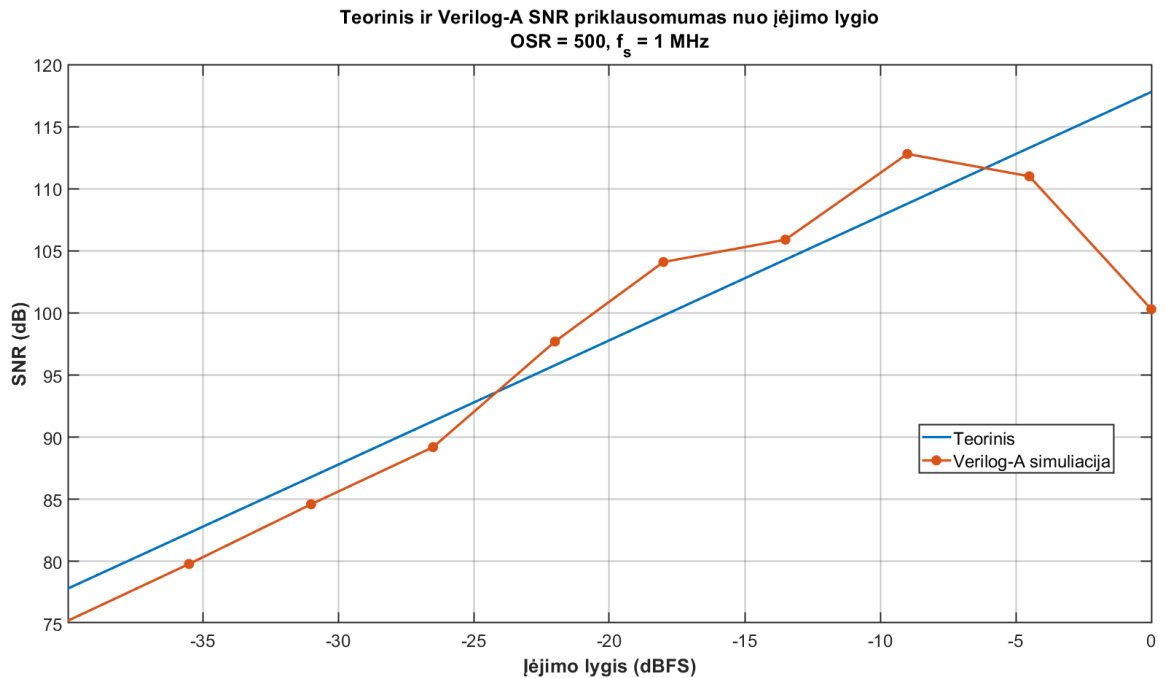


**25 pav.** Integritorių išėjimai: viršuje visas signalų vaizdas, apačioje priartintas



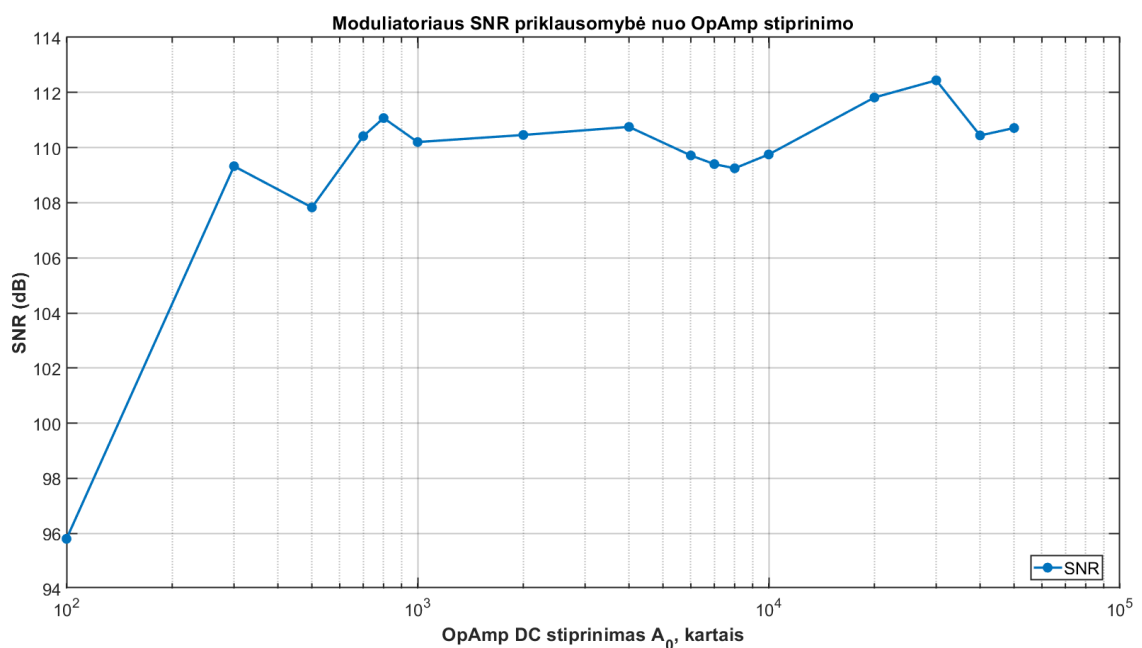
**26 pav.** Modeliuojamo sigma-delta modulatoriaus spektras

Atliekami modeliavimai su skirtingomis įtampomis norint gauti SNR priklausomybę nuo dBFS. Turint duomenis nubrėžiama kreivė, matoma 27 paveiksle. Matoma, kad teorinis ir Verilog-A modeliavimas sutampa. Ties mažais įėjimo lygiais, žemiau -30 dBFS, modeliavimo SNR yra mažesnis dėl kitų operacinio stiprintuvo ar  $1/f_s$  triukšmų. Prie didelių įėjimo amplitudės lygių modeliavimo kreivė mažėja, dėl integratoriaus ir kvantatoriaus artėjimo prie soties ir išaugusių harmoninių iškraipymų. Maksimalus modeliavimo SNR pasiekiamas tarp -10 ir -5 dBFS.



**27 pav.** SNR priklausomybė nuo dBFS, Verilog-A modeliavimas

Atliktas modeliavimas, norint išsiaiškinti SNR priklausomybę nuo operacinių stiprintuvų stiprinimo. Stiprinimo ribos nuo 20 dB iki 90 dB. Gautas grafikas matomas 28 paveiksle. Pastebima, kad nuo 60 dB ( $10^3$ ) stiprinimas didelės įtakos SNR neturi.



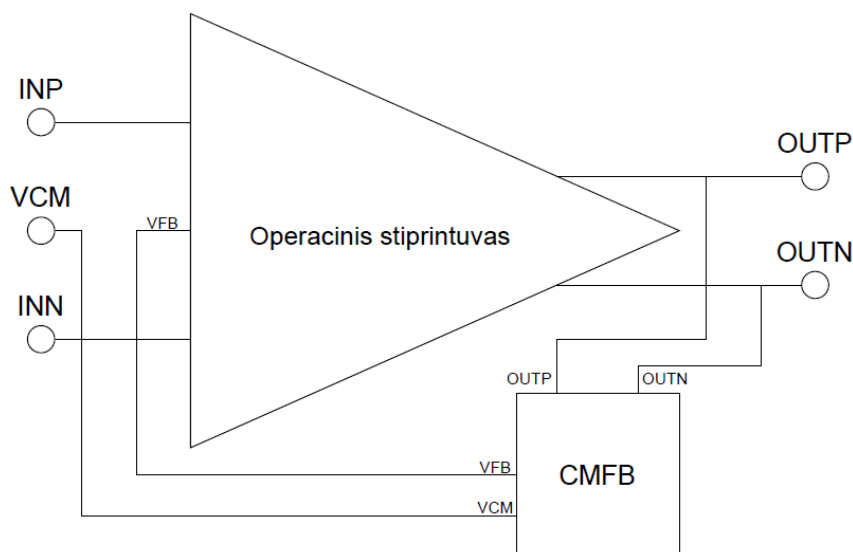
**28 pav.** SNR priklausomybė nuo operacinio stiprintuvo stiprinimo

## 6. Tranzistorinio lygmens blokų projektavimas

Turint sumodeliuotus koeficientus bei preliminarius SDM modeliavimus pereinama prie tranzistorinės realizacijos. Pagal 21 paveikslą matoma, kad reikės diferencinio operacinio stiprintuvo ir komparatoriaus. Bus naudojama minėta IHP SG13G2 technologija ir atviros prieigos programinė įranga: schemos sudarymui – xschem, modeliavimui – ngspice, topologijai – KLayout. [31][32][33]

### 6.1. Diferencinio operacinio stiprintuvo projektavimas

Pradedama projektuoti diferencinį operacinį stiprintuvą, kurio reikia RC integrotoriaus realizacijai. Kadangi realizuojama diferencinė modulatoriaus architektūra, operacinis stiprintuvas taip pat projektuojamas diferencinis. Tam reikia papildomos bendrojo režimo grįžtamosios ryšio (CMFB) grandinės. Diferencinio operacinio stiprintuvo struktūrinė schema pavaizduota 29 paveiksle.



29 pav. Pilnai diferencinio operacinio stiprintuvo struktūrinė schema

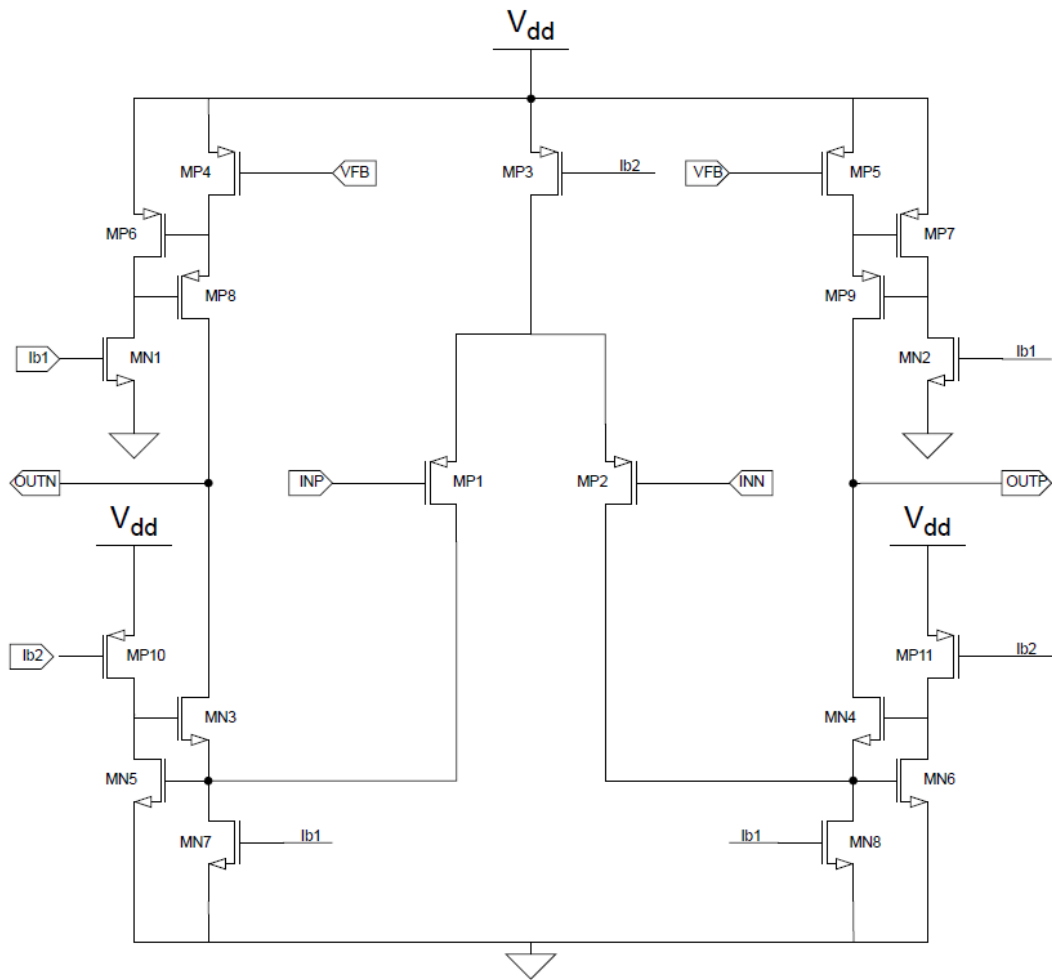
Iš praeito skyriaus buvo rastas stiprintuvo stiprinimo reikalavimas –  $>60$  dB. Pagal projektavimo taisyklę vienetinis stiprinimas (UGB) turi būti bent 10 kartų didesnis negu diskretizavimo dažnis [21], tai reiškias, kad UGB turi būti daugiau nei 10 MHz. Taip pat svarbus fazės rezervas (angl. *phase margin* arba PM), jis turi būti daugiau nei  $60^\circ$  norint užtikrinti stabilų ir gerai nusistovinti veikimą. Išsikeliamas  $200 \mu\text{W}$  suvartojamos galios reikalavimas. Diferencinio operacinio stiprintuvo parametrai apibendrinti 3 lentelėje.

3 lentelė. Diferencinio operacinio stiprintuvo parametų reikalavimai

Parametras	Vertė
Stiprinimas, dB	$>60$
UGB, MHz	$>10$
PM, °	$>60$
P, $\mu\text{W}$	$<200$

#### 6.1.1. Operacinio stiprintuvo projektavimas

Norimus išsikeltus reikalavimus pasiekti bus naudojamas „folded-cascode“ tipo operacinis stiprintuvas su PMOS įėjimo pora. Schema matoma 30 paveiksle.



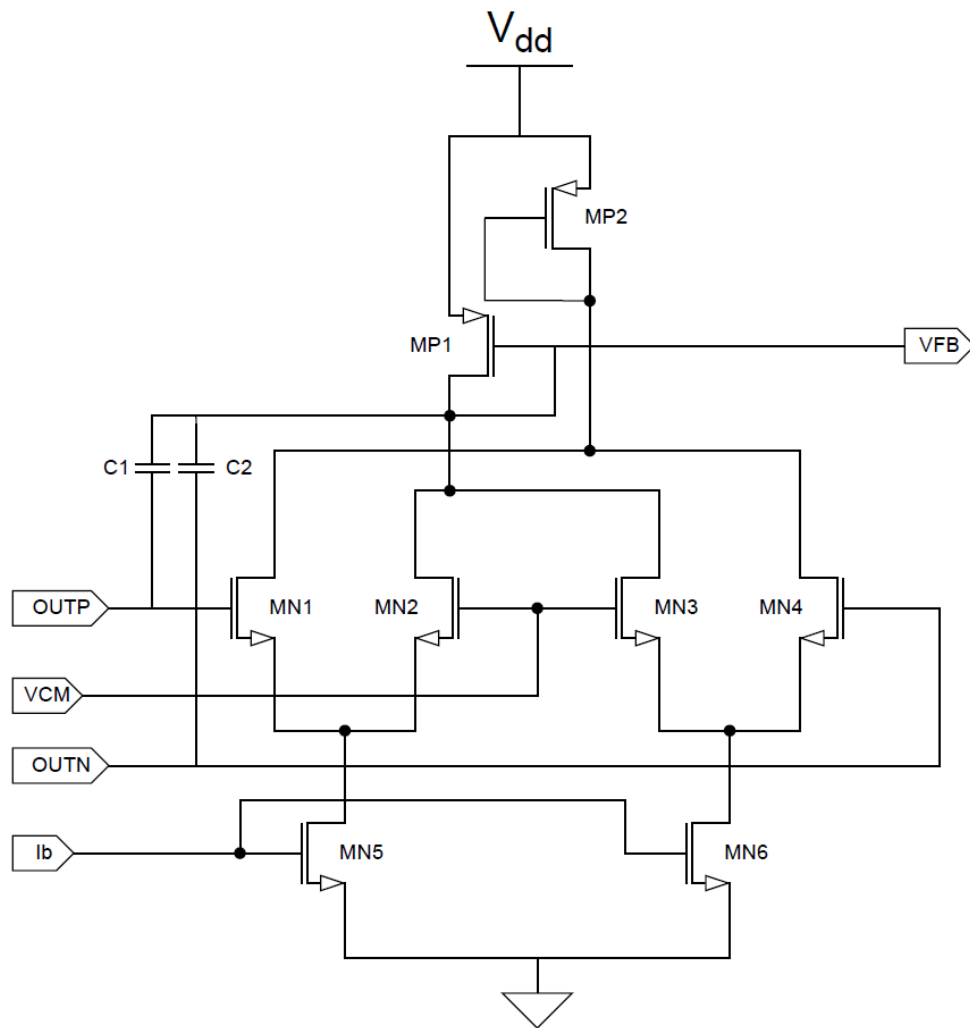
**30 pav.** Diferencinio „folded-cascode“ operacinio stiprintuvo tranzistorinė schema

Ši architektūra leidžia pasiekti didelį stiprinimą su geru dažniiniu atsaku ir didesniu jėjimo ir išėjimo diapazonu. Naudojama PMOS jėjimo pora pasižymi mažesniu  $1/f$  triukšmu. Papildomai naudojami 2 bias jėjimai pagrindinių šakų įtampom nustatyti. Šoniniai tranzistoriai naudojami kaip aktyvios apkrovos, kurios leidžia padidinti išėjimo varžą ir taip padidinti stiprinimą. Stiprinimas yra diferencinis, o signalas yra skirtumas tarp teigiamo ir neigiamo išėjimo, todėl reikia nustatyti jų vidutinę vertę. Tam naudojama atskira grandinė generuoti šią bendro mazgo įtampą.

### 6.1.2. Bendrojo režimo grįžtamojo ryšio (CMFB) grandinės projektavimas

Projektuojamo CMFB grandinės paskirtis yra matuoti diferencinio operacinio stiprintuvo išėjimo įtampą ir generuoti valdymo įtampą, kuri stabilizuoja stiprintuvo darbą. Jeigu vidutinė išėjimo įtampa didėja virš nustatytos ribos, CMFB mažina valdymo įtampą. Jeigu tampa per maža vidutinė reikšmė, valdymo įtampa didinama. Naudojama bendrojo režimo įtampa lygi pusei maitinimo įtampos – 0,9 V.

Svarbi dalis yra CMFB grandinės greitis ir jos įtaka stiprintuvo dažnio diapazonui. Per lėta grįžtamojo ryšio grandinė blogina išėjimo nusistovėjimą, per greita gali sukelti nestabilumus. Norint geriau valdyti šią grandinę, pridėti kondensatoriai prie valdymo įtampos. Jie mažina bendrojo režimo kilpos jautrumą aukštiesiems dažniams. Tačiau per dideli kondensatoriai siaurina dažnių juostą, bet pagerina stiprinimą. Optimizuojant pasirinkti 250 fF kondensatoriai. Suprojektuota bendrojo režimo grįžtamojo ryšio grandinė matoma 31 paveiksle.



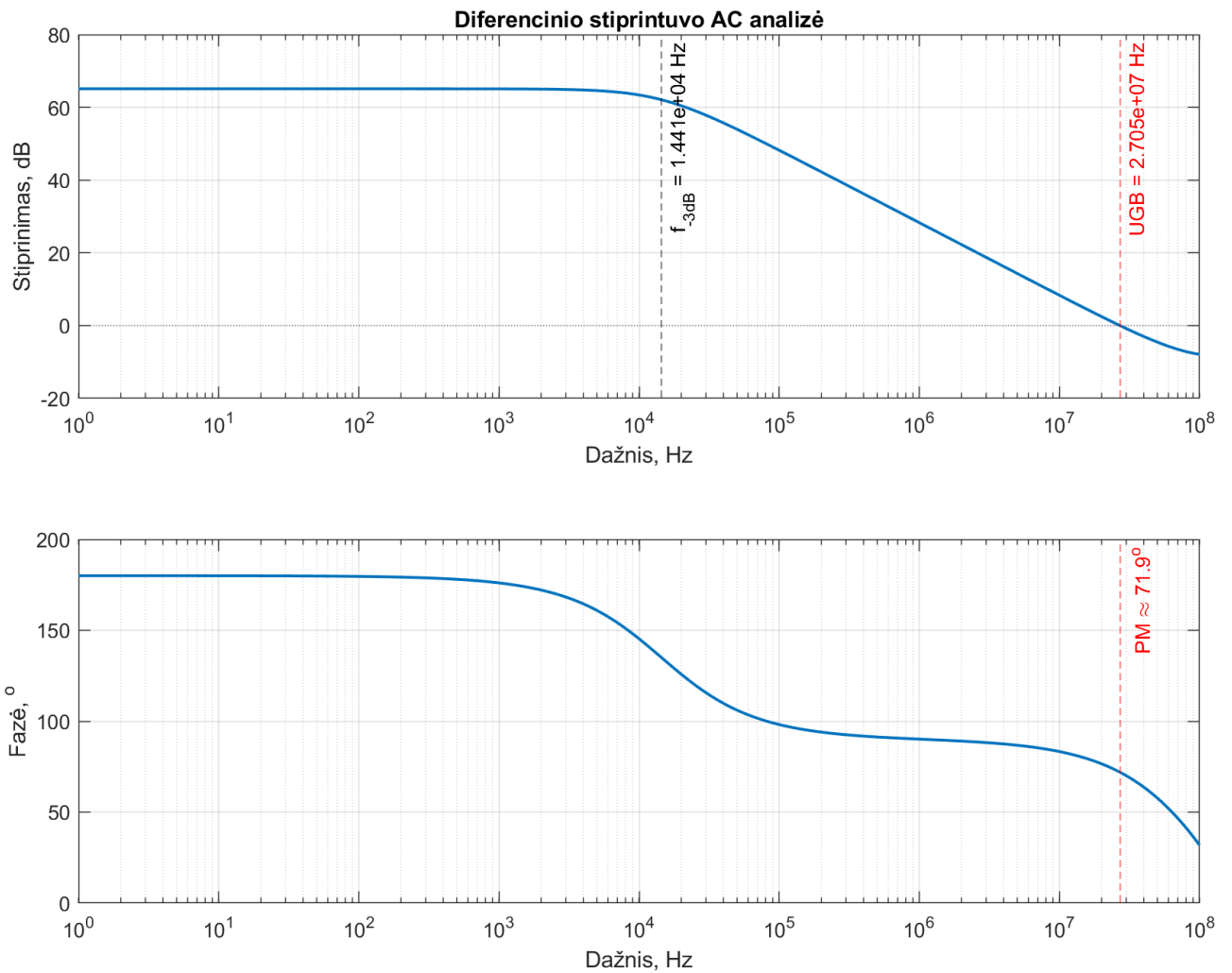
31 pav. CMFB schema

### 6.1.3. Diferencinio operacinio stiprintuvo modeliavimas ir parametrų analizė

Turint abi grandines buvo atlikta AC analizė norint gauti stiprinimą, dažnių juostą ir fazės atsargą. Gautas rezultatas matomas 32 paveiksle. Gautas 65,09 dB stiprinimas. Dažnis prie -3 dB gautas 17,41 kHz, tačiau jis nėra labai svarbus, nes stiprintuvas turi didelį stiprinimą, tai natūraliai pirmasis poliūs bus prie žemesnių dažnių. Svarbesnis parametras yra vienetinis stiprinimas (UGB), tai dažnis kur stiprinimas yra 0 dB. Gautas 27,05 MHz kas yra tinkamas projektuojamam SDM. Prie to pačio dažnio fazės grafike žiūrima fazės atsarga. Gauta fazės atsarga 71,9°. Taip pat išmatuota suvartojama galia – 179  $\mu$ W.

4 lentelė. Gauti diferencinio operacinio stiprintuvo parametrai

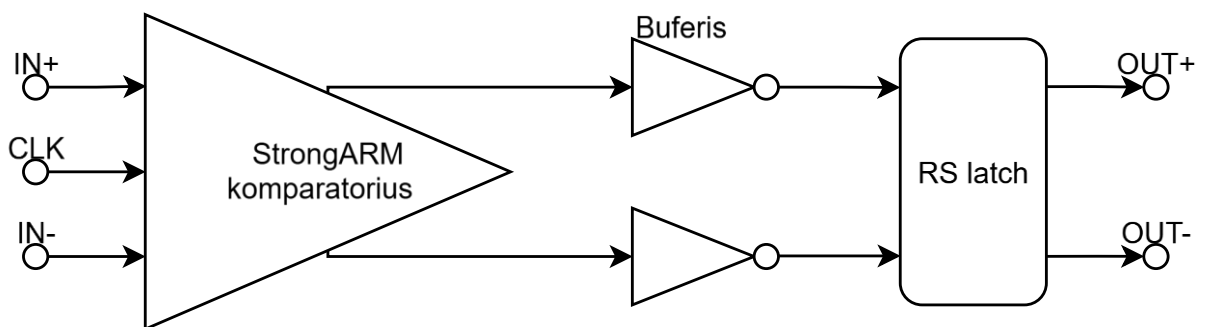
Parametras	Išsikeltas reikalavimas	Gautos vertės
Stiprinimas, dB	>60	65,09
UGB, MHz	>10	27,05
PM, °	>60	71,93
P, $\mu$ W	<200	179



**32 pav.** Operacinio stiprintuvo AC analizė

## 6.2. Komparatoriaus projektavimas

Kitas komponentas, kuris atliks kvantizaciją yra komparatorius. Šiam darbui pasirinktas dinaminis StrongARM latch komparatorius [22]. Jis pasižymi mažu galios suvartojimu ir dideliu veikimo greičiu, kas yra būtina tolydaus laiko SDM siekiant sumažinti ELD įtaką moduliatoriui. Naudojamo komparatoriaus struktūrinė schema pavaizduota 33 paveiksle.



**33 pav.** Komparatoriaus struktūrinė schema

Projektuojant sigma-delta moduliatoriaus komparatorių, svarbiausiais laikomi jo greಿತaveikos, jautrumo ir galios parametrai. Kadangi projektuojamo moduliatoriaus diskretizavimo dažnis yra  $f_s = 1$  MHz, vieno takto periodas lygus  $T_s = 1$   $\mu$ s. Todėl komparatorius turi priimti sprendimą per nedidelę šio periodo dalį ir suformuoti pakankamai greitus loginius išėjimus tolimesnėms skaitmeninėms grandinėms. Pagrindinis komparatoriaus dinaminis parametras yra sprendimo vėlinimas  $t_d$ . Šiame darbe jis apibrėžiamas kaip laikas nuo aktyvaus laikrodžio fronto iki momento, kai komparatoriaus išėjimas pereina per 50 % maitinimo įtampos. Esant  $V_{DD} = 1,8$  V, šis lygis atitinka 0,9 V. Projektiniu požiūriu tikslinga, kad komparatoriaus vėlinimas neviršytų maždaug 10 % diskretizavimo periodo, todėl buvo iškeltas reikalavimas  $t_d < 100$  ns. [24]

Be sprendimo vėlinimo, svarbūs ir išėjimo kilimo bei kritimo laikai. Kilimo laikas  $t_r$  apibrėžiamas kaip laikas, per kurį išėjimas pakyla nuo 10 % iki 90 % maitinimo įtampos, o kritimo laikas  $t_f$  kaip laikas nuo 90 % iki 10 % maitinimo įtampos. Esant  $V_{DD} = 1,8$  V, šie lygiai atitinka 0,18 V ir 1,62 V. Kadangi šie laikai prisideda prie bendro kvantatoriaus kelio vėlinimo, pageidautina, kad jie būtų ženkliai mažesni už sprendimo vėlinimą. Šiame darbe pasirinktas kriterijus:  $t_r < 20$  ns,  $t_f < 20$  ns.

Kitas svarbus parametras yra komparatoriaus įėjimo jautrumas. Jis apibrėžiamas kaip mažiausia diferencialinė įėjimo įtampa, prie kurios komparatorius dar priima teisingą sprendimą per leistiną laiką. Kadangi sigma-delta moduliatoriuje kvantatorius dažnai dirba esant mažoms diferencialinėms įėjimo įtampoms, komparatoriui keliamas reikalavimas patikimai veikti bent prie kelių milivoltų įėjimo skirtumo. Šiame darbe pasirinkta, kad minimali atpažįstama diferencialinė įtampa būtų ne didesnė kaip  $V_{id,min} < 5$  mV.

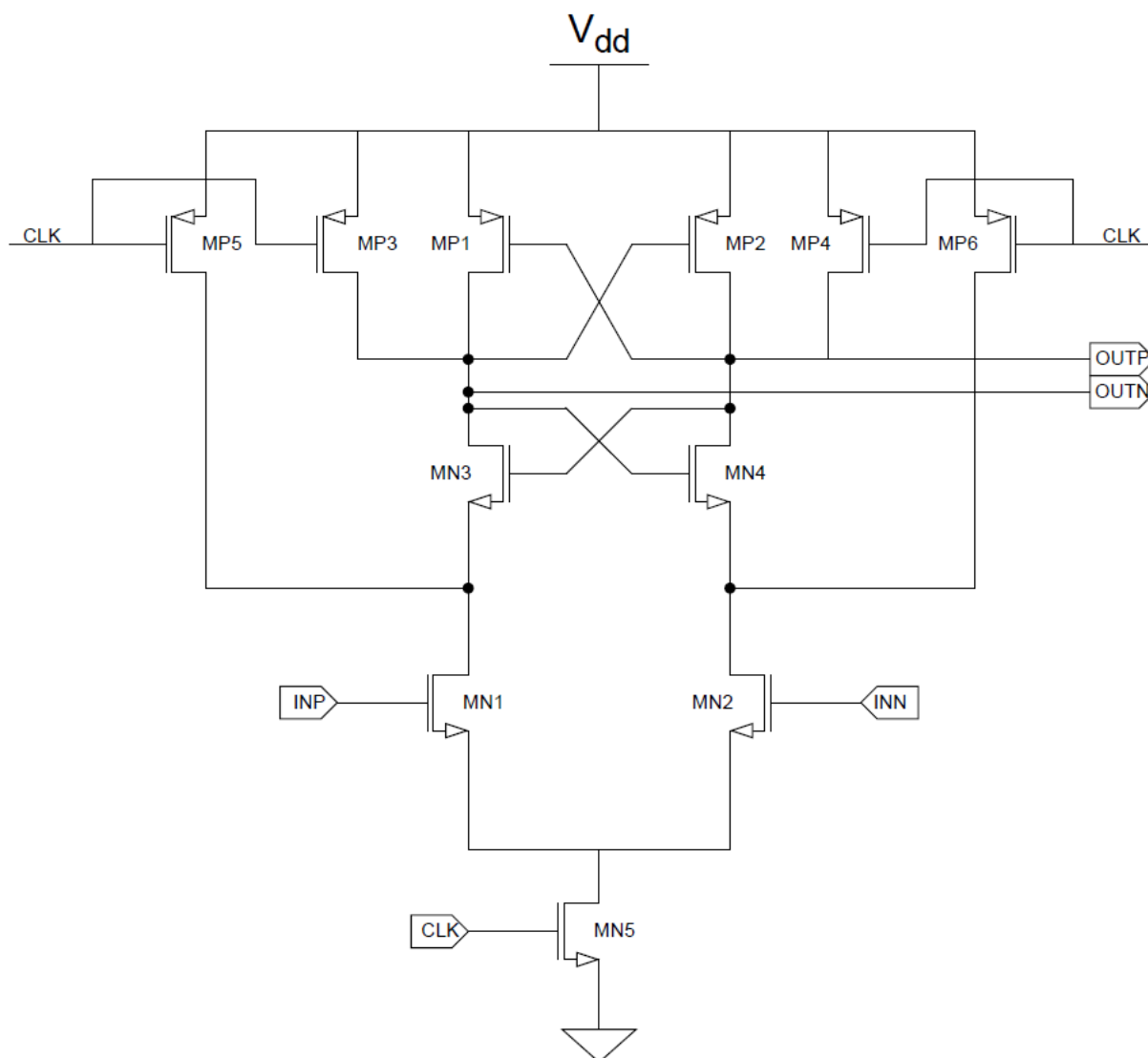
Dar vienas svarbus parametras yra galios suvartojimas. Kadangi StrongARM tipo komparatorius yra dinaminis, jo statinė galia maža, o pagrindinė energija suvartojama per persijungimo momentus. Projektuojant šį bloką siekiama, kad jo galios suvartojimas būtų kiek įmanoma mažesnis, tačiau kartu nebūtų prarastas jautrumas ir sprendimo greitis. Pasirinkta galia, mažiau nei 100  $\mu$ W. Apibendrinti išsikelti reikalavimai matomi 5 lentelėje.

**5 lentelė.** Komparatoriaus parametrų reikalavimai

Parametras	Vertė
Vėlinimas, ns	<100
Kilimo/kritimo laikas, ns	<20
Jautrumas, mV	<5
P, $\mu$ W	<100

### 6.2.1. StrongARM komparatoriaus architektūra

Šiam darbui pasirinktas dinaminis „StrongARM latch“ tipo komparatorius. Tokį pasirinkimą lėmė keli svarbūs šios architektūros privalumai: nulinė statinė galia, didelis veikimo greitis, „rail-to-rail“ išėjimai ir palyginti nedidelis įėjimo ekvivalentinis poslinkis, kurį daugiausia lemia įėjimo diferencialinė pora. Dėl šių savybių StrongARM komparatorius yra plačiai taikomas ASK ir kituose didelės spartos bei mažos galios mišriųjų signalų grandynuose. Tuo pačiu ši architektūra turi ir trūkumų: jai reikalingas pakankamas įtampos rezervas, o dėl regeneracinio veikimo gali pasireikšti grįžtamasis trikdys į įėjimą (angl. *kickback noise*). Komparatoriaus schema matoma 34 paveiksle.



**34 pav.** StrongARM latch komparatorius

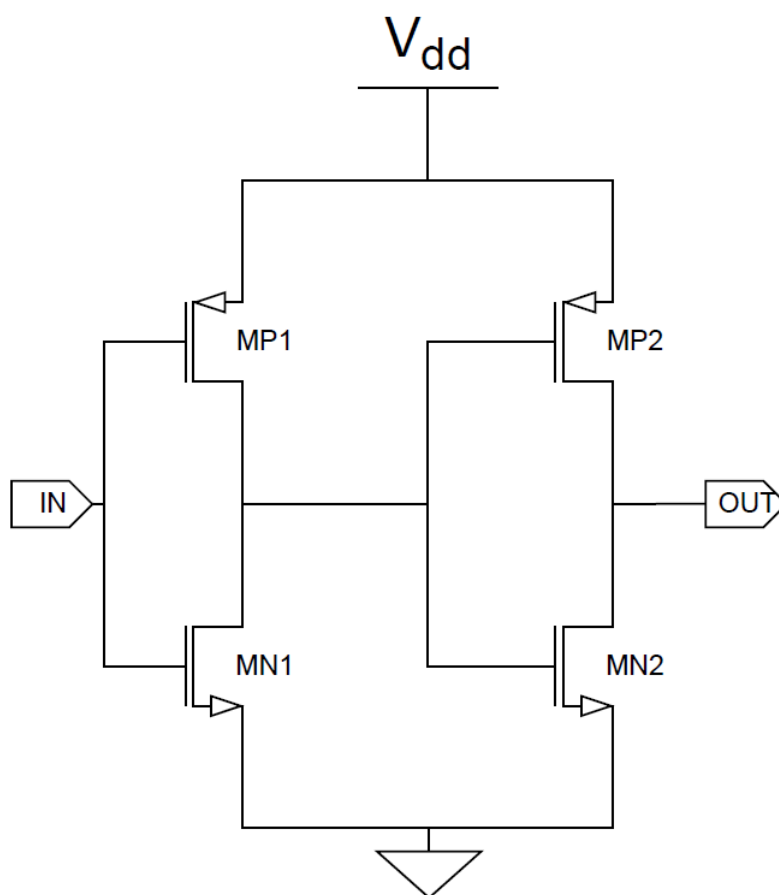
StrongARM komparatoriaus veikimas susideda iš dviejų pagrindinių fazių: išankstinio įkrovimo (angl. *precharge*) ir įvertinimo (angl. *evaluation*). Kai laikrodžio signalas yra žemas, vidiniai mazgai įkraunami iki nustatytos pradinės būsenos. Kai laikmatis pereina į aukštą lygį, išankstinio įkrovimo tranzistoriai išjungiami, įėjimo diferencialinė pora pradeda traukti srovę, o kryžmiškai sujungti tranzistoriai inicijuoja regeneracinį procesą. Dėl teigiamo grįžtamojo ryšio net ir nedidelis įėjimo signalų skirtumas greitai išauga į pilną loginį sprendimą, kai vienas išėjimo mazgas persijungia į aukštą lygį, o kitas į žemą. [22][23]

Projektuojamoje realizacijoje po StrongARM branduolio naudojamas išėjimo buferis, sudarytas iš dviejų nuosekliai sujungtų inverterių, ir RS latch grandinė. Buferio paskirtis – sustiprinti signalą, sumažinti jautrių vidinių mazgų apkrovimą ir izoliuoti regeneracinę šerdį nuo tolimesnių loginių grandinių. RS latch naudojamas ankstesniam sprendimui išlaikyti tarp laikrodžio fazių, nes vien *precharge* fazėje StrongARM išėjimai nebeišlaiko stabilios loginės būsenos ir gali sekti laikrodžio signalą. Tokia struktūra leidžia gauti stabilesnius galutinius komparatoriaus išėjimus ir patikimiau integruoti komparatorių į sigma-delta modulatoriaus kvantatoriaus grandį. [25]

## 6.2.2. Išėjimo buferis ir RS latch

Kadangi StrongARM komparatoriaus vidiniai mazgai yra dinaminiai, jie nėra tinkami tiesiogiai valdyti tolimesnes logines grandines. Įvertinimo fazėje komparatorius priima sprendimą, tačiau „precharge“ fazėje ankstesnė būsena panaikinama. Dėl šios priežasties po StrongARM šerdies naudojamas papildomas išėjimo formavimo etapas, sudarytas iš dviejų nuoseklių inverterių ir RS latch grandinės.

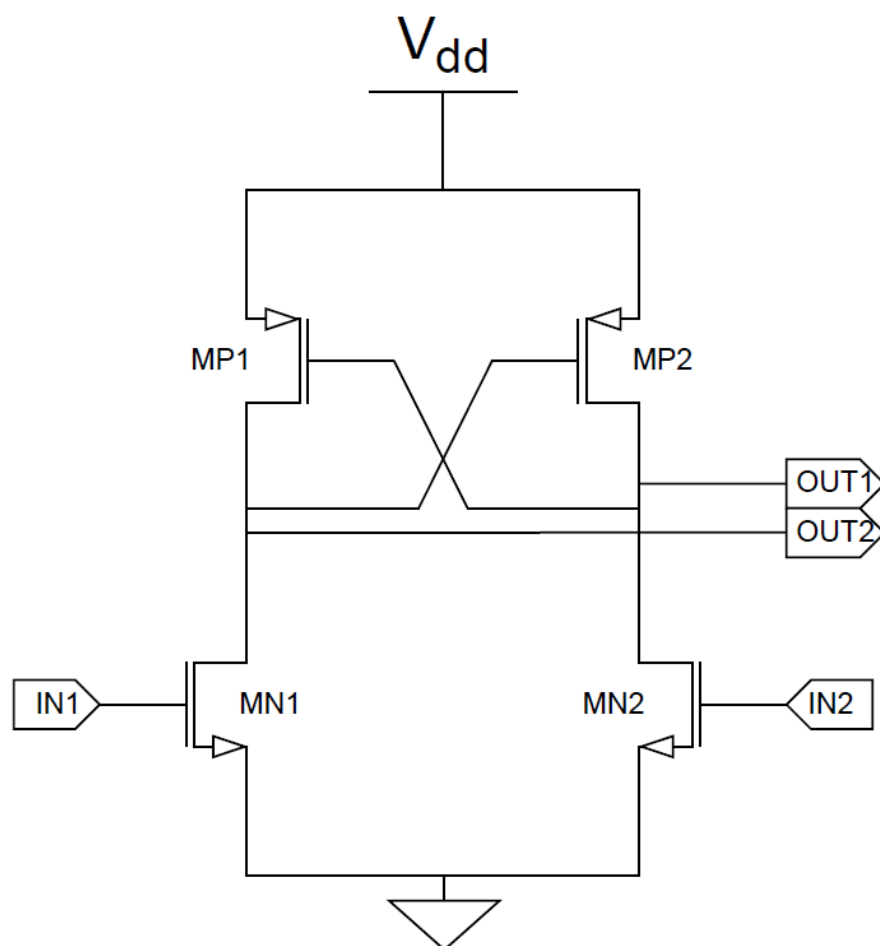
Inverterinis buferis naudojamas pilniems loginiams lygiams suformuoti, signalui sustiprinti ir regeneracinės šerdies mazgams izoliuoti nuo apkrovos. Pirmasis inverteris veikia kaip tarpinė pakopa, o antrasis, didesnių matmenų, užtikrina statesnius frontus ir patikimesnį RS latch valdymą. Toks sprendimas sumažina jautrių vidinių mazgų apkrovimą ir leidžia gauti stabilesnius „rail-to-rail“ išėjimus. Grandinės schema matoma 35 paveiksle. [23][25]



35 pav. Dviejų inverterių buferis xschem aplinkoje

Po buferio naudojama RS latch grandinė, kurios paskirtis išlaikyti paskutinį komparatoriaus sprendimą tarp laikrodžio fazių. Tai būtina, nes vien StrongARM šerdis precharge metu loginės būsenos neišlaiko [22][25]. RS latch paverčia trumpą dinaminių mazgų skirtumą į stabilų skaitmeninį išėjimą. RS latch schema matoma 36 paveiksle.

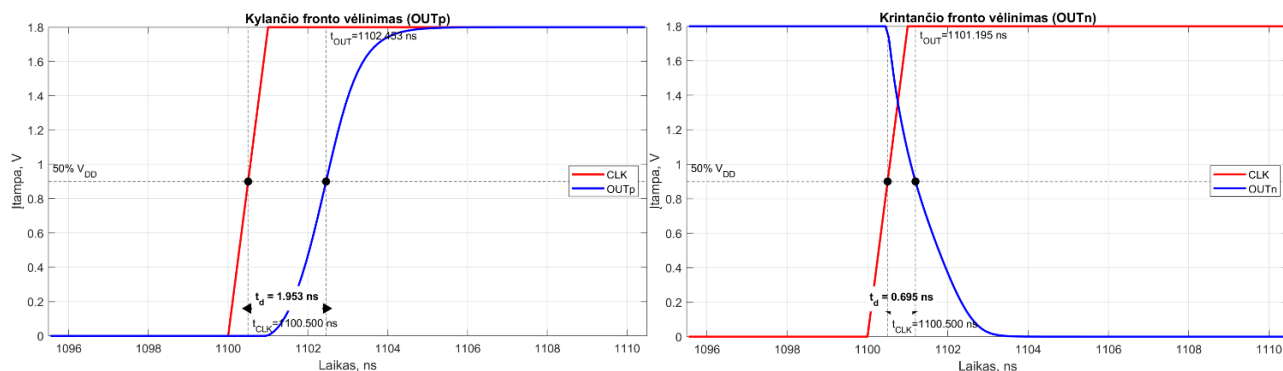
Buferio ir RS latch grandinių derinys leidžia sumažinti regeneracinės šerdies apkrovą, suformuoti aiškius loginius lygius ir išlaikyti sprendimą tarp laikrodžio periodų. Dėl to pagerinamas bendras komparatoriaus stabilumas ir jo tinkamumas sigma-delta modulatoriaus kvantatoriaus realizacijai.



36 pav. RS latch schema

### 6.2.3. Komparatoriaus modeliavimas

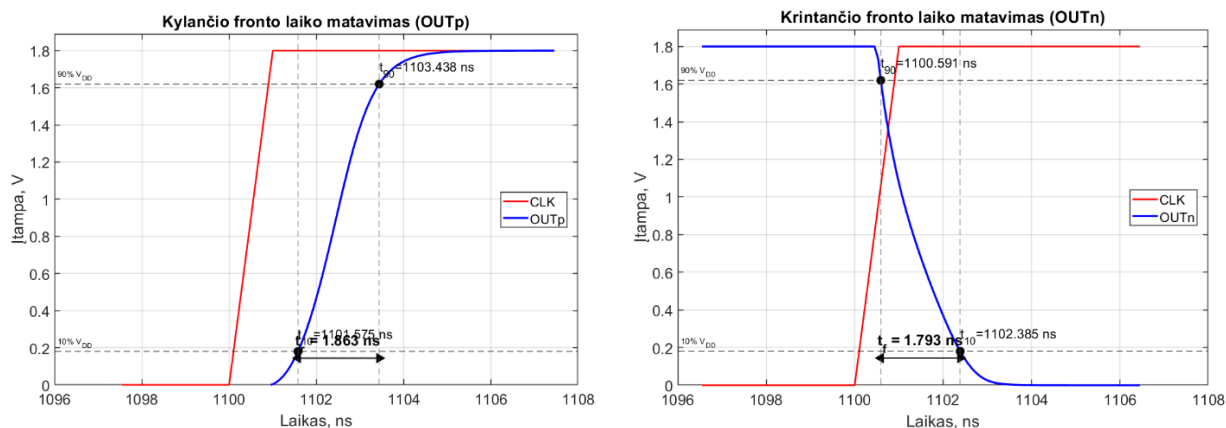
Komparatoriaus veikimas buvo vertinamas atliekant laikinę analizę. Modeliavimo metu nustatytas vėlinimas, kylančio ir krintančio frontų laikai bei dinaminis galios suvartojimas. Vėlinimas buvo apibrėžtas kaip laiko skirtumas tarp laikmačio ir išėjimo signalų 50%  $V_{DD}$  lygio kirtimo momentų. Esant  $V_{DD} = 1,8$  V, šis lygis atitinka 0,9 V. Gauta, kad kylančio fronto vėlinimas yra 1,953 ns, o krintančio fronto vėlinimas – 0,695 ns.



37 pav. Komparatoriaus kylančio ir krintančio fronto vėlinimo matavimas

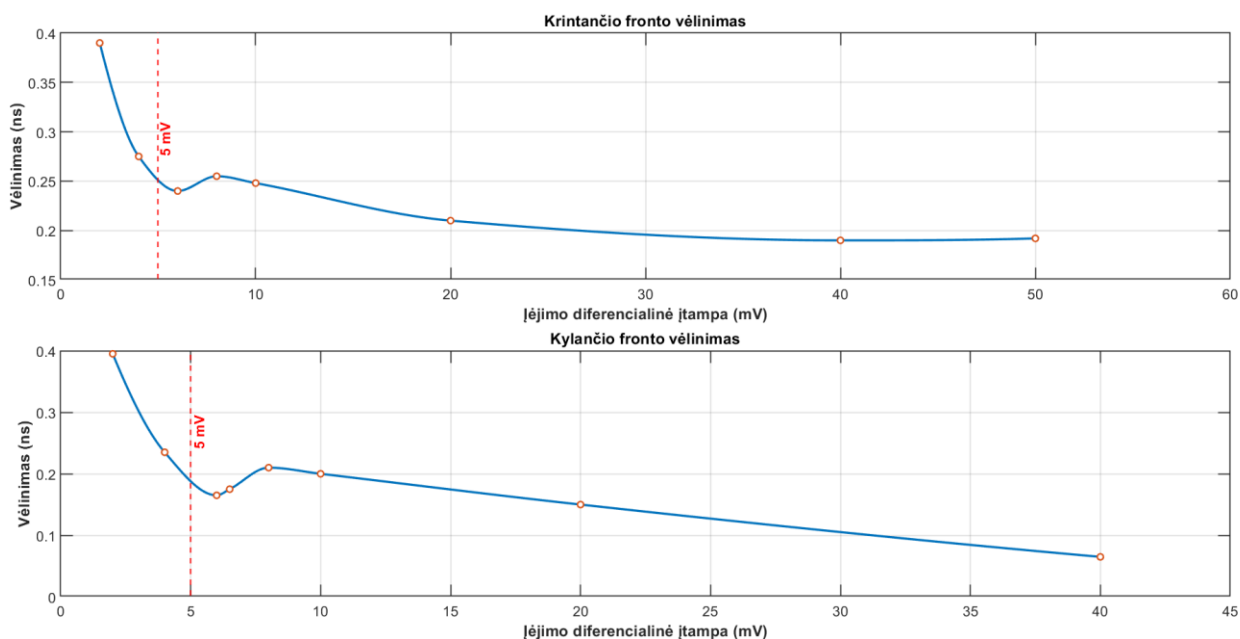
Išėjimo frontų laikai buvo nustatyti pagal 10% ir 90%  $V_{DD}$  lygius. Kylančio fronto laikas  $t_r$  siekė 1,863 ns, o krintančio fronto laikas  $t_f$  – 1,793 ns. Tokios reikšmės rodo, kad komparatoriaus išėjimo

signalai formuojami greitai ir yra tinkami tolimesnių skaitmeninių blokų valdymui. Pastebėta, kad kylantis ir krintantis perėjimai nėra visiškai simetriški, tačiau jų skirtumas nėra kritinis nagrinėjamai taikymo sričiai.



38 pav. Komparatoriaus kylančio ir krintančio fronto matavimas

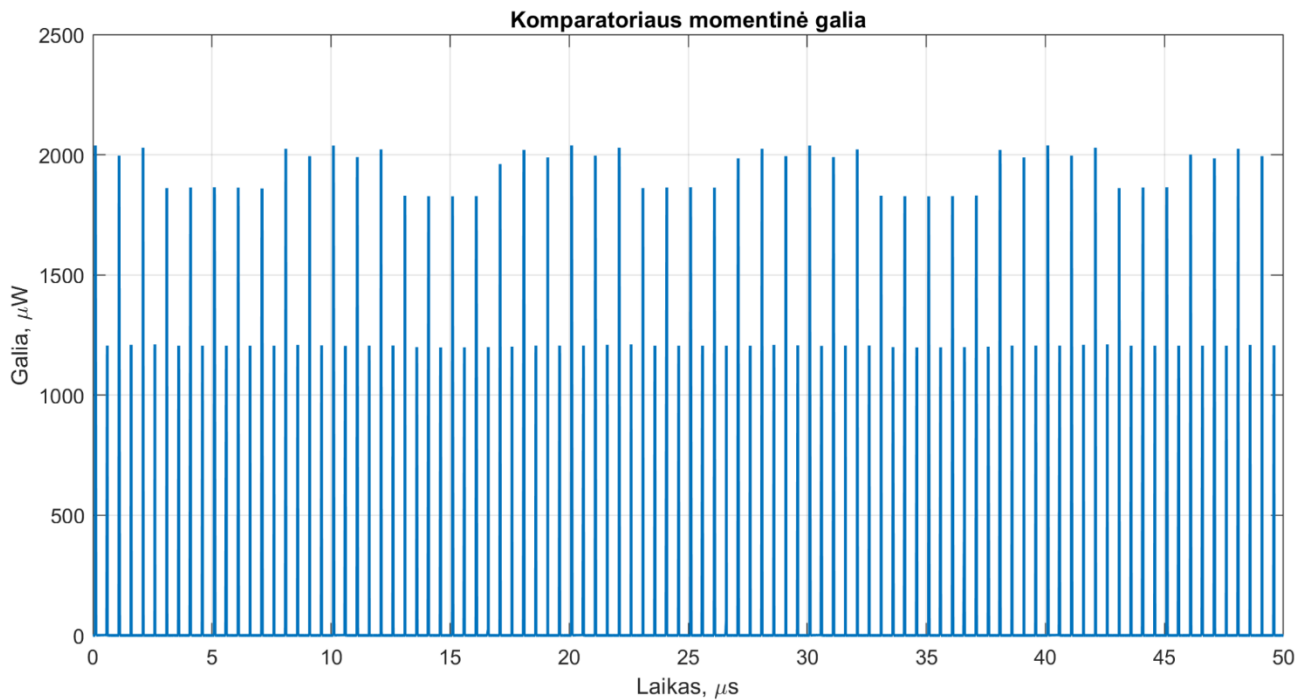
Komparatoriaus jautrumas buvo įvertintas analizuojant vėlinimo priklausomybę nuo diferencialinės įėjimo įtampos. Nustatyta, kad mažėjant  $\Delta V_{in}$  sprendimo vėlinimas didėja, tačiau ties 5 mV riba komparatorius vis dar patikimai persijungia. Todėl galima teigti, kad projektuojamo komparatoriaus jautrumas yra ne blogesnis kaip 5 mV, o ši reikšmė tenkina iškeltą projekcinį reikalavimą.



39 pav. Komparatoriaus jautrumo priklausomybės nuo vėlinimo matavimas

Iš pateiktų grafikų matyti, kad komparatoriaus vėlinimas mažėja didėjant diferencialinei įėjimo įtampai, o ties 5 mV riba komparatorius vis dar išlaiko stabilų veikimą, todėl ši reikšmė gali būti laikoma jo praktinio jautrumo riba.

Dinaminis galios suvartojimas buvo įvertintas pagal maitinimo šaltinio srovę laikinio modeliavimo metu. Gautas momentinės galios grafikas parodė, kad energija daugiausia suvartojama persijungimo momentais, o tarp jų galia išlieka maža. Apskaičiuota vidutinė komparatoriaus galia sudarė 2,83  $\mu W$ , todėl galima teigti, kad suprojektuotas komparatorius pasižymi ne tik didele sparta, bet ir nedidelėmis galios sąnaudomis.



40 pav. Komparatoriaus galios suvartojimas

6 lentelė. Gauti komparatoriaus parametrai

Parametras	Išsikeltas reikalavimas	Gautos vertės
Vėlinimas, ns	<100	1,953/0,695
Kilimo/kritimo laikas, ns	<20	1,863/1,793
Jautrumas, mV	<5	4
P, μW	<100	2,83

### 6.3. Sigma-delta modulatoriaus tranzistorinė realizacija

Ankstesniuose skyriuose suprojektavus pagrindinius sigma-delta modulatoriaus blokus diferencinį operacinį stiprintuvą ir komparatorių. Šiame skyriuje nagrinėjama pilna antros eilės diferencinio sigma-delta modulatoriaus tranzistorinė realizacija. Pirmiausia pateikiama pilna schema, tuomet atliekama laikinė analizė ir galiausiai įvertinamos modulatoriaus spektrinės savybės.

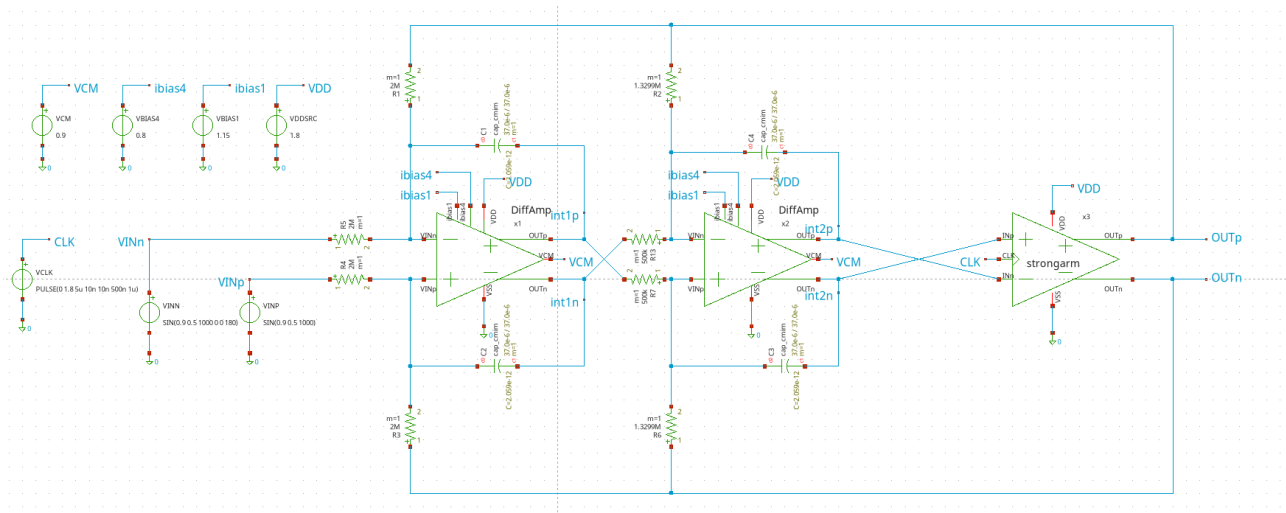
#### 6.3.1. Pilnos schemos sudarymas

Sukurta antros eilės diferencinio sigma-delta modulatoriaus tranzistorinė schema sudaryta iš dviejų nuosekliai sujungtų diferencialinių integratorių, dinaminio StrongARM komparatoriaus bei vieno bito grįžtamojo ryšio grandinės. Pirmasis ir antrasis integratoriai realizuoti naudojant anksčiau suprojektuotus diferencinius operacinius stiprintuvus su bendrojo režimo grįžtamojo ryšio grandinėmis. Komparatoriaus funkcijai pasirinkta dinaminė StrongARM architektūra dėl mažų galios sąnaudų ir didelio veikimo greičio.

Modulatoriaus įėjime naudojamas diferencialinis signalas  $V_{INp}$  ir  $V_{INn}$ , o išėjime formuojami diferenciniai vieno bito signalai  $OUTp$  ir  $OUTn$ . Pirmojo integratoriaus išėjimas sujungtas su antrojo integratoriaus įėjimu, o antrojo integratoriaus išėjimas paduodamas į komparatorių. Komparatoriaus išėjimas naudojamas vieno bito kvantavimui bei grįžtamajam ryšiui formuoti. Tokia struktūra leidžia

realizuoti antros eilės triukšmo formavimą, kai kvantavimo triukšmas iškeliamas į aukštesnių dažnių sritį.

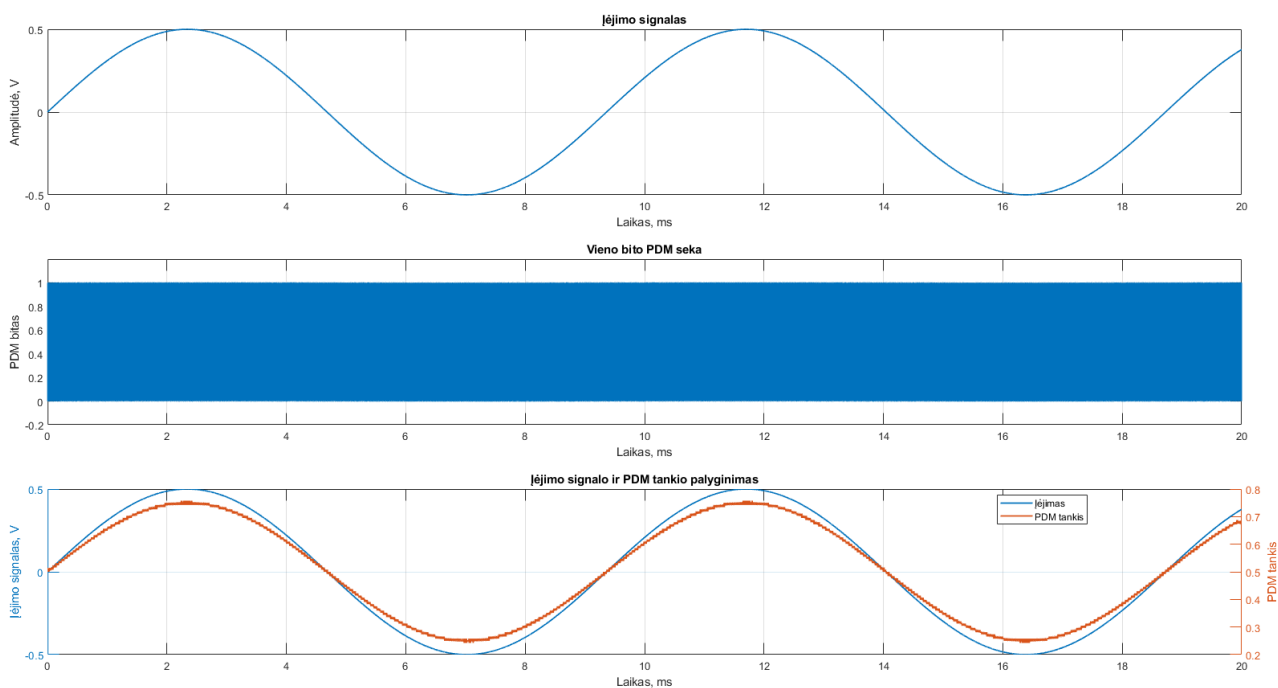
Projektuojant pilną schemą buvo naudojama 1,8 V maitinimo įtampa, o vidinių mazgų darbiniam taškams užtikrinti taikytos nustatytos poliarizacijos ir bendrojo režimo įtampos. Pilna modulatoriaus tranzistorinė schema pateikta 41 paveiksle.



41 pav. Sigma-delta modulatorius xschem aplinkoje

### 6.3.2. Laikinė analizė

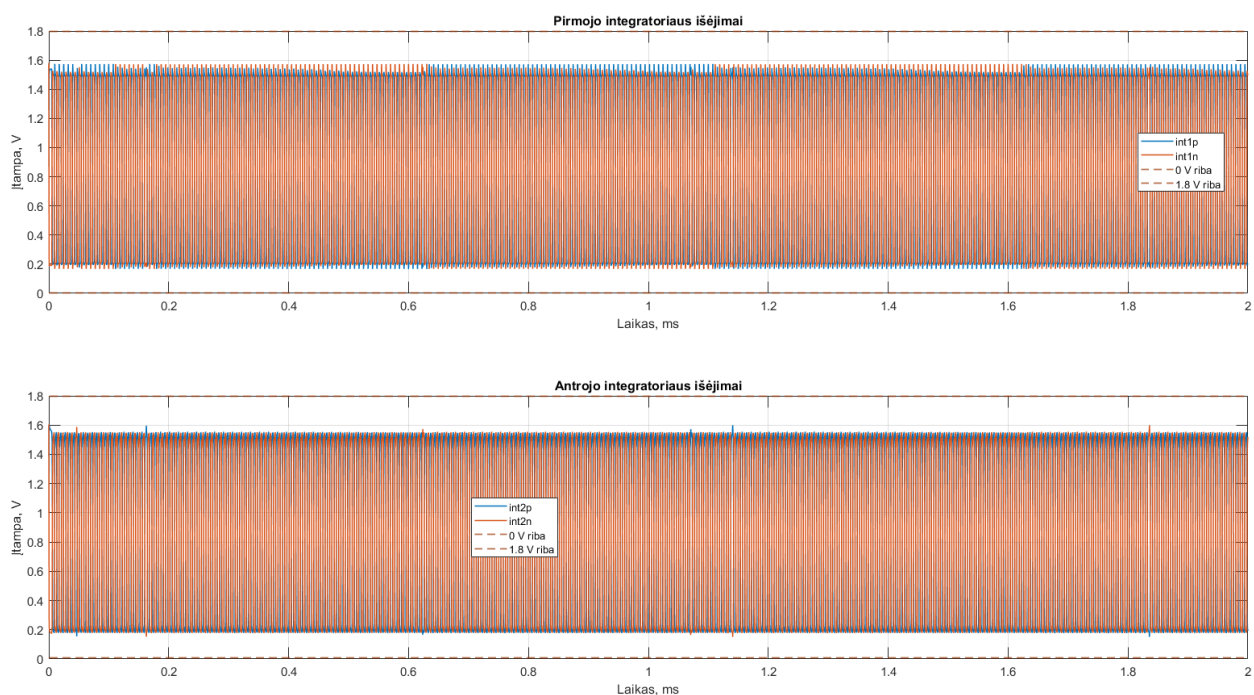
Siekiant įvertinti suprojektuoto antros eilės sigma-delta modulatoriaus veikimą laiko srityje, atlikta laikinė analizė, kurios metu buvo stebimas įėjimo signalas, vieno bito išėjimo seka bei vidinių integratorių išėjimo mazgų įtampos. Analizės metu į modulatoriaus įėjimą buvo paduotas sinusinis signalas, kurio amplitudė lygi 0,5 V, o dažnis 106,812 Hz.



42 pav. SDM laikinė analizė

Iš laikinės analizės rezultatų matyti, kad modulatoriaus išėjime formuojama vieno bito PDM seka. Kadangi pats vieno bito išėjimas dėl didelio diskretizavimo dažnio grafike atrodo labai tankus, papildomai buvo apskaičiuotas slenkantis PDM tankis. Gautas rezultatas rodo, kad PDM tankis aiškiai seka įėjimo signalo kitimą: didėjant įėjimo signalui, didėja loginio vieneto tankis, o signalui mažėjant jis atitinkamai mažėja. Tokia priklausomybė patvirtina, kad modulatorius korektiškai atlieka analoginio signalo pavertimą į vieno bito seką.

Papildomai buvo įvertinti pirmojo ir antrojo integratorių išėjimo signalai. Iš pateiktų grafikų matyti, kad abiejų integratorių išėjimų įtampos išlieka tarp 0 V ir 1,8 V ribų ir nepasiekia maitinimo bėgių. Tai rodo, kad integratorių mazgai neįsisotina, todėl modulatoriaus veikimas išlieka stabilus. Integratorių išėjimai matomi 43 paveiksle.

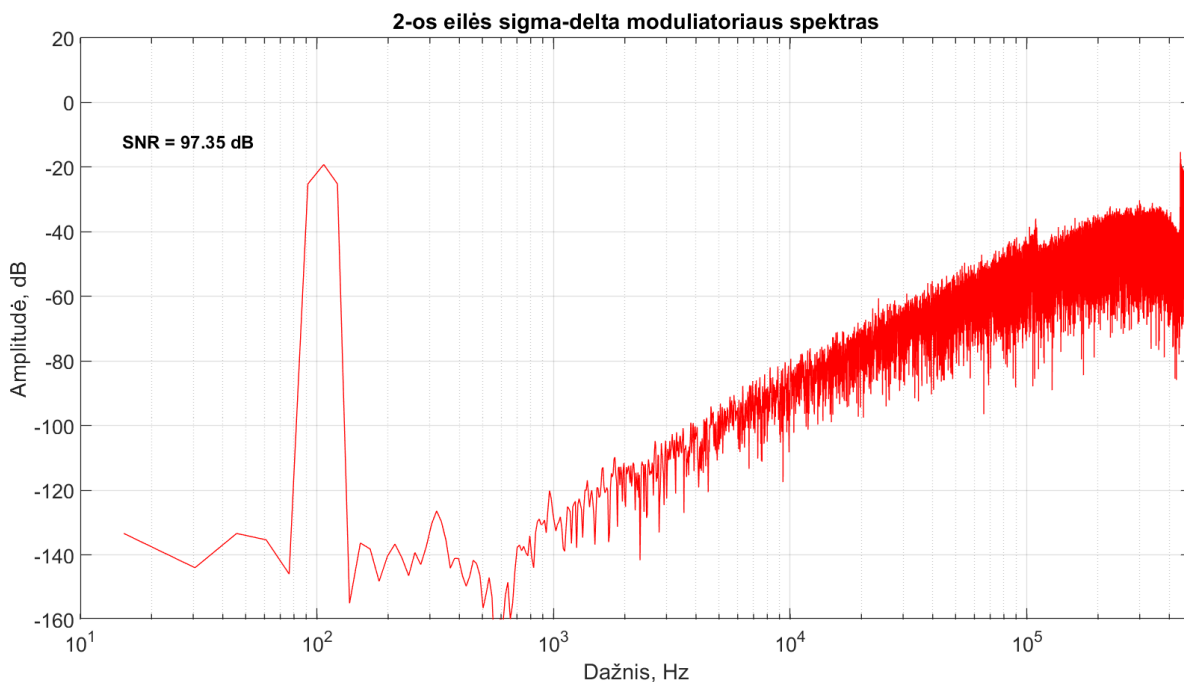


43 pav. SDM integratorių analizė

Apibendrinant galima teigti, kad laikinės analizės rezultatai patvirtina korektišką modulatoriaus veikimą laiko srityje. Įėjimo signalo pokyčiai atsispindi vieno bito išėjimo sekos tankyje, o vidinių mazgų įtampos neperžengia leistinų ribų.

### 6.3.3. Spektrinė analizė

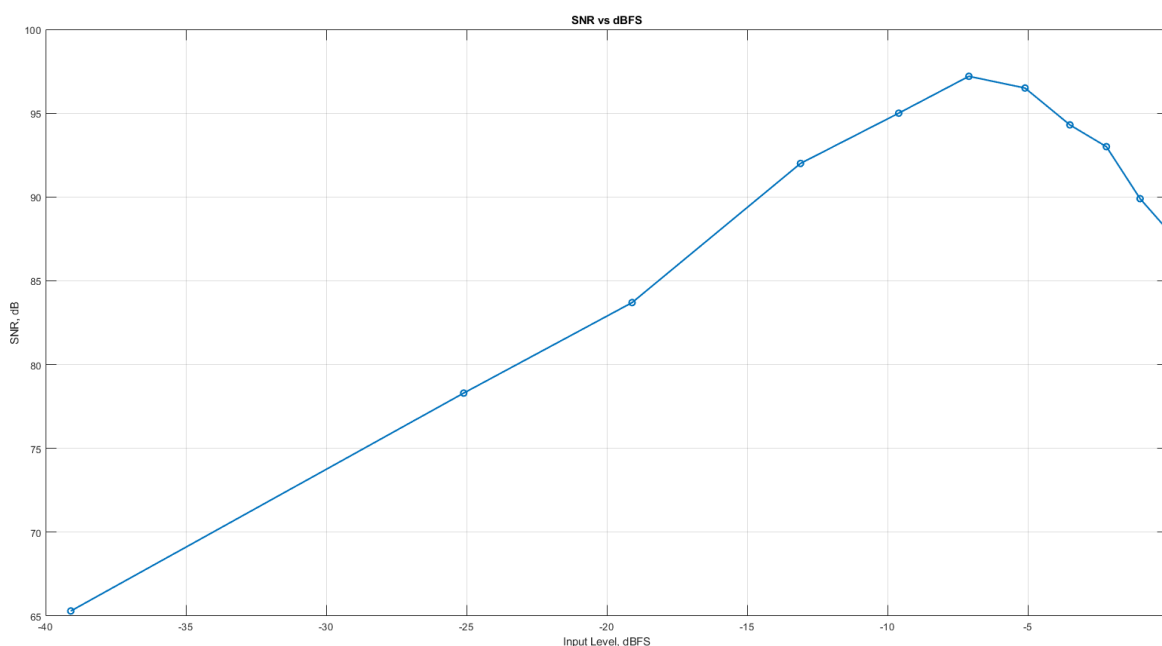
Modulatoriaus spektrinės savybės buvo įvertintos atliekant išėjimo signalo spektro analizę. Gautame spektre aiškiai matomas pagrindinis įėjimo signalo tonas ties 106,812 Hz. Taip pat matyti, kad didėjant dažniui kyla kvantavimo triukšmo lygis. Toks spektrinis pasiskirstymas yra būdingas antros eilės sigma-delta modulatoriams, nes kvantavimo triukšmas formuojamas taip, kad didžioji jo dalis būtų perkelta už naudingojo signalo juostos ribų.



**44 pav. SDM spektras**

Pateiktame spektre pažymėta 1 kHz naudingoji juosta. Joje triukšmo lygis yra ženkliai mažesnis negu aukštesniuose dažniuose, todėl po skaitmeninio filtravimo galima išgauti aukštos kokybės signalą. Iš nagrinėjamo spektro apskaičiuotas SNR siekia 97,35 dB. Gaunamas 15,88 bitų ENOB.

Siekiant išsamiau įvertinti modulatoriaus darbą, papildomai buvo sudaryta SNR priklausomybės nuo įėjimo lygio dBFS skalėje kreivė. Iš jos matyti, kad mažų įėjimo signalų srityje SNR yra mažesnis, nes naudingo signalo galia dar nėra pakankamai didelė triukšmo atžvilgiu. Didinant įėjimo amplitudę SNR didėja ir pasiekia maksimumą maždaug ties -7 dBFS, kur gaunama apie 97 dB. Toliau artėjant prie pilnos skalės SNR pradeda mažėti, kas rodo stiprėjantį netiesiškumą ir perkrovos poveikį.



**45 pav. SDM SNR priklausomybė nuo dBFS**

Tokia SNR priklausomybė nuo įėjimo lygio yra tipiška sigma-delta moduliatoriams. Ji rodo, kad geriausias moduliatoriaus veikimo taškas pasiekiamas ne ties pilna skale, o šiek tiek mažesniame įėjimo lygyje.

#### 6.3.4. Moduliatoriaus triukšmo charakteristikų tyrimas

Siekiant įvertinti triukšmo šaltinių ir analoginių blokų neidealumų įtaką suprojektuoto sigma-delta moduliatoriaus veikimui, atliktas moduliatoriaus triukšmo charakteristikų tyrimas, palyginant tris modeliavimo lygmenis: teorinį diskretaus laiko modelį, Verilog-A elgsenos modelį ir tranzistorinio lygmens modelį. Toks palyginimas leidžia įvertinti, kaip SNR ir ENOB sumažėja pereinant nuo idealaus modelio prie praktinės tranzistorinės realizacijos.

7 lentelė. Moduliatoriaus triukšmo charakteristikų tyrimo rezultatai

Modelis	SNR, dB	ENOB, bitai	Įvertinti triukšmo ir neidealumų veiksniai
Teorinis DT modelis	111,8	18,27	Kvantavimo triukšmas ir jo formavimas
Verilog-A modelis	109,45	17,89	Kvantavimo triukšmas, ribotas operacinio stiprintuvo stiprinimas ir dažnių juosta
Tranzistorinis modelis	97,35	15,88	Kvantavimo triukšmas, baigtinis stiprinimas, ribota dažnių juosta, komparatoriaus vėlinimas, grandyno netiesiškumai, soties efektai ir tranzistorinių elementų neidealumai

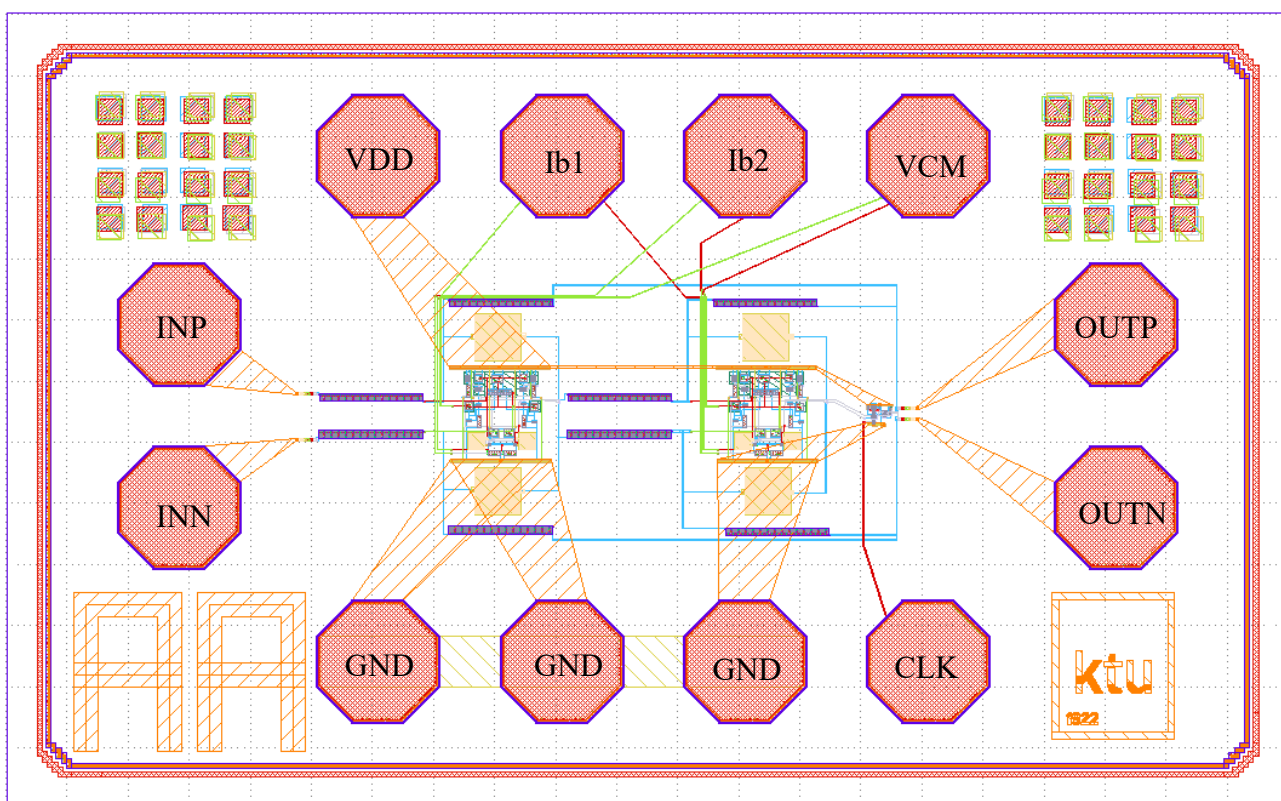
Palyginus skirtingus modeliavimo lygmenis matyti, kad didžiausias SNR pasiekiamas teoriniame DT modelyje. Šiame modelyje vertinamas idealus moduliatoriaus veikimas, todėl pagrindinis triukšmo šaltinis yra kvantavimo triukšmas, kuris dėl sigma-delta moduliatoriaus triukšmo formavimo perkeliamas į aukštesnių dažnių sritį. Verilog-A elgsenos modelio rezultatas yra artimas teoriniam modeliui, todėl galima teigti, kad pasirinkta moduliatoriaus architektūra, OSR ir koeficientai leidžia efektyviai formuoti kvantavimo triukšmą.

Tranzistorinio lygmens modelyje SNR sumažėja iki 97,35 dB, o ENOB – iki 15,88 bitų. Lyginant su Verilog-A modeliu, SNR sumažėja apie 12,1 dB. Šį sumažėjimą galima sieti su praktinės realizacijos neidealumais: operacinio stiprintuvo baigtiniu stiprinimu, ribota dažnių juosta, komparatoriaus vėlinimu, išėjimo buferio apkrova, grandyno netiesiškumais ir tranzistorinių elementų ribotomis charakteristikomis. Šiluminis ir 1/f triukšmas taip pat yra svarbūs realios tranzistorinės realizacijos triukšmo šaltiniai, tačiau jų įtaka turėtų būti vertinama atskira triukšmo analize.

Pereinant nuo elgsenos modelio prie tranzistorinės realizacijos matomas SNR sumažėjimas. Tai rodo, kad galutinį moduliatoriaus veikimą riboja ne tik teorinis kvantavimo triukšmas, bet ir analoginių blokų neidealumai: baigtinis stiprinimas, ribota dažnių juosta, vėlinimai ir grandyno netiesiškumai. Vis dėlto tranzistorinio lygmens modelyje pasiektas 15,88 bitų ENOB yra artimas pradiniam 16 bitų skyros reikalavimui, todėl moduliatorius išlieka tinkamas biomedicininų signalų diskretizavimo taikymams.

#### 6.4. Topologijos projektavimas

Suprojektuoto sigma-delta modulatoriaus topologija buvo sudaryta KLayout aplinkoje, naudojant atviros prieigos IHP SG13G2 technologiją. Galutinės topologijos matmenys yra  $1050 \mu\text{m} \times 650 \mu\text{m}$ . Topologijos centrinėje dalyje išdėstyta pagrindinė analoginė grandinė, o išorėje sudėtos kontaktinės aikštelės. Topologija formuota laikantis kiek įmanoma simetriško išdėstymo, kuris yra ypač svarbus mišrių signalų ir diferencinėms analoginėms grandinėms, nes padeda sumažinti parazitinių elementų nesutapimus tarp šakų. Aktyvieji elementai ir pasyvieji komponentai išdėstyti taip, kad būtų išlaikytas kompaktiškumas, tačiau kartu liktų pakankamai vietos takeliams ir technologiniams apribojimams tenkinti. Topologijos kampuose papildomai įterpti tankio užpildo elementai, kurie padeda užtikrinti tolygesnį sluoksnių tankį ir geresnį technologinį suderinamumą gamybos procese. Taip pat matomas apsauginis perimetrinis žiedas, skirtas topologijos vientisumui ir lusto kraštinių apsaugai. Galutinis topologijos vaizdas pateiktas 46 paveiksle.



46 pav. Sigma-delta modulatoriaus topologija

#### 6.5. Apibendrinimas

Suprojektuoto antros eilės tolydaus laiko sigma-delta modulatoriaus pagrindiniai parametrai buvo įvertinti pagal galutinės spektrinės analizės rezultatus. Modulatorius projektuotas 1 kHz pralaidos juostai, pasirinkus  $\text{OSR} = 500$  ir 1 MHz diskretizavimo dažnį. Iš galutinės spektrinės analizės gautas didžiausias signalo ir triukšmo santykis siekia 97,35 dB, o bendras modulatoriaus galios suvartojimas yra  $406 \mu\text{W}$ . Tokie rezultatai atitinka apie 15,88 ENOB. Įvertinus energinį efektyvumą, apskaičiuota Walden tipo FoM vertė siekia 3,37 pJ/conversion-step, o Schreier tipo FoM 161,3 dB.

Lyginant galutinį tranzistorinio lygmens rezultatą su teoriniu ir Verilog-A modeliavimo lygmeniu, pastebimas SNR sumažėjimas. Teoriniame modelyje buvo gauta 111,8 dB, o Verilog-A modelyje 109,45 dB, tačiau tranzistorinio lygmens realizacijoje SNR sumažėjo iki 97,35 dB. Toks sumažėjimas

paiškinamas tuo, kad tranzistorinėje realizacijoje pradeda reikštis neidealumai, kurie idealizuotuose modeliuose nebuvo įvertinti. Tarp svarbiausių veiksnių galima išskirti ribotą operacinių stiprintuvų stiprinimą ir juostos plotį, baigtinį nusistovėjimo greitį, komparatoriaus vėlinimą, parazitines talpas bei papildomus triukšmo šaltinius. Dėl šių priežasčių realiame tranzistoriniame modelyje blogėja triukšmo formavimas ir didėja iškraipymai, todėl galutinis SNR tampa mažesnis nei teoriniame bei Verilog-A lygmenyse.

Palyginus gautus rezultatus su literatūroje pateiktais sigma-delta moduliatorių pavyzdžiais, galima teigti, kad suprojektuoto moduliatoriaus parametrai yra konkurencingi siaurajuosčių taikymų srityje. Nors galutinis tranzistorinio lygmens SNR nepasiekė teoriškai numatytos daugiau kaip 100 dB ribos, pasiekta 97,35 dB reikšmė vis tiek rodo aukštą moduliatoriaus raišką ir patvirtina pasirinktos architektūros tinkamumą biomedicininį signalų diskretizavimo uždaviniui.

**8 lentelė.** Darbų palyginimai

<b>Darbai</b>	<b>BW</b>	<b>SNR/SNDR</b>	<b>Galia</b>	<b>FoMs</b>
Šis darbas	1 kHz	97,35 dB	406 $\mu$ W	161,3 dB
[26]	600 Hz	90,6 dB	63 $\mu$ W	160,4 dB
[27]	1 kHz	64,4 dB	0,85 $\mu$ W	151,7 dB
[28]	500 Hz	87 dB	0,6 $\mu$ W	176,2 dB
[29]	500 Hz	80 dB	2,1 $\mu$ W	163,8 dB
[30]	1,5 kHz	118,1 dB	1,6 mW	177,8 dB

## Išvados

1. Atlikus sigma-delta analoginio-skaitmeninio keitiklio veikimo principų ir triukšmo šaltinių analizę nustatyta, kad pagrindinis šios architektūros privalumas yra kvantavimo triukšmo formavimas. Sigma-delta moduliatoriuje naudingo signalo komponentė išlieka žemųjų dažnių srityje, o kvantavimo triukšmas per triukšmo perdavimo funkciją perkeliamas į aukštesnius dažnius. Nustatyta, kad triukšmo charakteristikas labiausiai veikia modulatoriaus eilė, viršimties santykis, kvantatoriaus bitų skaičius ir diferencinė realizacija.
2. Išanalizavus sigma-delta modulatoriaus projektavimo metodologiją parinkta antros eilės pilnai diferencinė tolydaus laiko sigma-delta modulatoriaus architektūra su vieno bito kvantatoriumi. Tokia struktūra pasirinkta kaip tinkamas kompromisas tarp pasiekiamo SNR, stabilumo, grandyno sudėtingumo ir galios suvartojimo. Projektuojamam biomedicininį signalų keitikliui pasirinktas 1 MHz diskretizavimo dažnis, 1 kHz signalo juosta ir  $OSR = 500$ . Diskretaus laiko modulatoriaus koeficientai transformuoti į tolydaus laiko aktyvaus RC integratorių parametrus.
3. Suprojektavus sigma-delta moduliatorių idealiu, elgsenos ir tranzistoriniu lygmenimis nustatyta, kad idealizuoti modeliai leidžia pasiekti labai aukštą modulatoriaus skyrą. Verilog-A elgsenos modelyje gautas 109,45 dB SNR, kuris atitinka apie 17,89 ENOB. Tranzistoriniame lygmenyje suprojektuotas pilnai diferencinis „folded-cascode“ operacinis stiprintuvas, CMFB grandinė, StrongARM komparatorius, išėjimo buferis ir RS latch. Pilnos tranzistorinės schemos modeliavimas parodė korektišką PDM signalo formavimą ir triukšmo formavimą į aukštesnius dažnius.
4. Palyginus gautus modeliavimo ir projektavimo rezultatus su teoriniais bei literatūroje pateiktais duomenimis nustatyta, kad galutinis tranzistorinio lygmens modulatoriaus SNR sumažėjo iki 97,35 dB, o ENOB iki 15,88. Šis sumažėjimas atsirado dėl realių grandyno neidealumų: riboto operacinių stiprintuvų stiprinimo ir dažnių juostos, komparatoriaus vėlinimo, parazitinių talpų, papildomų triukšmo šaltinių ir iškraipymų. Apskaičiuota bendra modulatoriaus galia yra 406  $\mu$ W, o FoMs siekia 161,3 dB, todėl suprojektuotas moduliatorius laikytinas tinkamu ir konkurencingu siaurajuosčiams biomedicininiam taikymams.

## Literatūros sąrašas

1. PAVAN, Shanthi; SCHREIER, Richard; TEMES, Gabor C. *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.
2. DE FREITAS, Otávio Elias Viana, et al. Design and Optimization of Decimation Filters for Sigma-Delta ADCs. *Journal of Integrated Circuits and Systems*, 2025, 20.1: 1-9.
3. *Sigma-Delta ADC tutorial*. Sigma-Delta ADC Tutorial | Analog Devices. (n.d.). <https://www.analog.com/en/resources/interactive-design-tools/sigma-delta-adc-tutorial.html>
4. LIU, Yifei; FURTH, Paul M.; TANG, Wei. Hardware-efficient delta sigma-based digital signal processing circuits for the internet-of-things. *Journal of Low Power Electronics and Applications*, 2015, 5.4: 234-256.
5. DE LA ROSA, Jose M.; DEL RÍO, Rocío. *CMOS sigma-delta converters: Practical design guide*. John Wiley & Sons, 2013.
6. R. H. Walden, "Analog-to-digital converter survey and analysis," *IEEE Journal on Selected Areas in Communications*, vol. 17, no. 4, pp. 539–550, 1999.
7. S. Rabbii and B. A. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8-  $\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, pp. 783–796, 1997.
8. LIANG, Yuhua, et al. A 20kHz-BW 110.2 dB-DR Third-Order CT  $\Sigma$  ADC for MEMS Acceleration Sensors. *IEEE Sensors Journal*, 2025.
9. ABDELAAL, Ahmed, et al. A Calibration-free 80MHz CT DSM Using Dual Quantization and ISI Shuffler Achieving 106.2 dB SFDR. In: *2025 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE, 2025. p. 1-3.
10. LIN, Yuyu, et al. A 48x OSR 105.4-dB SNDR 24-kHz BW CT Zoom ADC with Reset Tri-level DWA and On-chip Negative-R Calibration. In: *2025 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE, 2025. p. 1-3.
11. LUO, Yanqun; JIE, Lu; SUN, Nan. A Power-Efficient Jitter-Insensitive 3.2 GHz 1-bit CT  $\Delta\Sigma$  ADC with Direct Charge Dump Feedback. In: *2025 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE, 2025. p. 1-3.
12. WANG, Tzu-Han, et al. A 50-kHz BW 92.1-dB SNDR Incremental ADC Using a Back-End Sampling Two-Step NS-SAR Architecture with Concurrent Gain-Error+ Noise Suppression. In: *2025 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE, 2025. p. 1-3.
13. JIN, Jing, et al. A 470  $\mu\text{W}$  20 kHz-BW 107.3 dB-SNDR Nested CT DSM Using Negative-R-Based Cross-RC Integrator and Weighted Multi-Threshold MSB-Pass Quantizer. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2025.
14. WANG, Hanyu, et al. An 89.5 dB SNDR 500 kHz BW Largely Passive Fourth-Order Noise-Coupled Delta-Sigma Modulator. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2025.
15. LU, Zhaonan; ZHAO, Menglian; TAN, Zhichao. Analysis and Design of a 16-bit Continuous-Time Incremental Delta-Sigma ADC. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2025.
16. WEI, Cong, et al. A 1.2 V 2.3  $\mu\text{W}$  94.7 dB DR Delta-Sigma Modulator With Dynamic-Range Enhancement and Tri-Level CDAC. In: *2023 IEEE Asian Solid-State Circuits Conference (A-SSCC)*. IEEE, 2023. p. 1-3.

17. TAN, Gaofeng, et al. A 10mhz-bw 85db-dr ct 0-4 mash delta-sigma modulator achieving+ 5dbfs msa. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2023, 70.12: 4781-4792.
18. HAO, Xirui, et al. A 94.6 dB-SNDR 50kHz-BW 1-1-1 MASH ADC Using OTA-FIA Based Integrators. In: *2023 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2023. p. 1-4.
19. ZHONG, Yi, et al. An 80.2-to-89.1 dB-SNDR 24k-to-200kHz-BW VCO-Based Synthesized? S ADC with 105dB SFDR in 28-nm CMOS. In: *2023 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE, 2023. p. 1-2.
20. Processing Sequence and Cross-Section Schematic - IHP 130nm BiCMOS Open Source PDK documentation. (n.d.).[https://ihp-open-pdk/docs.readthedocs.io/en/latest/process\\_specs/01\\_01\\_main\\_process\\_cross\\_sec.html](https://ihp-open-pdk/docs.readthedocs.io/en/latest/process_specs/01_01_main_process_cross_sec.html)
21. Saadeh W. Behavioral Simulation of a Second Order Discrete Time Delta-Sigma ADC using CppSim. CppSim mokomoji medžiaga, 2013. Žiūrėta 2026-04-12.
22. RAZAVI, Behzad. The StrongARM latch [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 2015, 7.2: 12-17.
23. RAZAVI, Behzad. The design of a comparator [the analog mind]. *IEEE Solid-State Circuits Magazine*, 2020, 12.4: 8-14.
24. BARRADAS, Duarte, 2012. *Analog to Digital Converters for DC-DC Switching Converters*. Lisboa: Instituto Superior Técnico.
25. Y. Li and W. Li, “A Low-Power High-Precision Discrete-Time Delta–Sigma Modulator for Battery Management System,” *Electronics*, vol. 15, no. 3, art. no. 535, 2026, doi: 10.3390/electronics15030535.
26. A. Fazli Yeknami, “A 300-mV  $\Delta\Sigma$  Modulator Using a Gain-Enhanced, Inverter-Based Amplifier for Medical Implant Devices,” *Journal of Low Power Electronics and Applications*, vol. 6, no. 1, art. no. 4, 2016, doi: 10.3390/jlpea6010004
27. A. F. Yeknami and A. Alvandpour, “A 2.1  $\mu\text{W}$  80 dB SNR DT  $\Delta\Sigma$  Modulator for Medical Implant Devices in 65 nm CMOS,” *Analog Integrated Circuits and Signal Processing*, vol. 77, pp. 69–78, 2013.
28. A. F. Yeknami and A. Alvandpour, “A 0.7-V 400-nW Fourth-Order Active-Passive  $\Delta\Sigma$  Modulator with One Active Stage,” in *Proc. 21st IEEE Int. Conf. on Very Large Scale Integration (VLSI-SoC)*, Istanbul, Turkey, Oct. 2013, pp. 1–6, doi: 10.1109/VLSI-SoC.2013.6673235.
29. A. Fazli Yeknami, *Low-Power Delta-Sigma Modulators for Medical Applications*. Linköping, Sweden: Linköping University, 2014.
30. Y. Han, W. Liu, X. Zhang, X. Wang, X. Liu, and Y. Liu, “A Wide Dynamic Range Sigma-Delta Modulator for EEG Acquisition Using Randomized DWA and Dynamic-Modulated Scaling-Down Techniques,” *Sensors*, vol. 23, no. 1, art. no. 201, 2023, doi: 10.3390/s23010201.
31. SCHIPPERS, Stefan. *XSCHEM tutorial* [interaktyvus]. [žiūrėta 2026-05-10].
32. NGSPICE PROJECT. *Ngspice User's Manual, version 46* [interaktyvus]. [žiūrėta 2026-05-10].
33. KLAYOUT PROJECT. *KLayout User Manual* [interaktyvus]. [žiūrėta 2026-05-10].