



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

**Delta-Sigma keitiklio modulatoriaus, realizuoto SiGe lustų  
technologijoje, tyrimas**

Baigiamasis magistro projektas

---

**Benas Česnauskas**

Projekto autorius

**Doc. Dr. Andrius Chaziachmetovas**

Vadovas

---

**Kaunas, 2026**



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

**Delta-Sigma keitiklio modulatoriaus, realizuoto SiGe lustų  
technologijoje, tyrimas**

Baigiamasis magistro projektas

Elektronikos inžinerija (6211EX012)

---

**Benas Česnauskas**

Projekto autorius

**Doc. Dr. Andrius Chaziachmetovas**

Vadovas

**Dr. Ramūnas Ramanauskas**

Recenzentas

---

**Kaunas, 2026**



**Kauno technologijos universitetas**

Elektros ir elektronikos fakultetas

Benas Česnauskas

## **Delta-Sigma keitiklio modulatoriaus, realizuoto SiGe lustų technologijoje, tyrimas**

Akademinio sąžiningumo deklaracija

Patvirtinu, kad:

1. baigiamąjį projektą parengiau savarankiškai ir sąžiningai, nepažeisdamas kitų asmenų autoriaus ar kitų teisių, laikydamasis Lietuvos Respublikos autorių teisių ir gretutinių teisių įstatymo nuostatų, Kauno technologijos universiteto (toliau – Universitetas) intelektinės nuosavybės valdymo ir perdavimo nuostatų bei Universiteto akademinės etikos kodekse nustatytų etikos reikalavimų;
2. baigiamajame projekte visi pateikti duomenys ir tyrimų rezultatai yra teisingi ir gauti teisėtai, nei viena šio projekto dalis nėra plagijuota nuo jokių spausdintinių ar elektroninių šaltinių, visos baigiamojo projekto tekste pateiktos citatos ir nuorodos yra nurodytos literatūros sąrašė;
3. įstatymų nenumatytų piniginių sumų už baigiamąjį projektą ar jo dalis niekam nesu mokėjęs;
4. suprantu, kad išaiškėjus nesąžiningumo ar kitų asmenų teisių pažeidimo faktui, man bus taikomos akademinės nuobaudos pagal Universitete galiojančią tvarką ir būsiu pašalintas iš Universiteto, o baigiamasis projektas gali būti pateiktas Akademinės etikos ir procedūrų kontrolieriaus tarnybai nagrinėjant galimą akademinės etikos pažeidimą.

Benas Česnauskas

*Patvirtinta elektroniniu būdu*

Česnauskas Benas. Delta-Sigma keitiklio moduliatoriaus, realizuoto SiGe lustų technologijoje, tyrimas. Magistro baigiamasis projektas / vadovas doc. dr. Andrius Chaziachmetovas; Kauno technologijos universitetas, Elektros ir elektronikos fakultetas.

Studijų kryptis ir sritis (studijų krypčių grupė): Elektronikos inžinerija, inžinerijos mokslai.

Reikšminiai žodžiai: Delta-Sigma moduliatorius, SiGe, BiCMOS.

Kaunas, 2026. 76 p.

### **Santrauka**

Darbo tikslas yra suprojektuoti Delta-Sigma moduliatorių, pasinaudojant SiGe lustų technologiją, ir ištirti technologijos panaudojimo privalumus ar trūkumus šioje aplikacijoje.

Darbe išanalizuotos skirtingos Delta-Sigma moduliatorių ir jų mazgų architektūros. Aptarta SiGe lustų technologija ir įvertinti galimi jos privalumai projektuojant moduliatorių. Ištirti skirtingi operacinio stiprintuvo patobulinimas ir sukurtas naujas BiCMOS patobulinimas, kuris įmanomas tik dėl naudojamos SiGe technologijos. Suprojektuotas 1,8 V maitinimo įtampos, 97,2 dB SNR Delta-Sigma moduliatorius, kurio galios suvartojimas – 751,18  $\mu$ W, o FoM – 187,32 dB. Suprojektuota topologija, kurios išmatavimai: 134,075 x 108,19  $\mu$ m. Bendras plotas – 0,015 mm<sup>2</sup>.

Česnauskas Benas. Investigation of Delta-Sigma Converter's Modulator Implemented in SiGe Chip Technology. Master's Final Degree Project / supervisor Assoc.Prof., Andrius Chaziachmetovas; Faculty of Electrical and Electronics Engineering, Kaunas University of Technology.

Study field and area (study field group): Electronics Engineering, Engineering Sciences.

Keywords: Delta-Sigma modulator, SiGe, BiCMOS.

Kaunas, 2026, 76 p.

### **Summary**

The aim of this thesis is to design a Delta-Sigma modulator using SiGe integrated circuit technology and to investigate the advantages and disadvantages of applying this technology in such an application.

The thesis analyzes different Delta-Sigma modulator architectures and their building blocks. SiGe integrated circuit technology is discussed, and its potential advantages in modulator design are evaluated. Various operational amplifier improvements are investigated, and a new BiCMOS enhancement is proposed, which is only possible due to the use of SiGe technology. A Delta-Sigma modulator with a 1.8 V supply voltage and an SNR of 97.2 dB was designed. The modulator features a power consumption of 751.18  $\mu$ W and a FoM of 187.32 dB. A topology with dimensions of 134.075  $\times$  108.19  $\mu$ m was designed, resulting in a total area of 0.015 mm<sup>2</sup>.

## Turinys

<b>Lentelių sąrašas .....</b>	<b>8</b>
<b>Paveikslų sąrašas .....</b>	<b>9</b>
<b>Santrumpų ir terminų sąrašas .....</b>	<b>12</b>
<b>Įvadas.....</b>	<b>13</b>
<b>1. Literatūros analizė .....</b>	<b>14</b>
1.1. Delta-Sigma modulatoriai .....	14
1.2. Delta-Sigma modulatoriaus rūšys .....	16
1.2.1. Diskretaus laiko Delta-Sigma modulatorius.....	17
1.2.2. Nuoseklaus laiko Delta-Sigma modulatorius .....	17
1.3. Kitų darbų apžvalga.....	18
1.3.1. CIFB architektūra .....	20
1.3.2. CIFF architektūra.....	21
1.3.3. MASH architektūra .....	22
1.4. Architektūrų apibendrinimas .....	22
1.5. Literatūros analizės apibendrinimas .....	23
<b>2. Technologijų ir architektūrų analizė ir parinkimas .....</b>	<b>24</b>
2.1. IHP 130nm SiGe lustų technologija .....	24
2.2. Delta-Sigma modulatoriaus architektūra.....	27
2.2.1. Komutuojamo kondensatoriaus architektūra.....	27
2.2.2. Integratoriaus architektūros .....	28
2.3. Taktuoto komparatoriaus architektūra.....	31
2.4. Operacinio stiprintuvo architektūra .....	31
2.5. Jungiklių architektūra .....	34
2.6. Architektūrų parinkimo apibendrinimas.....	35
<b>3. Projektavimas ir matavimo metodologija .....</b>	<b>36</b>
3.1. Idealus Delta-Sigma modulatoriaus modelis.....	36
3.1.1. MATLAB modelis.....	39
3.1.2. Modulatoriaus Verilog-A modelis.....	40
3.1.3. Parametrų matavimo metodologija.....	45
3.2. Tranzistorių geometrijos parinkimo metodologija .....	46
3.3. GM/ID metodologija .....	46
3.4. Taktuojamas komparatorius .....	49
3.5. Operacinis stiprintuvas .....	50
3.5.1. Folded Cascode .....	51
3.5.2. Gain-Boosted Folded Cascode .....	52
3.5.3. Recycling Folded Cascode .....	54
3.5.4. Gain-Boosted Recycling Folded Cascode .....	56
3.5.5. BiCMOS Gain-Boosted Recycling Folded Cascode.....	57
3.5.6. Stiprintuvo darbo taškų nustatymo schema .....	61
3.5.7. Stiprintuvo bendros žemės grįžtamojo ryšio schema .....	62
3.6. Jungiklis.....	63
3.7. Galios suvartojimo optimizavimas .....	64

<b>4. Topologijos projektavimas .....</b>	<b>66</b>
4.1. Pirmojo operacinio stiprintuvo topologija.....	66
4.2. Antrojo operacinio stiprintuvo topologija .....	66
4.3. Komparatoriaus topologija .....	67
4.4. Jungiklio topologija.....	68
4.5. Delta-Sigma modulatoriaus topologija.....	68
<b>5. Rezultatai .....</b>	<b>70</b>
<b>Išvados .....</b>	<b>74</b>
<b>Literatūros sąrašas .....</b>	<b>75</b>

## Lentelių sąrašas

1 lentelė. Kitų darbų apžvalga .....	18
2 lentelė. Kitų darbų apžvalga (tęsinys) .....	18
3 lentelė. Delta-Sigma modulatoriaus architektūrų palyginimas .....	22
4 lentelė. FC parametrai.....	52
5 lentelė. GFC parametrai.....	54
6 lentelė. RFC parametrai.....	56
7 lentelė. GRFC parametrai .....	57
8 lentelė. BiGRFC parametrai .....	58
9 lentelė. Stiprintuvų parametrai .....	59
10 lentelė. Suprojektuoto modulatoriaus parametrai.....	73

## Paveikslų sąrašas

1 pav. Delta-Sigma moduliatorius [2] .....	14
2 pav. Delta-Sigma moduliatorius išėjimo triukšmo priklausomybė nuo eilės .....	14
3 pav. Moduliatoriaus įėjimo signalas (u) ir išėjimo signalas (v) [1] .....	15
4 pav. Supaprastinta Delta-Sigma moduliatoriaus struktūra [1] .....	15
5 pav. 4 bitų Delta-Sigma moduliacija [16] .....	16
6 pav. Antros eilės diskretaus laiko Delta-Sigma moduliatorius [1] .....	17
7 pav. Trečios eilės nuoseklaus laiko Delta-Sigma moduliatorius [1] .....	17
8 pav. CIFB Delta-Sigma moduliatorius [1] .....	20
9 pav. CIFF Delta-Sigma moduliatorius [1] .....	21
10 pav. MASH Delta-Sigma moduliatorius [1] .....	22
11 pav. npn-HBT tranzistoriaus skerspjūvis [20] .....	24
12 pav. SG13G2 metalizacijos sluoksniai [21] .....	25
13 pav. SG13G2 pasyvių komponentų skerspjūvis (žemiau 1 metalo) [21] .....	25
14 pav. CIFB Delta-Sigma moduliatorius [1] .....	27
15 pav. Komutuojamas kondensatorius [26] .....	27
16 pav. Invertuojantis 4 jungiklių komutuojamas kondensatorius [26] .....	28
17 pav. Neinvertuojantis 4 jungiklių komutuojamas kondensatorius [26] .....	28
18 pav. SC integratorius [1] .....	28
19 pav. SC integratorius su 2 įėjimais [1] .....	29
20 pav. Diferencinis SC integratorius su atskirais įėjimo ir SAK talpumis [1] .....	29
21 pav. Diferencinis SC integratorius su bendrais įėjimo ir SAK talpumis [1] .....	29
22 pav. Diferencinis SC integratorius su vienpoliario signalo – diferencinio signalo konversija [1] .....	30
23 pav. Antros Delta-Sigma moduliatoriaus pakopos SC integratorius [1] .....	30
24 pav. Antros Delta-Sigma moduliatoriaus pakopos SC integratorius su dvigubai nuskaityta atramine įtampa [1] .....	30
25 pav. StrongARM taktuojamas komparatorius [1] .....	31
26 pav. Delta-Sigma moduliatorius [1] .....	31
27 pav. 5 tranzistorių operacinis stiprintuvas [27] .....	32
28 pav. 2 pakopų operacinis stiprintuvas [27] .....	32
29 pav. Teleskopinis operacinis stiprintuvas [27] .....	33
30 pav. Folded-cascode operacinis stiprintuvas [27] .....	33
31 pav. Recycling folded-cascode operacinis stiprintuvas [17] .....	34
32 pav. NMOS jungiklis .....	34
33 pav. PMOS jungiklis .....	34
34 pav. CMOS jungiklis .....	35
35 pav. CIFB Delta-Sigma moduliatorius [1] .....	36
36 pav. SNR priklausomybė nuo OSR ir eilės .....	37
37 pav. SNR priklausomybė nuo moduliatoriaus eilės .....	37
38 pav. NTF nulių polių diagrama .....	38
39 pav. Triukšmo perdavimo funkcija .....	38
40 pav. Triukšmo perdavimo funkcija logaritminėje skalėje .....	39
41 pav. Delta-Sigma moduliatoriaus tipinis išėjimas .....	40
42 pav. Delta-Sigma moduliatoriaus spektras .....	40
43 pav. CIFB Delta-Sigma moduliatorius [1] .....	41

44 pav. Folded cascode operacinio stiprintuvo tranzistorių įtampos .....	41
45 pav. Verilog-A Delta-Sigma moduliatorius.....	43
46 pav. Verilog-A Delta-Sigma moduliatoriaus spektras.....	43
47 pav. Pirmo integratoriaus išėjimo laikinė diagrama .....	44
48 pav. Antro integratoriaus išėjimo laikinė diagrama.....	44
49 pav. Moduliatoriaus diskretizuoto įėjimo laikinė diagrama .....	44
50 pav. Langų palyginimas.....	45
51 pav. Stačiakampio lango ir Hanning lango delta-sigma spektrai .....	45
52 pav. Tranzistorių charakterizavimo schema .....	46
53 pav. Tranzistoriaus GM/ID priklausomybė nuo $V_g$ .....	47
54 pav. Tranzistoriaus IDW priklausomybė nuo $V_g$ .....	47
55 pav. Tranzistoriaus įtampos stiprinimo priklausomybė nuo $V_g$ .....	47
56 pav. Tranzistoriaus ribinio dažnio priklausomybė nuo $V_g$ .....	48
57 pav. ID/W priklausomybė nuo $gm/id$ .....	48
58 pav. StrongARM komparatorius .....	49
59 pav. NAND schema.....	49
60 pav. Operacinio stiprintuvo struktūra .....	50
61 pav. Folded Cascode operacinis stiprintuvas.....	51
62 pav. Folded Cascode ADCh .....	51
63 pav. Folded Cascode FDCh.....	52
64 pav. Common drain stiprintuvas.....	52
65 pav. Gain-Boosted Folded Cascode operacinis stiprintuvas .....	53
66 pav. Gain-Boosted Folded Cascode ADCh .....	53
67 pav. Gain-Boosted Folded Cascode FDCh.....	54
68 pav. Recycling Folded Cascode schema [17].....	54
69 pav. Recycling Folded Cascode ADCh .....	55
70 pav. Recycling Folded Cascode FDCh.....	55
71 pav. Gain-boosted Recycling Folded Cascode schema .....	56
72 pav. Gain-boosted Recycling Folded Cascode ADCh.....	56
73 pav. Gain-boosted Recycling Folded Cascode FDCh .....	57
74 pav. BiCMOS Gain-boosted Recycling Folded Cascode schema.....	57
75 pav. Gain-boosted Recycling Folded Cascode ADCh.....	58
76 pav. Gain-boosted Recycling Folded Cascode FDCh .....	58
77 pav. Stiprintuvu parametrų palyginimas.....	59
78 pav. Stiprintuvų perdavimo charakteristikos.....	60
79 pav. Gain-boosted Recycling Folded Cascode DC stiprinimas.....	60
80 pav. Operacinio stiprintuvo struktūra .....	61
81 pav. Folded Cascode bias network .....	61
82 pav. Operacinio stiprintuvo struktūra .....	62
83 pav. Idealus CMFB.....	62
84 pav. DT CMFB [27] .....	62
85 pav. CT CMFB [27] .....	63
86 pav. Jungiklių varža.....	63
87 pav. Transmission gate schema .....	64
88 pav. Delta-Sigma moduliatoriaus schema .....	64
89 pav. Constant gm bias network .....	65

90 pav. Pirmojo operacinio stiprintuvo topologija .....	66
91 pav. Antrojo operacinio stiprintuvo topologija .....	67
92 pav. Komparatoriaus topologija .....	67
93 pav. Jungiklio topologija .....	68
94 pav. Delta-Sigma modulatoriaus topologija .....	68
95 pav. Delta-Sigma modulatoriaus topologija (paslėpti kondensatoriaus sluoksniai).....	69
96 pav. Delta-Sigma modulatoriaus topologija (paslėpti viršutinio metalo sluoksniai) .....	69
97 pav. Suprojektuoto modulatoriaus spektras.....	70
98 pav. Suprojektuoto modulatoriaus SNR priklausomybė nuo įėjimo įtampos .....	70
99 pav. Pirmo integratoriaus išėjimo laikinė diagrama .....	71
100 pav. Antro integratoriaus išėjimo laikinė diagrama.....	71
101 pav. Diskretizuoto įėjimo laikinė diagrama.....	72
102 pav. Delta-Sigma modulatoriaus topologija.....	72

## Santrumpų ir terminų sąrašas

### Santrumpos:

ASK – analoginis-skaitmeninis keitiklis;

BiCMOS – Bipoliarus KMOP (angl. *Bipolar CMOS*);

CIFB – integratorių kaskada su grįžtamuju ryšiu (angl. *Cascade of Integrators with Feedback*);

CIFF – integratorių kaskada su tiesioginiu perdavimu (angl. *Cascade of Integrators with Feedforward*);

CMOS – komplementarus metalo oksido puslaidininkis (angl. *Complementary Metal-Oxide-Semiconductor*);

CT – nuoseklaus laiko (angl. *Continuous Time*);

DT – diskretaus laiko (angl. *Discrete Time*);

ENOB – efektyvus bitų skaičius (angl. *Effective Number of Bits*);

MASH – daugiapakopis triukšmo formavimas (angl. *Multi-stage Noise Shaping*);

OSR – diskretizavimo santykis (angl. *Oversampling Ratio*);

SAK – skaitmeninis-analoginis keitiklis;

SNDR – signalo, triukšmo ir iškreipymų santykis (angl. *Signal-to-Noise and Distortion Ratio*);

SNR – signalo ir triukšmo santykis (angl. *Signal-to-Noise Ratio*);

SiGe - Silicio-germanis.

## Įvadas

Šiais laikais lustų industrija yra stipriai plėtojama. Atsiranda vis daugiau įmonių, kurios kuria naujus lustus, siekia patobulinti naudojamus prietaisus. Smarkiai tobulėjant skaitmeninėms sistemoms kyla poreikis ir specifiniai reikalavimai analoginėms sistemoms, kadangi iš realaus pasaulio signalai įvedami į skaitmeninę sistemą ASK pagalba. Vienas iš pagrindinių sistemų komponentų yra analoginis-skaitmeninis keitiklis (ASK). ASK leidžia analoginius signalus paversti į skaitmeninius, kuriuos gali apdoroti kompiuteriai, atlikti matematinius veiksmus. Analoginiai-skaitmeniniai keitikliai gali būti įvairių architektūrų, tačiau Delta-Sigma architektūra šiuo metu populiari, nes ji pasižymi itin didele raiška ir žemais triukšmais.

Pagrindinis Delta-Sigma ASK elementas – Delta-Sigma modulatorius. Jo privalumas – aukšta skiriamoji geba naudojant mažai komponentų. Yra siekiama pagerinti modulatoriaus greitaveiką, skyrą, sumažinti galios suvartojimą ir plotą ant kristalo. Tai pasiekama naudojant pažangesnes technologijas, kaip SiGe (silicio germanio technologija), kuris pasižymi didele greitaveika, mažu triukšmu ir suderinamumu su CMOS, arba naudojant modernias komponentų architektūras.

Šiame darbe suprojektuotas ir ištirtas Delta-Sigma keitiklio modulatorius, realizuotas SiGe technologija. Bus palyginamas modulatorius su kitomis technologijomis įgyvendintais modulatoriais, ar parametrai geresni ar blogesni, ar ši technologija gali konkuruoti su esamomis lustų technologijomis.

Šio darbo tikslas – taikant SiGe lustų technologiją suprojektuoti ir ištirti Delta-Sigma keitiklio modulatoriaus parametrus.

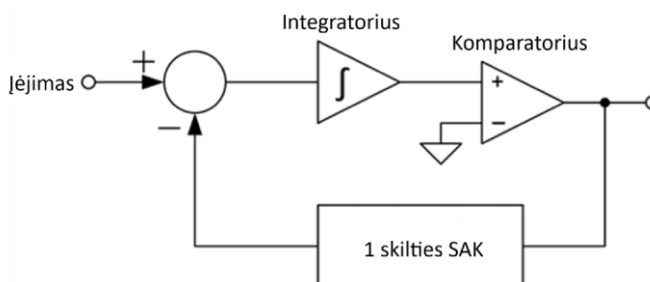
### Darbo užduotys:

1. Atlikti Delta-Sigma moduliatorių architektūrų analizę;
2. Atlikti Delta-Sigma modulatoriaus modeliavimą;
3. Suprojektuoti grandinės lygio Delta-Sigma moduliatorių;
4. Suprojektuoti modulatoriaus topologiją;
5. Palyginti gautus rezultatus su kitais darbais.

## 1. Literatūros analizė

### 1.1. Delta-Sigma modulatoriai

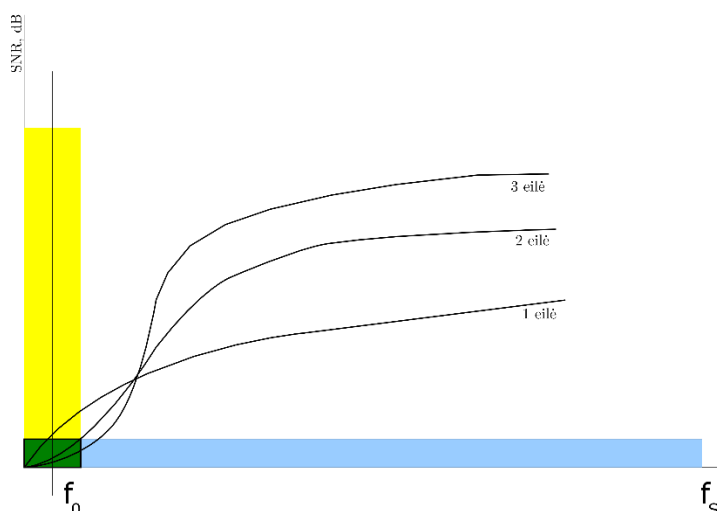
Delta-Sigma modulatoriai yra taikomi realizuojant aukštos skyros analoginį-skaitmeninį keitiklį. Jie geba perkelti kvantavimo triukšmą į aukštesnius dažnius, kurį galima vėliau filtruoti, ir tą atlieka naudodami paprastesnes analogines schemas. Paprasčiausias Delta-Sigma modulatorius susideda iš sumatoriaus, integratoriaus, komparatoriaus ir 1 bito SAK [1]. Modulatorius lygina įėjimo įtampą su atramine įtampa. Įėjimo įtampa yra integruojama ir išėjime yra generuojami skaitmeniniai impulsai. Sugeneruotų impulsų vidutinė įtampa ir atitinka įėjimo įtampą. Jeigu įėjime įtampa arti teigiamos atraminės įtampos, tai išėjime bus platus impulsas, jeigu arti žemės, siauri impulsai.



1 pav. Delta-Sigma modulatorius [2]

Pagrindiniai modulatoriaus parametrai – modulatoriaus eilė, ir diskretizavimo santykis (OSR). Modulatoriaus eilė – tai kiek integratorių bus modulatoriuje, kuo daugiau, tuo didesnis SNR, bet mažesnis stabilumas. Diskretizavimo santykis parodo kiek kartu daugiau signalas yra diskretizuojamas lyginant su didžiausio dažnio įėjimo signalu.

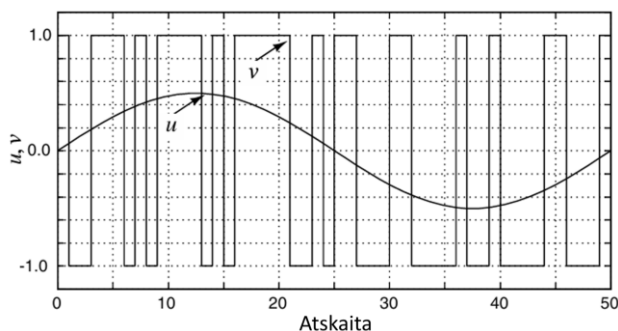
Norint gauti aukštą SNR, reikia naudoti labai didelį OSR, arba naudoti aukštesnės eilės moduliatorių. Iki ribinio dažnio, aukštesnė modulatoriaus eilė duoda mažesnę išėjimo triukšmą [1].



2 pav. Delta-Sigma modulatoriaus išėjimo triukšmo priklausomybė nuo eilės

Iš 2 pav. matosi, jog iki ribinio keitiklio dažnio  $f_0$ , modulatoriaus aukštesnė eilė duoda mažesnę triukšmą. Taip galima pasiekti didesnę SNR.

Delta-Sigma modulatorius sukuria stačiakampį signalą, kurio impulso plotis priklauso nuo įėjime esančios įtampos. Kuo įėjimo įtampa arčiau atraminės įtampos, tuo platesni impulsai. Analogiškai, kuo arčiau neigiamos atraminės įtampos, tuo siauresni impulsai. Šie impulsai yra vidurkinami naudojant skaitmeninį filtrą ir gaunama įėjimo signalo įtampos vertė.

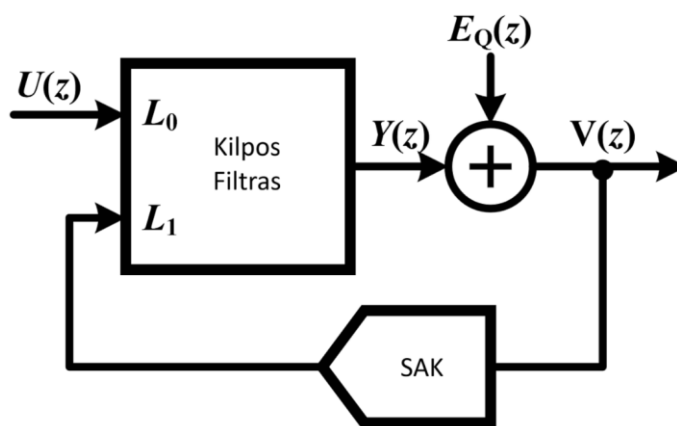


3 pav. Modulatoriaus įėjimo signalas (u) ir išėjimo signalas (v) [1]

Delta-Sigma modulatoriai yra naudojami analogas-skaitmuo keitikliuose, kur reikia labai aukštos skyros, mažo galios suvartojimo, bet nereikia didelės greitaveikos. Šie keitikliai dažnai naudojami audio signalų apdorojime, medicininiuose jutikliuose, ar kituose lėto greičio jutikliuose.

Siekiant gauti geresnį modulatoriaus SNR, mažesnę galios suvartojimą ar greitaveiką pasirinktai paskirčiai, modulatoriai taip pat skirstomi į skirtingas rūšis bei architektūras. Skirtingoms paskirtims projektuojami skirtingi modulatoriai, tad reikia suprasti kuo jie skiriasi, kad tinkamai būtų išrinktas optimalus variantas užsibrėžtai užduočiai.

Matematiškai delta sigma modulatorius aprašomas taip:



4 pav. Supaprastinta Delta-Sigma modulatoriaus struktūra [1, 29]

Ši struktūra gali būti aprašyta kaip 2 įėjimų filtras [1]:

$$Y(z) = L_0(z)U(z) + L_1(z)V(z). \quad (1)$$

Čia  $U(z)$  yra įėjimo signalas,  $V(z)$  – kvantuotas filtro išėjimas. Modulatoriaus išėjimas aprašomas taip [1]:

$$V(z) = Y(z) + E_Q(z). \quad (2)$$

Čia  $E_Q(z)$  yra tiesinis kvantavimo triukšmo, pridėto komparatoriaus, modelis.

Naudojant šias dvi formules, galima aprašyti moduliatorių taip:

$$Y(z) = STF(z)U(z) + NTF(z)E_Q(z). \quad (3)$$

Čia STF – signalo perdavimo funkcija, o NTF – triukšmo perdavimo funkcija. Šias funkcijas galime išsireikšti taip:

$$NTF(z) = \frac{1}{1 + L_1(z)}. \quad (4)$$

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)}. \quad (5)$$

Taip pat išsivedami ir filtro koeficientai:

$$L_0(z) = \frac{STF(z)}{NTF(z)}. \quad (6)$$

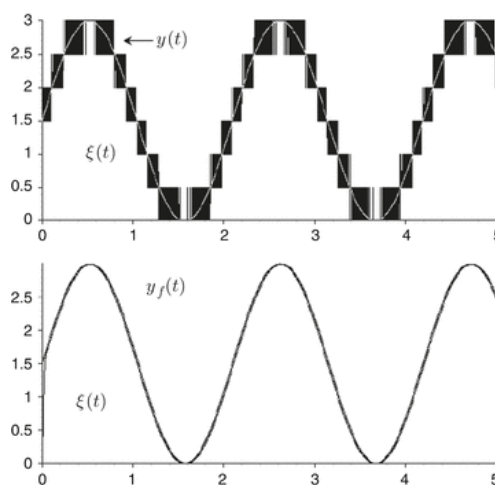
$$L_1(z) = 1 - \frac{1}{NTF(z)}. \quad (7)$$

Projektuojant moduliatorių, paprastai yra kuriamas NTF pagal reikalavimus, o STF – pritaikomas.

## 1.2. Delta-Sigma modulatoriaus rūšys

Delta-Sigma modulatoriai taip pat skirstomi į įvairias architektūras ir rūšis. Pirmas skiriamasis bruožas – diskretizavimas laike. Yra 2 skirtingos moduliatorių rūšys: diskretaus laiko ir nuoseklaus laiko. Diskretaus laiko modulatoriai naudoja „Sample and Hold“ schemas, kad diskretizuoti analoginį signalą, tuomet signalas natūraliai yra taktuojamas. Nuoseklaus laiko modulatoriai yra sudėtingesnio įgyvendinimo, tačiau diskretizavimas vyksta tik pabaigoje. Šios rūšys yra sutrumpinamos į DT (angl. *discrete time*) ir CT (angl. *continuous time*).

Antras skiriamasis bruožas – modulatoriaus architektūra. Moduliatorių eilės gali būti nuoseklios arba lygiagrečios. Gali būti grįžtamasis ryšys arba sumavimas. Kiekviena architektūra turi savo privalumus ir trūkumus, reikia pasirinkti pagal užsibrėžtas specifikacijas

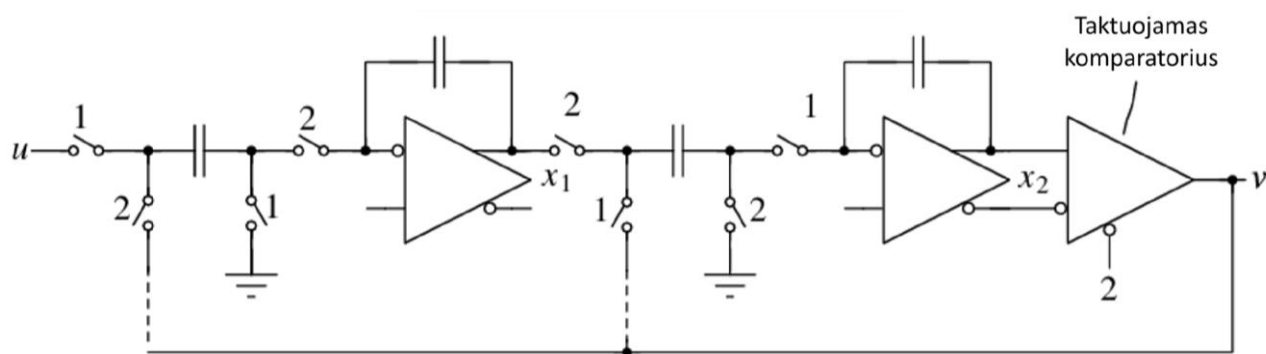


5 pav. 4 bitų Delta-Sigma moduliacija [16]

Taip pat yra galimybė keisti moduliatoriaus taktuojamo komparatoriaus kvantavimo lygį. Paprasčiausias variantas yra 2 bitų kvantavimas: žemas ir aukštas lygis (3 pav). Jeigu norima didesnės skyros, tai galima naudoti kelių bitų ASK, pavyzdžiui 3 bitų ASK, kad atitinka 8 kvantavimo lygių (5 pav.). Nuo to sudėtingėja projektavimas, tačiau gaunami geresni parametrai ir nereikia daug daugiau komponentų, įgyvendinimui.

### 1.2.1. Diskretaus laiko Delta-Sigma moduliatorius

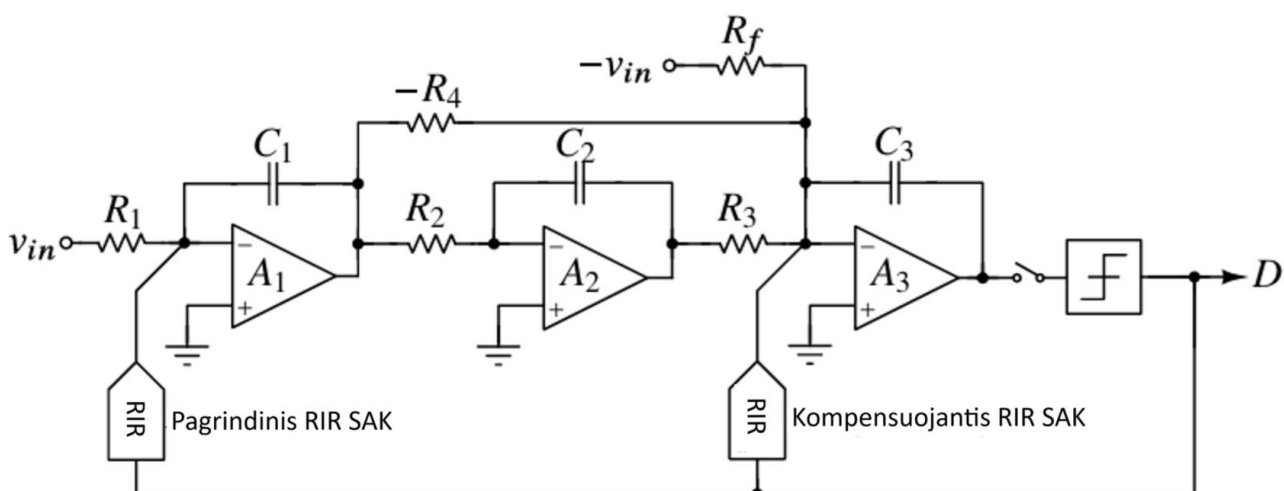
Diskretaus laiko Delta-Sigma moduliatorius įėjimo signalą diskretizuoja ir integruoja taktais [1]. Šios architektūros privalumas – paprastesnis įgyvendinimas. Taip pat, taktinis dažnis gali būti pasirenkamas laisvai ir moduliatorius vis tiek veiks. Ribojama tik tranzistorių pralaidumo juosta. Trūkumas - sunku gauti didelę pralaidumo juostą, tad šie moduliatoriai daugiausiai naudojami žemuose dažniuose



6 pav. Antros eilės diskretaus laiko Delta-Sigma moduliatorius [1, 29]

### 1.2.2. Nuoseklaus laiko Delta-Sigma moduliatorius

Nuoseklaus laiko Delta-Sigma moduliatorius vietoj „Sample and Hold“ naudoja RC integratorius, ir signalas yra integruojamas asinchroniškai, nereikia taktuoti [1]. Trūkumas - visus moduliatorius yra pritaikytas vienam SAK taktavimo dažniui, tad jam svyruojant, moduliatorius gali neveikti. Naudojant kitokį taktavimo dažnį, būna kitoks signalo vėlinimas, tad integratoriai pradės integruoti signalą netinkamu metu ir bus iškraipymai.



7 pav. Trečios eilės nuoseklaus laiko Delta-Sigma moduliatorius [1, 29]

### 1.3. Kitų darbų apžvalga

Buvo apžvelgti kiti darbai, kokie parametrai dabartiniuose Sigma-Delta moduliatoriuose pasižymi, kokios naudojamos technologijos ir kokios architektūros. Nustatyta, kad yra ir diskretaus laiko [3,6,7,8,13,14], ir nuoseklaus laiko [4,5,9,10,11,12] moduliatoriai. Abu yra panašiai tiriami, tik naudojami kitoms sritims. Diskretaus laiko moduliatoriai dominuoja garso ir medicinos paskirtims, kur reikia aukštos skyros ir mažų dažnių, o nuoseklaus laiko irgi yra garso reikmėms, tačiau taip pat yra ir darbų aukštesniuose dažniuose. Daugiausia naudojama CMOS technologija, daug tyrimų su kitomis medžiagomis ar BiCMOS nėra. Taip pat moduliatorių maitinimas yra 1–1,8 V ribose, mažai keitiklių daromi su aukštesnėmis įtampomis. Daugiausiai pabrėžiami parametrai būna galios suvartojimas ir SNDR.

**1 lentelė.** Kitų darbų apžvalga

Šaltinis	3	4	5	6	7	8
Architektūra	CIFF	CIFB	MASH	CIFF	CIFF	MASH
Implementacija	DT	CT	CT	DT	DT	DT
Pralaidumo juosta	250 Hz	20 kHz	50,3 MHz	156,25 kHz	20 kHz	5 MHz
SNDR	91 dB	91,3 dB	74,4 dB	57,7 dB	97,7 dB	77,1 dB
VDD	1,2 V	1,6 V	1,1 V	1 V	1,8 V	1,2 V
Galios suvartojimas	30 $\mu$ W	390 $\mu$ W	43 mW	29,5 $\mu$ W	300 $\mu$ W	4,2 mW
Technologija	90n CMOS	160n CMOS	40n CMOS	180n CMOS	180n CMOS	65n CMOS

**2 lentelė.** Kitų darbų apžvalga (tęsinys)

Šaltinis	9	10	11	12	13	14
Architektūra	SMASH	CIFB	MASH	CIFF	CIFF	CIFB
Implementacija	CT	CT	CT	CT	DT	DT
Pralaidumo juosta	50 MHz	25 MHz	24 kHz	125 MHz	10 kHz	20 kHz
SNDR	74,9 dB	77 dB	100,9 dB	65 dB	64,87 dB	65,3 dB
VDD	1,5 V	1,2 V	1,8 V	1,8 V	1 V	1,8 V
Galios suvartojimas	80,4 mW	41,4 mW	265 $\mu$ W	260 mW	17,14 $\mu$ W	420 $\mu$ W
Technologija	28n CMOS	65n CMOS	180n CMOS	45n CMOS	90n CMOS	180n CMOS

Naudojami sprendimai darbuose yra įvairūs, visi siekiantys pagerinti ar galios suvartojimą, ar sumažinti triukšmą, ar padidinti pralaidumo juostą. Išryškėja 3 architektūros – CIFB, CIFF ir MASH. MASH yra sudėtingiausia ir naudojama gauti didelę greitaveiką. CIFB ir CIFF yra gan panašios, tačiau CIFF dažniau naudojamas.

Yra trys vietos, kur tiriami tobulinimai – pralaidumo juosta, SNR ir galios suvartojimas. Pirma tobulėjimo sritis – triukšmo mažinimas. Kai naudojamos pažangesnės technologijos, vis sunkiau yra gauti reikiamą įtampos svyravimą, siekiant gauti gerą SNR (pvz. 98 dB), nes vis mažesnės maitinimo įtampos, dėl to reikia naudoti daugiau komponentų, daugiau galios. Vienas iš siūlomų sprendimų yra vietoj integratorių projektuoti naudojant komparatorių, o ne operacinį stiprintuvą. Naudojant ši

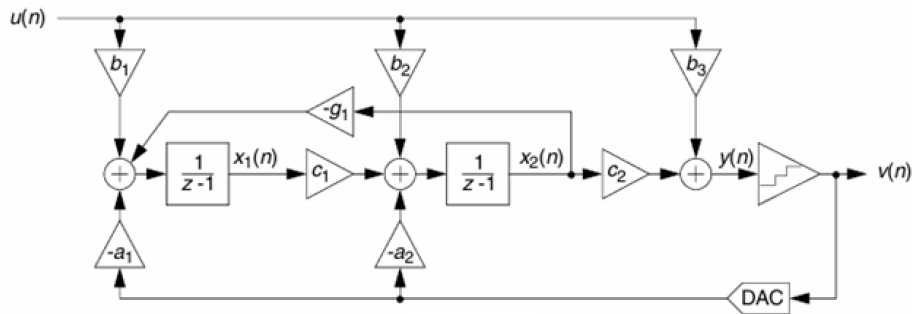
sprendimą, buvo gautas moduliatorius, kuris pasiekia panašų SNR (65,3 dB) kaip standartinės schemos, tik dar sunaudoja mažiau galios (420  $\mu$ W), dėl mažesnių integratoriaus parametrų reikalavimų [14]. Kitas sprendimas yra naudoti didesnės eilės moduliatorių, tačiau didinant eilę nukenčia stabilumas, būna vis siauresnis dažnių ruožas, kuriame moduliatorius stabilus. Sprendimas yra naudoti MASH architektūrą, kuri leidžia pasiekti aukštos eilės SNDR ir išlaikyti stabilumą [5, 8, 9]. Kitame darbe siūlo naudoti CIFF architektūrą ir sujungti su kelių bitų komparatoriumi, siekiant gauti aukštą skyrą nepaaukojant galios suvartojimo. Kelių bitų komparatorius stipriai pagerina SNDR, tačiau sudėtingėja projektavimas [4]. Siekiant gero tikslumo galima ir apjungti skirtingas architektūras. Vienas variantas yra naudoti 1 eilės Delta-Sigma moduliatorių kaip įėjimo pakopą, kurio paklaida maža, ir moduluoti tą signalą naudojant MASH architektūrą, siekiant gauti gerą SNR (100,9 dB) [11]. Taip pat galima gauti geresnių parametrų su sudėtingesnėmis operacinio stiprintuvo architektūromis. Su geresne Milerio kompensacijos schema galima lengviau gauti reikiamą SNDR (91 dB) [3].

Kita tobulėjimo vieta – greಿತaveika. Vienas iš dažnesnių tyrimų yra naudoti naujesnę technologiją ar naujesnę architektūrą. Jeigu moduliatorius projektuojamas naudojant mažesnius tranzistorius, tai galima gauti didesnę greಿತaveiką ir ~60 dB SNDR paaukojant galios suvartojimą [12].

Paskutinis tiriamas parametras – galios suvartojimas. Medicinos reikmėms reikia pakankamo tikslumo ir mažo galios sunaudojimo, ypač jei kuriama nešiojama aparatūra. Delta-Sigma moduliatoriai pasižymi mažu triukšmu, o naudojant CIFF architektūrą, galima suprojektuoti keitiklį, kurio SNDR > 60 dB, o galios suvartojimas labai mažas (29,5  $\mu$ W) [6]. Taip pat galima ir naudoti modernesnes operacinių stiprintuvų architektūras. Vienas darbas siūlo naudoti operacinį stiprintuvą, kuris pats automatiškai nusistato darbo tašką, ir jį taktuoti taip, kad jis būtų naudojamas ir 1 eilėje ir 2 eilėje, išnaudojant abu jo išėjimus. Šis sprendimas leidžia sutaupyti ir ploto ir galios, bei pasiekti aukštesnės eilės skyrą [6]. Kitas sprendimas – naudoti inverterius vietoj operacinių stiprintuvų. Naudojant inverterius galima gauti itin gerą SNDR (97,7 dB) ir išlaikyti mažą galios suvartojimą (300  $\mu$ W) [7].

### 1.3.1. CIFB architektūra

CIFB architektūra pasižymi grįžtamoju ryšiu [1]. Šios architektūros privalumai: geras tiesiškumas, kas leidžia pasiekti geresnę skyrą. Paprastesnis dizainas, reikia mažesnio integratoriaus stiprinimo, lengviau suprojektuoti. Stabilus, lengviau suprojektuoti triukšmo perdavimo funkcija. Trūkumai: vidiniai komponentai turi dirbti plačiame įtampos ruože, reikia tą įvertinti projektuojant. Didesnis galios suvartojimas.



8 pav. CIFB Delta-Sigma modulatorius [1, 29]

CIFB architektūros koeficientai aprašomi taip [1]:

$$L_0(z) = \sum_{i=1}^{N+1} \frac{b_i}{(z-1)^{N+1-i}} = -\frac{b_1 + b_2(z-1) + \dots + b_{N+1}(z-1)^N}{(z-1)^N}. \quad (8)$$

Grįžtamojo ryšio koeficientas aprašomas taip:

$$L_1(z) = \sum_{i=1}^N \frac{-a_i}{(z-1)^{N+1-i}} = -\frac{a_1 + a_2(z-1) + \dots + a_N(z-1)^{N-1}}{(z-1)^N}. \quad (9)$$

NTF tuomet galima išreikšti šitaip:

$$NTF(z) = \frac{1}{1 - L_1(z)} = \frac{(z-1)^N}{D(z)}. \quad (10)$$

D(z) išraiška:

$$D(z) = a_1 + a_2(z-1) + \dots + a_N(z-1)^{N-1} + (z-1)^N. \quad (11)$$

STF išraiška atrodo taip:

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} = \frac{b_1 + b_2(z-1) + \dots + b_{N+1}(z-1)^N}{D(z)}. \quad (12)$$

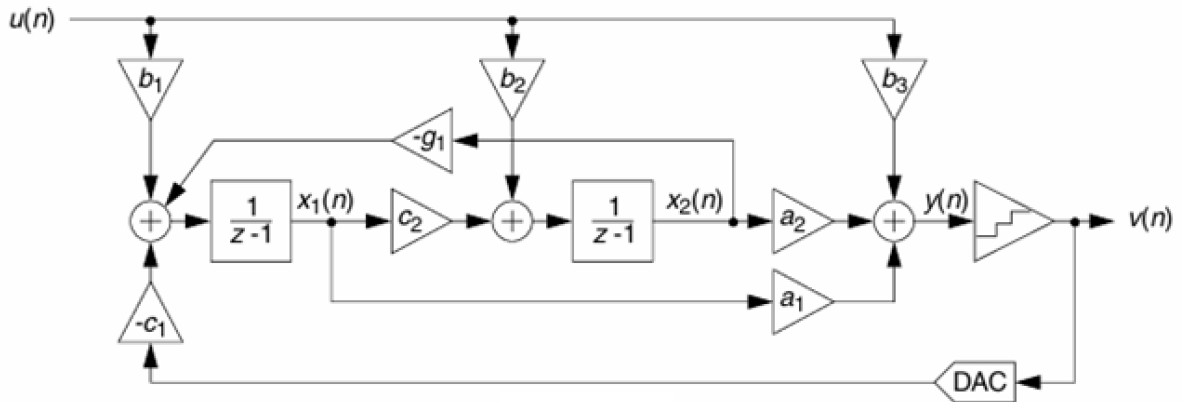
Iš formulių pastebima, kad NTF ir STF poliai yra nustatomi  $a_i$ , o STF nuliai nustatomi  $b_i$ . Jeigu STF = 1, tai gaunama modulatoriaus išėjimo funkcija:

$$V(z) = U(z) + NTF(z)E_Q(z). \quad (13)$$

Su šia sąlyga, integratoriaus netiesiškumai mažai iškraipo signalą, taip pat sumažinamas kvantavimo triukšmas. Dėl šios priežasties ši architektūra tinkama audio aplikacijoms, nes gaunamas mažiausias iškraipymas.

### 1.3.2. CIFF architektūra

CIFF architektūra sumuoja visus signalus su tarpiniais signalais [1]. Šios architektūros privalumai: Mažesnis įtampos ruožo reikalavimas, mažesni kondensatoriai, sutaupoma vietos kristale. Geriau veikia su naujomis technologijomis, kadangi reikia mažesnių įtampų. Trūkumai: sudėtingesnis projektavimas, sunkiau suprojektuoti triukšmo perdavimo funkciją. Reikia užtikrinti komponentų vienodumą, nes ši architektūra jautresnė koeficientų paklaidoms. Be grįžtamo ryšio sunkiau užtikrinti stabilumą.



9 pav. CIFF Delta-Sigma modulatorius [1, 29]

CIFF architektūros koeficientai aprašomi taip [1]:

$$L_0(z) = b_1 \left( \sum_{i=1}^N a_i I^i(z) \right) + b_2 \left( \sum_{i=2}^N a_i I^i(z) \right) + \dots + b_{N+1}; \quad (14)$$

$$L_0(z) = -a_1 I(z) - a_2 I^2(z) - \dots - a_N I^N(z). \quad (15)$$

Čia  $I$  – vėlinančio integratoriaus perdavimo funkcija. Kai  $STF = 1$ , modulatoriaus formulė gaunama tokia:

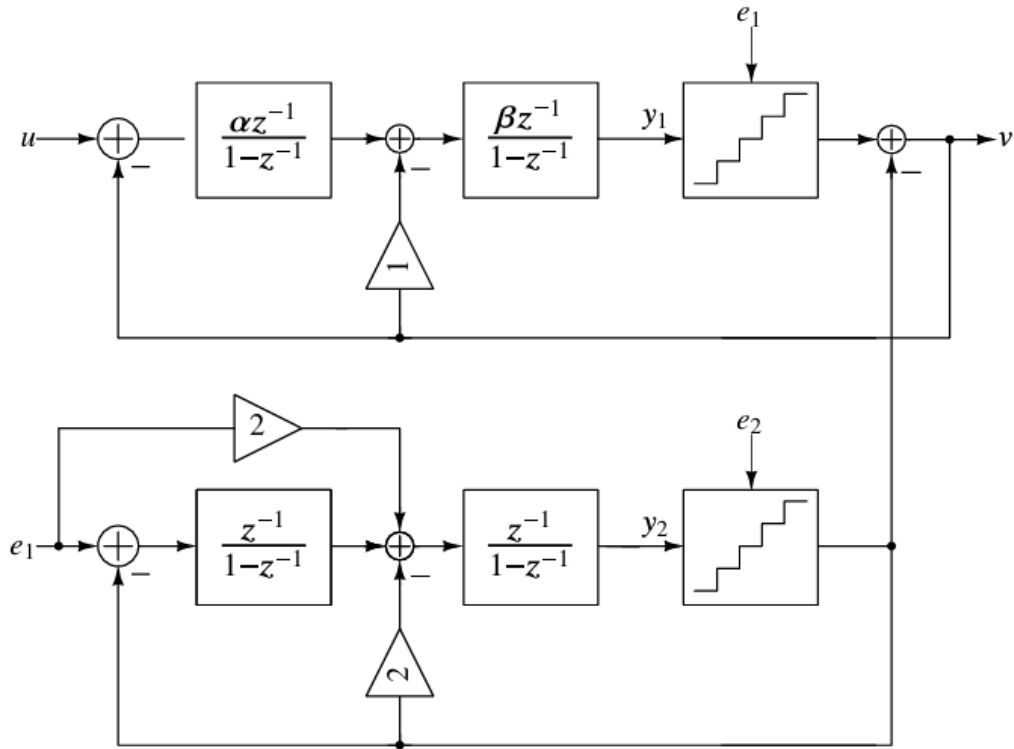
$$U(z) - V(z) = -NTF(z)E_Q(z). \quad (16)$$

Iš formulių galima suprasti, kad ši architektūra pasižymi lengvesniais integratorių parametrų reikalavimais.

Abiejose išvardytose architektūrose taip pat įvedami ir  $c_i$  ir  $g_i$  koeficientai.  $c_i$  koeficientai naudojami tam, kad suderinti filtrą prie norimo dinaminio įtampos diapazono.  $g_i$  koeficientai įvedami tam, kad optimizuoti NTF nulius, siekiant gauti daugiau SNR.

### 1.3.3. MASH architektūra

MASH, angl. Multi-stage Noise Shaping. Ši architektūra pasižymi tuo, kad naudojamos lygiagrečios pakopos. Šios architektūros privalumai: naudoja mažos eilės lygiagrečias pakopas, kiekviena pakopa veikia atskirai, tad įdėti pakeitimus nesudėtinga. Gerą skyrą ir greitaveiką galima pasiekti naudojant skaitmenines schemas ir nereikia sudėtingų analoginių schemų. Stabili architektūra, kadangi naudojamos žemos eilės pakopos. Trūkumai: Reikia suprojektuoti skaitmeninę logiką, nėra vien analogas. Skaitmeninės schemas sudėtingumas greitai padidina ploto ir galios reikalavimus.



10 pav. MASH Delta-Sigma modulatorius [1, 29]

### 1.4. Architektūrų apibendrinimas

Visos 3 architektūros, kuriuos išryškėjo atlikus literatūros analizę, palyginamos 3 lentelėje.

3 lentelė. Delta-Sigma modulatoriaus architektūrų palyginimas

	CIFB	CIFF	MASH
Reikalingas įtampos diapazonas	Aukštas	Žemas	Vidutinis
Galios suvartojimas	Aukštas	Žemas	Vidutinis
Tiesiškumas	Aukštas	Vidutinis	Aukštas
Stabilumo užtikrinimas	Lengvas	Sudėtingas	Lengvas
Sudėtingumas	Vidutinis	Didesnis	Didelis
Greitaveika	Vidutinė	Didelė	Vidutinė
NTF sudėtingumas	Lengvas	Sudėtingas	Vidutinis
Jautrumas gamybos netiesiškumams	Vidutinė	Didelis	Didelis
Naudojimo sritis	Audio, medicina	RF, žema galia	Moduliarūs prietaisai

Apibendrinus visas architektūras susidaro aiškesnis vaizdas, kurią reikia pasirinkti. Siekiant žemo galios suvartojimo, verta naudoti CIFF architektūra. Jeigu norimas didelis moduliarumas, daug konfigūravimo pasirinkimų, tai reikia naudoti MASH, kadangi galima daug parametrų parinkti programuojant, jeigu reikia aukštos skyros, tai verta naudoti CIFB architektūra. Kadangi SiGe pasižymi mažu triukšmu ir gera greitaveika, tai tikrų ir CIFB ir CIFF architektūros, kadangi su viena galima optimizuoti skyrą, o su kita – greitaveika.

### **1.5. Literatūros analizės apibendrinimas**

Atlikus literatūros analizę paaiškėjo, kad Delta-Sigma modulatoriai yra vystomi dėl savo aukštos skyros, ir triukšmo valdymo. Pagrindė naudojami tokiose srityse, kur nereikia aukštų dažnių skaitmenizuojant analoginius signalus, kaip medicinoje ar garso sistemose. Tačiau yra keli panaudojimai ir ryšio sistemose, kur reikalingi aukštesni dažniai.

Moduliatorių architektūros išskiriamos į dvi pagrindines kategorijas – diskretaus laiko ir nuoseklaus laiko. Abi implementacijos yra tiriamos, neišsiskiria viena kaip visapusiškai geresnė. Daugiausiai naudojama CMOS technologija, kuri yra labiausiai paplitusi. Norint pagerinti keitiklyje naudojamo moduliatoriaus parametrus, yra keletas sprendimų: schemotechnika arba technologija. Mažai darbų yra, kurie naudotų SiGe lustų technologiją, tad yra dar poreikis jos panaudojimui iširti. SiGe turi geresnius parametrus, kurie tiktų Delta-Sigma keitikliui: mažas triukšmas, didelė greitaveika, HBT suderinamumas su CMOS. Dar svarbus SiGe privalumas – jungikliai, jie yra greitesni už standartines technologijas ir tiesiškesni, tad diskretaus laiko moduliatoriuje turėtų būti labai naudingi. SiGe technologijos potencialas Delta-Sigma modulatoriuose nėra pilnai iširtas, ir būtų verta eksperimentuoti. Galiausiai išryškėjo 3 architektūros: CIFB, CIFF ir MASH. MASH naudojamas, kai reikia didelės greitaveikos, o CIFB ir CIFF iš pirmo žvilgsnio atrodo gan lygiaverčiai.

Apibendrinant, Delta-Sigma moduliatorių sritis yra paklausy, vis dar vykdomi tyrimai ir egzistuoja galimybė inovacijoms. SiGe lustų technologija pasižymi geromis savybėmis ir galėtų tapti CMOS alternatyva. Šiame darbe bus tirama, ar SiGe Delta-Sigma modulatorius prilygsta CMOS modulatoriams, ir ar yra vietos kur tobulėti.

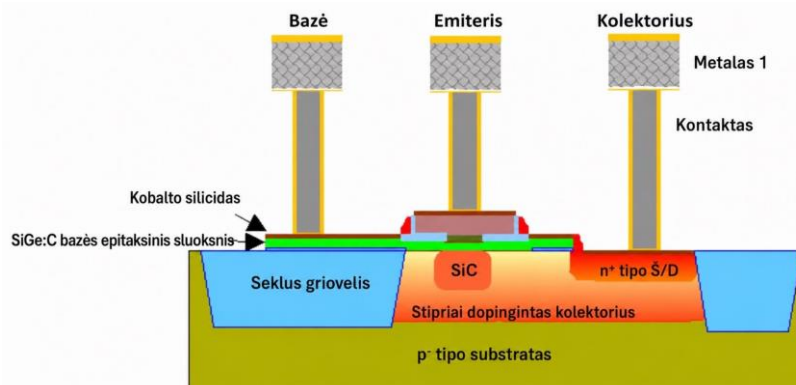
Šiame darbe bus projektuojamas 20 kHz pralaidumo juostos Delta-Sigma modulatorius ir siekiama gauti 98 dB SNDR ir minimalus galios suvartojimas. Bus naudojama SiGe technologija, kuri pasižymi mažu triukšmu ir išbandomos skirtingus operacinių stiprintuvų architektūros. Naudojama 1,8 V maitinimo įtampa. Su šiais parametrais bus modeliuojamas idealus modulatorius, ir palaiptu keičiami idealūs komponentai į realius, siekiant kuo arčiau pasiekti reikalavimus.

## 2. Technologijų ir architektūrų analizė ir parinkimas

### 2.1. IHP 130nm SiGe lustų technologija

Darbe naudojama IHP instituto, kuris įsikūręs Vokietijoje, SG13G2 SiGe lustų technologija.

SG13G2 yra aukšto našumo BiCMOS technologija su 0,13  $\mu\text{m}$  CMOS procesu. Joje naudojami SiGe:C npn-HBT bipoliariniai tranzistoriai, kurių ribinis dažnis (fT) siekia iki 350 GHz, o maksimalaus osciliavimo dažnis (fmax) – iki 450 GHz [18,19].



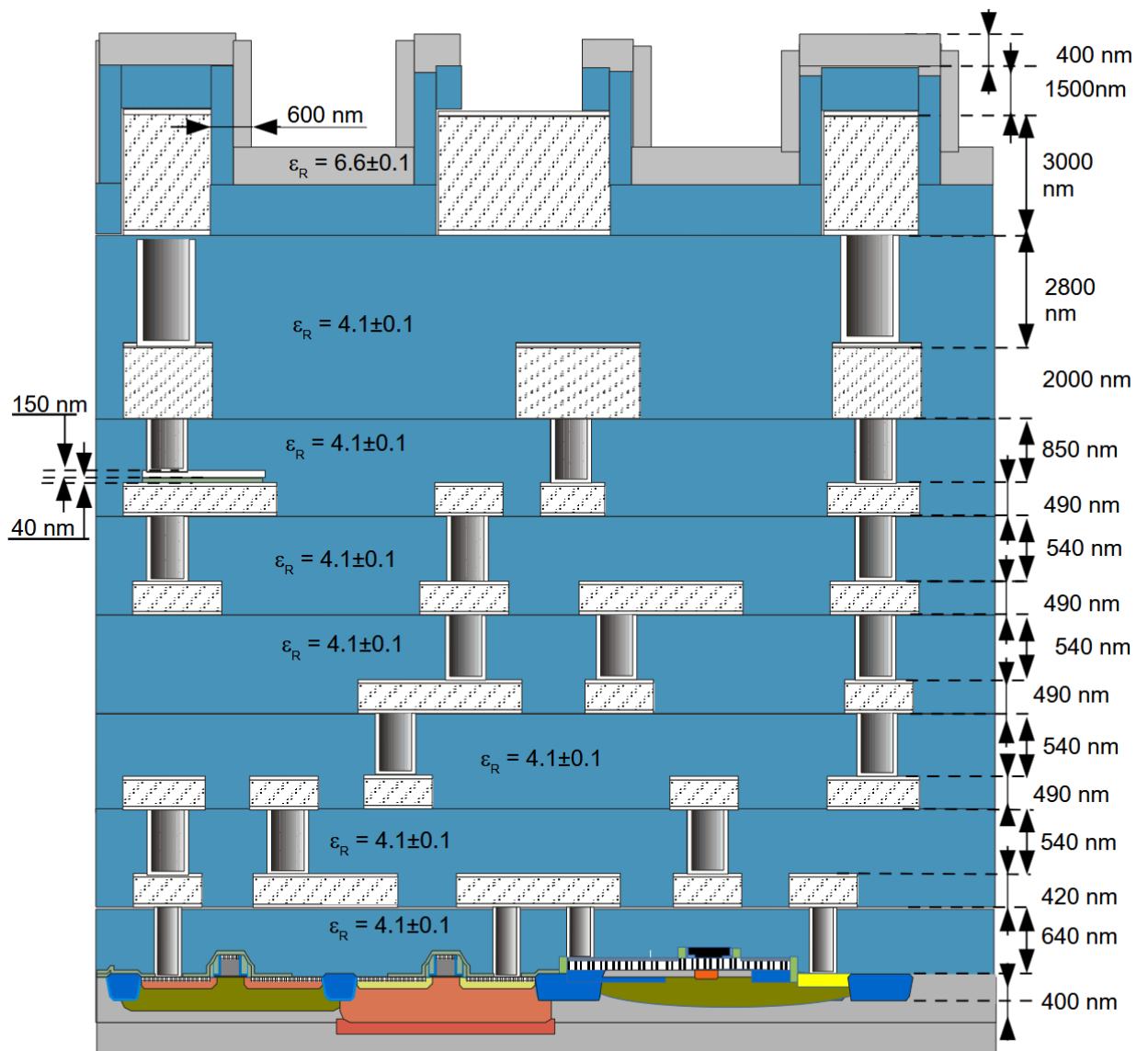
11 pav. npn-HBT tranzistoriaus skerspjūvis [20]

HBT tranzistorių pagrindiniai privalumai yra tai, kad jų ribiniai dažniai yra labai dideli, ir jie gali būti naudojami kartu su CMOS tranzistoriais, tad pasinaudoti abiejų technologijų privalumais vienoje schemoje.

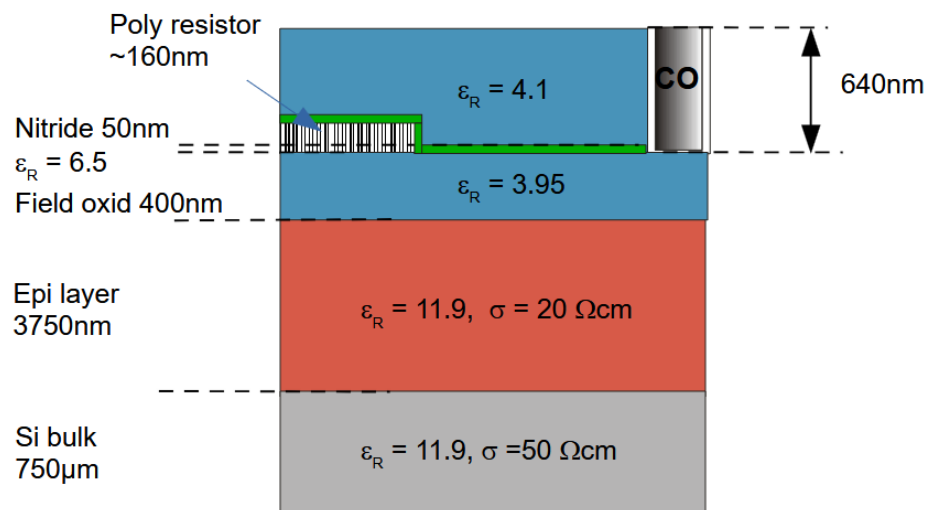
Šis procesas siūlo du CMOS užtūrų oksido tipus: ploną užtūros oksidą, skirtą 1,2 V skaitmeninei logikai, ir storą oksidą, skirtą 3,3 V maitinimo įtampai. Abiem atvejais siūlomi NMOS, PMOS ir izoliuoti NMOS tranzistoriai.

Taip pat yra ir pasyvieji komponentai, polisilicio rezistoriai ir MIM kondensatoriai.

Metalizacijos sluoksniai susidaro iš 5 plonų metalų sluoksnių, 2 storų metalų sluoksnių (2 ir 3  $\mu\text{m}$  storio) bei MIM sluoksnio.



12 pav. SG13G2 metalizacijos sluoksniai [21]



13 pav. SG13G2 pasyvių komponentų skerspjūvis (žemiau 1 metalo) [21]

Ši technologija bendrai susideda iš šių sluoksnių [21]:

- • **Shallow trench isolation (STI):** Negilių griovelių izoliacija (STI)
  - • **NWell formation:** N srities (N šulinio) formavimas
  - • **PWell formation:** P srities (P šulinio) formavimas
  - • **Triple Well formation:** Trigubos srities (trigubo šulinio) formavimas
  - • **Poly Gate formation:** Polikristalinio silicio užtūros (skliauto) formavimas
  - • **Bipolar Window opening:** Bipolinio tranzistoriaus lango atvėrimas
  - • **Collector Window opening:** Kolektoriaus lango atvėrimas
  - • **Emitter opening:** Emiterio atvėrimas
  - • **Emitter Poly definition:** Emiterio polikristalinio silicio formavimas (geometrijos apibrėžimas)
  - • **Base Poly definition:** Bazės polikristalinio silicio formavimas (geometrijos apibrėžimas)
  - • **nSD implant / drive:** n-tipo ištakos/sankasos (Source/Drain) implantacija ir aktyvavimas (terminis įterpimas)
  - • **pSD implant / drive:** p-tipo ištakos/sankasos (Source/Drain) implantacija ir aktyvavimas (terminis įterpimas)
  - • **Salicide formation:** Pačių susiformuojantis silicidas (salicidas) arba salicidavimas (*naudojamas elektrinei varžai sumažinti*)
  - • **Contact definition:** Kontaktų formavimas (apibrėžimas) (*pirmasis*
- metalo sluoksnis, jungiantis silicij su Metal1)*
  - • **Metal1:** Pirmasis metalizacijos sluoksnis (Metalas 1)
  - • **Via1:** Pirmoji tarpmetalinė jungtis (Via 1)
  - • **Metal2:** Antrasis metalizacijos sluoksnis (Metalas 2)
  - • **Via2:** Antroji tarpmetalinė jungtis (Via 2)
  - • **Metal3:** Trečiasis metalizacijos sluoksnis (Metalas 3)
  - • **Via3:** Trečioji tarpmetalinė jungtis (Via 3)
  - • **Metal4:** Ketvirtasis metalizacijos sluoksnis (Metalas 4)
  - • **Via4:** Ketvirtoji tarpmetalinė jungtis (Via 4)
  - • **Metal5:** Penktasis metalizacijos sluoksnis (Metalas 5)
  - • **MIM formation:** MIM (metalas-dielektrikas-metalas) kondensatoriaus formavimas
  - • **TopVia1:** Pirmoji viršutinė tarpmetalinė jungtis
  - • **TopMetal1:** Pirmasis viršutinis metalizacijos sluoksnis
  - • **TopVia2:** Antroji viršutinė tarpmetalinė jungtis
  - • **TopMetal2:** Antrasis viršutinis metalizacijos sluoksnis (*dažniausiai naudojamas kontaktinėms aikštelėms*)
  - • **Passivation:** Pasyvavimas (pasyvacinio apsauginio sluoksnio užnešimas)
  - • **Parametric test:** Parametrinis testavimas (elektrinių parametrų tikrinimas ant plokštelės)

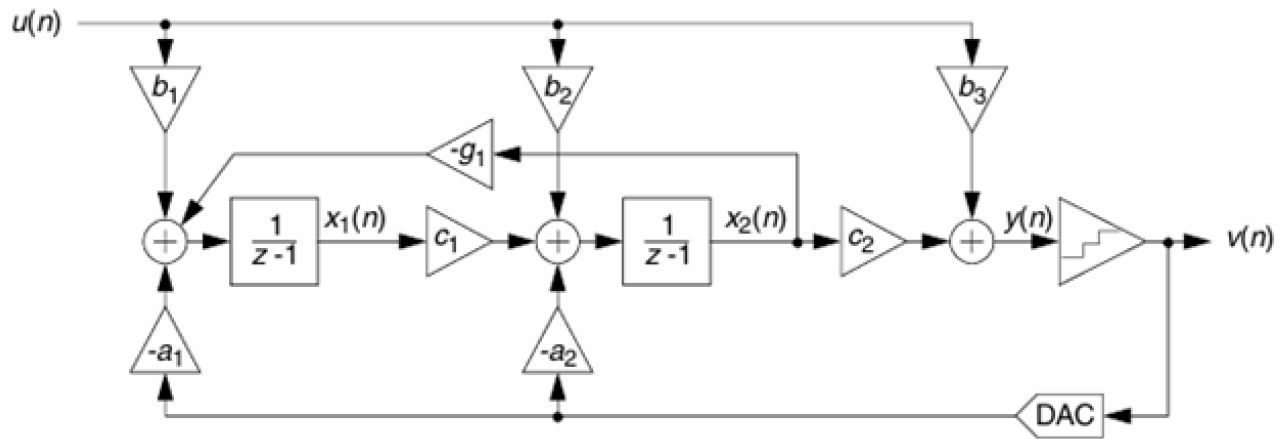
Taip pat SG13G2 visai neseniai tapo open-source, tad yra galimybė projektuoti lustus naudojant ir nemokamas programas kaip xschem [22] ir klayout [23]. xschem – nemokama schemų įvedimo programa, kuri apsiungia su ngspice, kad projektuoti ir modeliuoti integrinę ir diskrečių grandynų schemas.

SiGe technologija buvo pasirinkta dėl 2 pagrindinių priežasčių. Pirmą, tai SiGe jungikliai pasižymi labai geromis savybėmis, jie yra greiti ir turi mažą įtampos nusistovėjimo laiką. Ši savybė būtų labai naudinga diskretaus laiko Delta-Sigma moduliatoriuje, kuris susidaro iš labai daug jungiklių. Tikėtina, kad su šia technologija galima gauti gerą SNR su mažu galios suvartojimu. Antras SiGe privalumas, kuris padėtų, tai faktas, kad galima naudoti bipolarinius tranzistorius kartu su CMOS

vienu metu. Tai reiškiasi, kad keitiklio analoginė dalis gali būti padaryta pasinaudojant bipoliarinius, o skaitmeninę dalį galima padaryti iš CMOS. Taip pasitelkiamos abiejų tranzistorių stiprybės.

## 2.2. Delta-Sigma moduliatoriaus architektūra

Pasirinkta naudoti CIFB Delta-Sigma moduliatoriaus architektūrą:



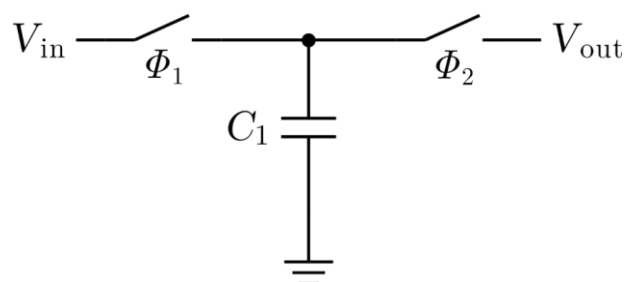
14 pav. CIFB Delta-Sigma moduliatorius [1]

Ši architektūra naudoja grįžtamąjį ryšį, kad moduluoti signalą. Pasirinkta naudoti CIFB, dėl to, nes projektuojamas audio dažnių moduliatorius, t.y. mažo greičio, didelės skyros. Šios architektūros pagrindinė stiprybė ir yra geras triukšmo formavimas, galima gauti labai gerą SNR. Trūkumai šios architektūros yra didesnis galios suvartojimas ir sudėtingesnis integratoriaus projektavimas. Integratoriams reikės didesnio galimo išėjimo įtampos ruožo, tad negalima projektuoti labai mažai maitinimo įtampai.

Dėl grįžtamo ryšio sudėtingėja aukštų eilių projektavimas, tai šiame darbe bus projektuojamas 2 eilės moduliatorius su 500 OSR. Su tokia triukšmo perdavimo funkcija tikrai įmanoma gauti apie 100 dB SNR.

### 2.2.1. Komutuojamo kondensatoriaus architektūra

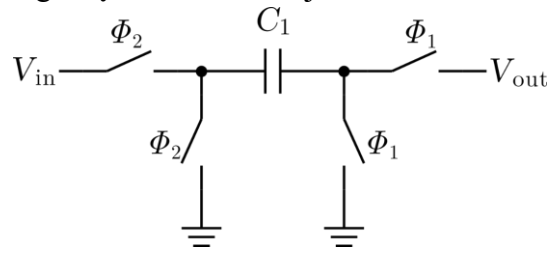
Projektuojamas diskretaus laiko Delta-Sigma moduliatorius, tad laiko diskretizavimas atliekamas komutuojant kondensatorius. Komutuojami kondensatoriai elgiasi kaip varžos, tik turi privalumą, kad sunaudojama mažiau galios, kadangi srovė teka tik kol kondensatorius įsikrauna. Pats paprasčiausias komutuojamas kondensatorius susidaro iš talpos ir 2 jungiklių.



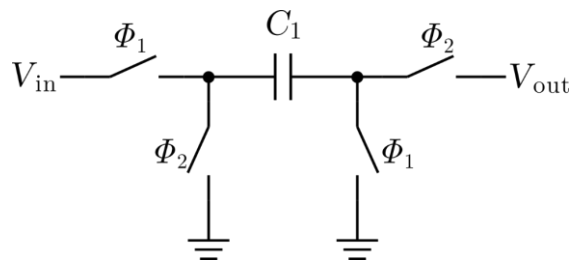
15 pav. Komutuojamas kondensatorius [26]

Čia, S1 fazėje kondensatorius įkraunamas, o S2 fazėje, iškraunamas. Problema, kad parazitiniai talpimai ir varžos keičia kondensatoriaus įsikrovimo laiką, tad šis sprendimas nėra patikimas, kur reikia tikslių laiko dedamųjų.

Galima suprojektuoti ir sudėtingesnę schema, naudojant 1 kondensatorių ir 4 jungiklius.



16 pav. Invertuojantis 4 jungiklių komutuojamas kondensatorius [26]

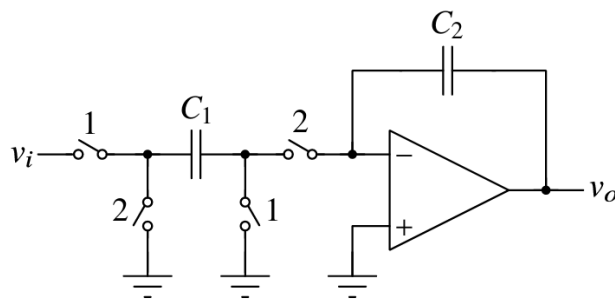


17 pav. Neinvertuojantis 4 jungiklių komutuojamas kondensatorius [26]

Skirtumas tarp invertuojančio ir neinvertuojančio jungiklio tai srovės kryptis. Dėl junginėjimo fazių išdėstymo, vienas jungiklis išlaiko srovės kryptį, o kitam teka priešingai.

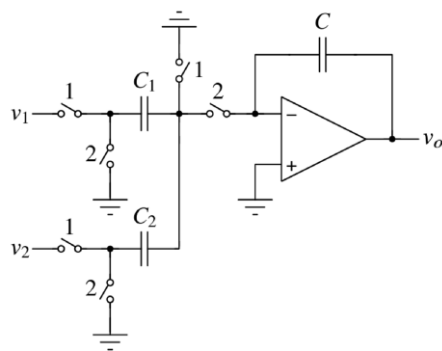
Čia yra parazitiniams parametrams nejautrus komutuojamas kondensatorius. Dėl junginėjimo principo išvengiami parazitiniai talpimai nuo prijungtų laidų ir tranzistorių santakos/ištakos diodų. Taip pat, galima naudoti ir mažesnę talpą, taip sutaupoma vietos. Šiame darbe bus naudojami neinvertuojantys parazitiniams parametrams nejautrūs komutuojami kondensatoriai.

### 2.2.2. Integratoriaus architektūros



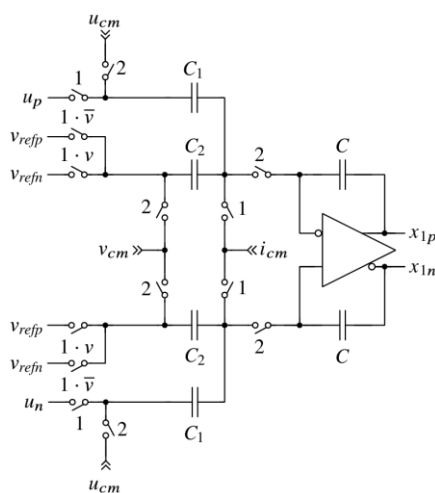
18 pav. SC integratorius [1]

Čia yra paprasčiausias komutuojamų kondensatorių (SC) integratorius, kur vietoj varžos naudojamas junginėjamas kondensatorius.



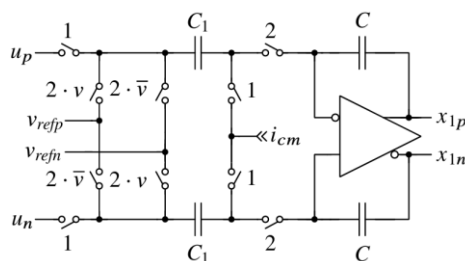
19 pav. SC integratorius su 2 įėjimais [1]

Galima ir naudoti 2 skirtingus įėjimo signalus. Galima ir sudėti du signalus, ar nuskaityti du skirtingus signalus, atitinkamai kaip jungiklių fazės parinktos



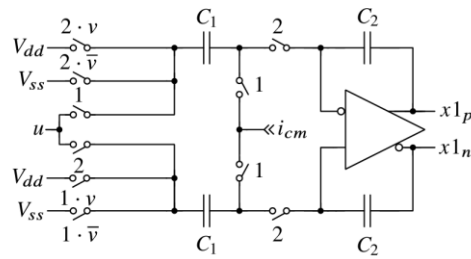
20 pav. Diferencinis SC integratorius su atskirais įėjimo ir SAK talpumis [1]

Čia yra pilnai diferencinis SC integratorius, jo privalumas yra didelis SNR [1]. Jungikliai junginėjasi nebe į žemę, o virtualią žemę. Šioje schemoje yra 3 virtualios žemės:  $u_{cm}$ ,  $v_{cm}$  ir  $i_{cm}$ .  $i_{cm}$  yra įėjimo virtuali žemė,  $u_{cm}$  yra įėjimo signalo  $u$  virtuali žemė, o  $v_{cm}$  yra atraminės įtampos virtuali žemė.  $u_{cm}$  ir  $v_{cm}$  nedaro įtakos integratoriaus veikimui. Jos visos pasirenkamos pagal poreikius, pagal naudojamas įtampas. Šiuo atveju visur bus naudojamas 0-1,8 V maitinimas, tai virtuali žemė nustatoma puse maitinimo įtampai – 0,9 V.  $u_{cm}$  ir  $v_{cm}$  nebus naudojami.



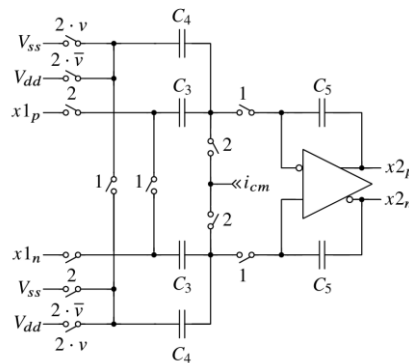
21 pav. Diferencinis SC integratorius su bendrais įėjimo ir SAK talpumis [1]

Galima ir apjungti atraminės įtampos talpumus ir įėjimo talpumus. Ši schema yra paprastesnė, tačiau yra labiau jautri gamybos procesų svyravimams ir reikia rail-to-rail operacinio stiprintuvo, tai iš tos pusės projektavimas sudėtingėja.



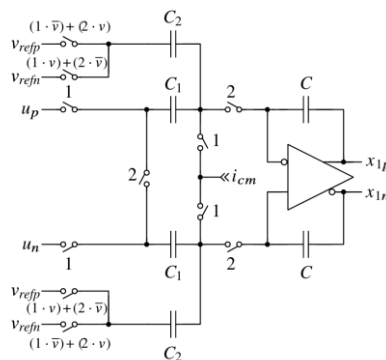
22 pav. Diferencinis SC integratorius su vienpoliario signalo – diferencinio signalo konversija [1]

Šis integratorius bus naudojamas projektuojamame moduliatoriuje. Čia vienpoliarius signalas yra konvertuojamas į diferencinį, taktuojamą kondensatorius skirtingomis fazėmis. Čia privalumas toks, kad įėjime nereikia diferencinio signalo, tačiau gaunamas didelis SNR dėl viduje moduliatoriaus naudojamos architektūros.



23 pav. Antros Delta-Sigma moduliatoriaus pakopos SC integratorius [1]

Antrai pakopai galima supaprastinti schemą naudojant trumpinančius jungiklius, kurie automatiškai randa virtualios žemės įtampą. Trumpinantys jungikliai prijungia abu įėjimus prie  $i_{cm}$  įtampos, ir taip abu balansuojasi. Ši schema taip pat supaprastina moduliatoriaus projektavimą, nes reikia mažiau grįžtamojo ryšio koeficientų.



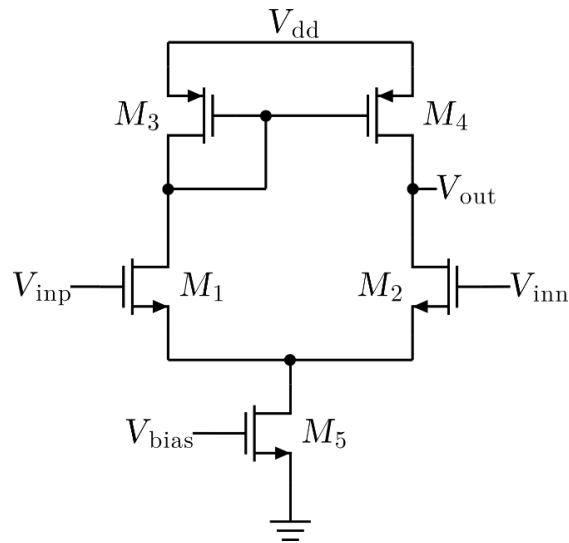
24 pav. Antros Delta-Sigma moduliatoriaus pakopos SC integratorius su dvigubai nuskaityta atramine įtampa [1]

Moduliatoriuje antros pakopos integratoriaus schema pasirinkta tokia, nes dvigubai nuskaitytą atraminę įtampą gaunamas mažesnis triukšmas. Skirtumas yra SAK jungiklių fazė, kuri yra nustatoma su taktinių generatoriumi.

Su pasirinktais integratoriais (22 pav. ir 24 pav.) galima bus naudoti vienpoliarių maitinimą ir nereikės diferencinio įėjimo. Gaunamas aukštas SNR stipriai nepasunkinant projektavimo.

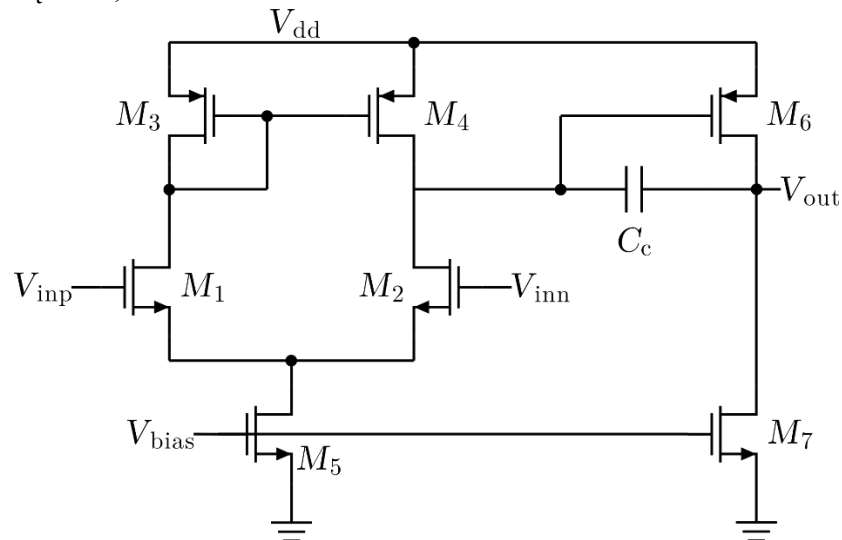


nuo jo parametrų ir priklauso visi moduliatoriaus parametrai. Siekiama gauti kuo didesnę stiprinimą, ir pralaidumo juostą, kuri būtų bent 5 kartus didesnė už diskretizavimo dažnį. Galio suvartojimas kuo mažesnis, tuo geriau.



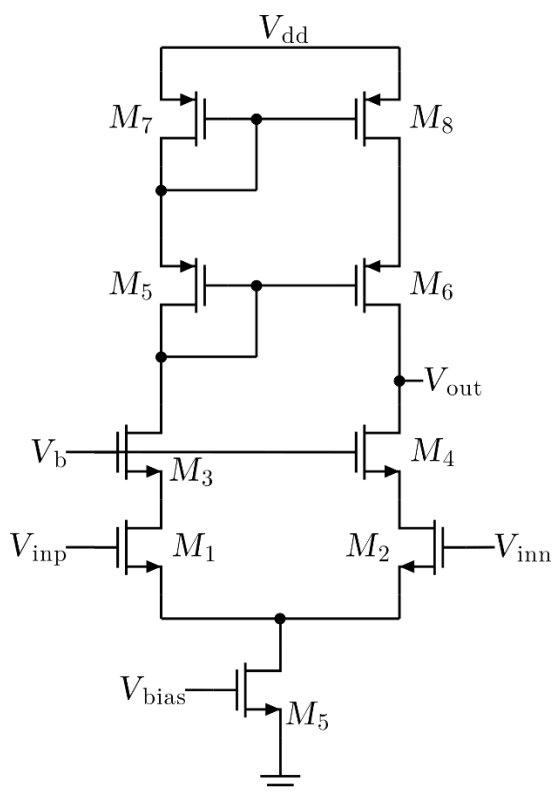
27 pav. 5 tranzistorių operacinis stiprintuvas [27]

Pats paprasčiausias stiprintuvas, susidaro tik iš 5 tranzistorių. Čia privalumas tai, kad ši architektūra yra labai stabili, taip pat gaunama ir aukšta greitaveika. Tačiau trūkumas tai, kad mažas stiprinimas. Delta-Sigma moduliatoriuje reikia kuo didesnio stiprinimo, kad sumažinti kvantavimo triukšmą ir gauti geresnę bendrą SNR, tad ši architektūra atmetama.



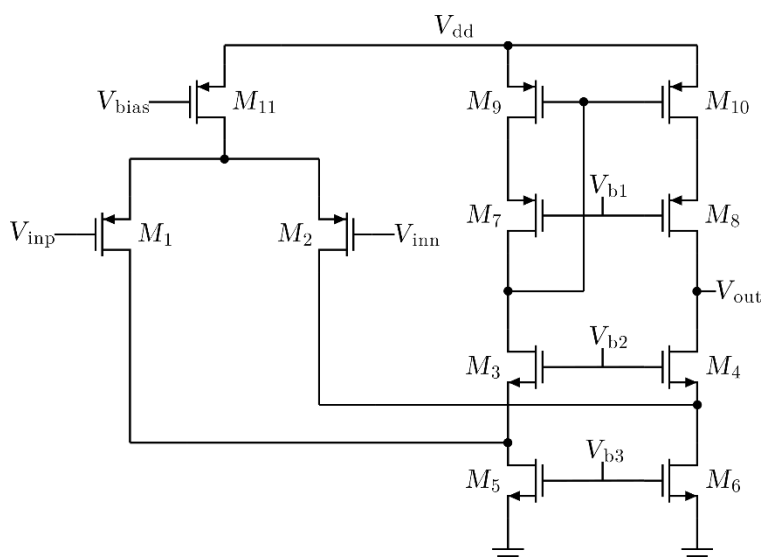
28 pav. 2 pakopų operacinis stiprintuvas [27]

Čia yra 5-T operacinio stiprintuvo patobulinimas, įvedama 2 pakopa. Ši pakopa duoda gerokai daugiau stiprinimo, taip pat dėl žemos išėjimo varžos, galima naudoti platesnį apkrovų ruožą. Trūkumai yra tokie, kad 2 pakopai reikia kompensacijos, tad grįžtamas ryšys sumažina pralaidumo juostą, ir stiprintuvas užsiriboja ir iškraipomas signalas kai įėjimo įtampa yra arti VSS ar VDD, priklausomai ar NMOS ar PMOS įėjimo pora. Dėl šio iškraipymo ši architektūra nėra pageidaujama keitikliuose, nes atsiranda didelis netiesiškumas. Dėl šios priežasties ši architektūra atmetama.



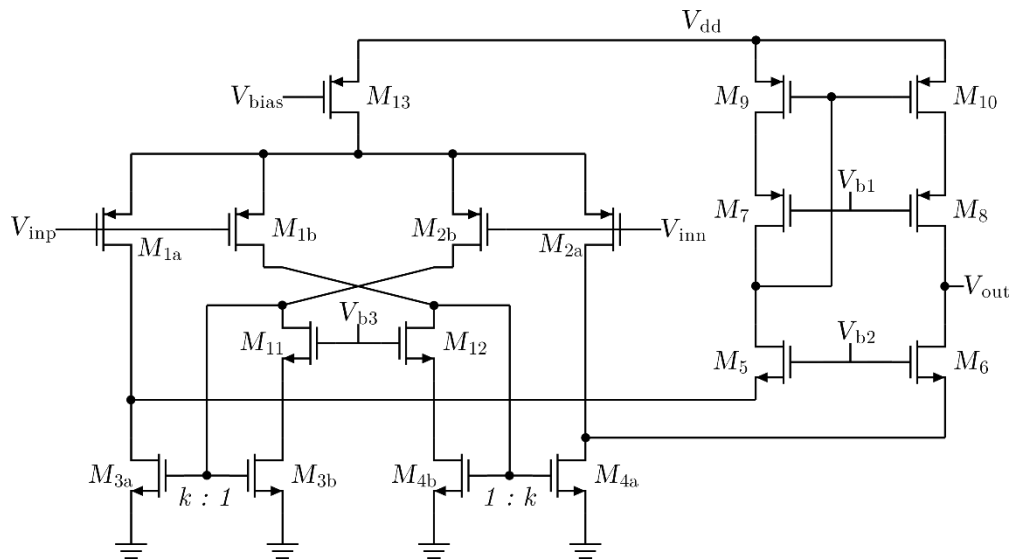
29 pav. Teleskopinis operacinis stiprintuvas [27]

Šis operacinis stiprintuvas yra greitas, turi didelį stiprinimą, yra stabilus ir tiesiškas. Tačiau dėl to, kad reikia kaskodomis sujungti 5 ar daugiau tranzistorių, tai reikia ir aukštos maitinimo įtampos. Kadangi projektuojamas moduliatorius prie žemos maitinimo įtampos (1,8 V), ši architektūra nėra tinkama, nes paprasčiausiai neužteks maitinimo, kad atidaryti visus tranzistorius. Jeigu būtų projektuojamas moduliatorius prie aukštesnės maitinimo įtampos, tai tada ši architektūra tikriausiai būtų geriausia.



30 pav. Folded-cascode operacinis stiprintuvas [27]

Čia yra tarpinis variantas tarp teleskopinio ir 5T operacinių stiprintuvų, jis yra stabilus, gaunamas didelis stiprinimas, vidutinis greitis, ir yra tiesiškas. Ši architektūra yra geras kandidatas integroriaus stiprintuvui.

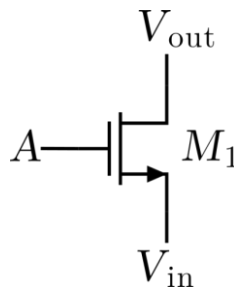


31 pav. Recycling folded-cascode operacinis stiprintuvas [17]

Čia yra patobulinta folded-cascode operacinio stiprintuvo architektūra. Ji efektyviau išnaudoja aktyvios apkrovos srovę, taip gaunamas  $(k+1)/2$  kart didesnė pralaidumo juosta, ir  $2*k$  kart didesnis fronto kilimo laikas [17]. Yra rasta, kad stiprintuvas optimaliausiai veikia, kai koeficientas  $k = 3$ . Čia irgi geras kandidatas integratoriaus stiprintuvui. Bus suprojektuotas šitas ir praeitas variantas, priklausomai nuo to, ar reikės greitesnio stiprintuvo ar ne.

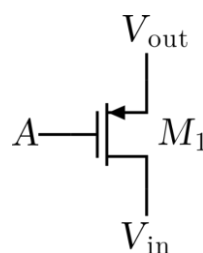
## 2.5. Jungiklių architektūra

Jungiklis yra dažniausiai pasitaikantis komponentas diskretaus laiko Delta-Sigma moduliatoriuje, tad idealiai būtų padaryti toki, kad užimtu kuo mažiau ploto ir pasiektų minimalius fronto kilimo greičio ir nusistovėjimo laiko reikalavimus. Patys paprasčiausi jungikliai yra NMOS ir PMOS:



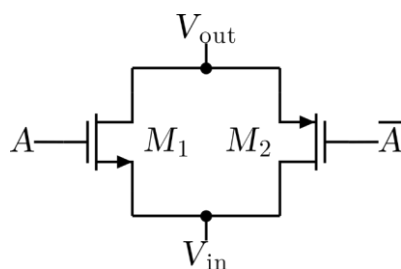
32 pav. NMOS jungiklis

NMOS jungiklis gali junginėti tik įtampas arti VDD, nes mažėjant įtampai tranzistorius užsidarinėja ir kyla varža.



33 pav. PMOS jungiklis

PMOS jungiklis gali junginėti tik įtampas arti VSS, nes didėjant įtampai tranzistorius užsidarinėja ir kyla varža. Kadangi moduliatoriuje įtampos gali kisti nuo VSS iki VDD, tai šie abu jungikliai netinka. Reikia projektuoti variantą, kurio išėjimo varža mažiau svyruotų.



34 pav. CMOS jungiklis

Šis jungiklis yra paprastas sprendimas, siekiant gauti tiesišką jungiklį per visą įtampos ruožą. Kai NMOS varža kyla, lygiagrečiai prijungto PMOS mažėja, analogiškai vyksta kai PMOS varža kyla. Aišku išėjimo varža nėra visiškai tiesiška, gali kisti per kelis šimtus omų, tačiau tai didelės įtakos neturėtų padaryti.

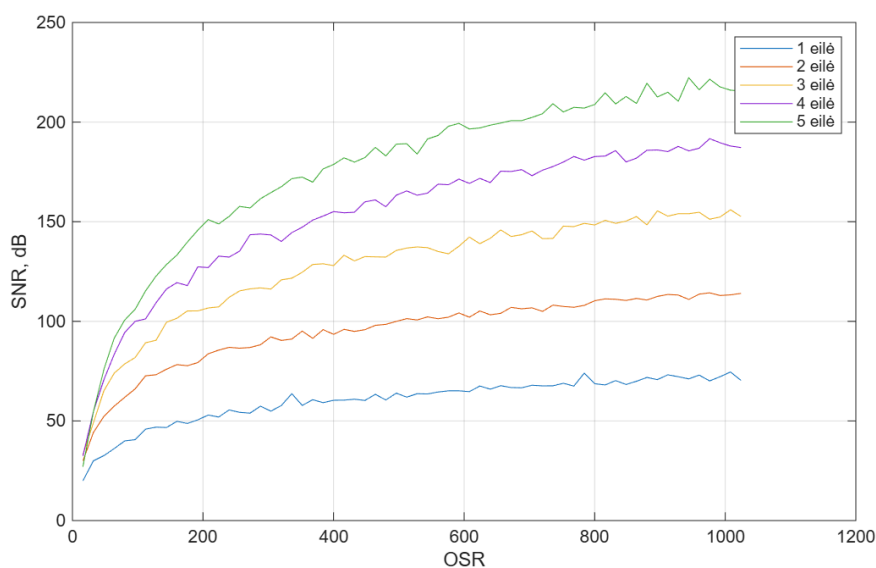
Jungiklio tiesiškumas šiuo atveju svarbus dėl to, nes diskretaus laiko Delta-Sigma moduliatoriaus veikimas labai priklauso nuo to, ar įtampos spėja nusistovėti, o įtampos gali svyruoti nuo žemės iki maitinimo, tad jeigu paduodamas signalas būtų labai mažas, tai jungiklių varžos gali būti labai didelės ir nusistovėjimo laikas didelis. Dėl to atsiranda iškraipymai ir krenta SNR.

## 2.6. Architektūrų parinkimo apibendrinimas

Apibendrinant, pasirinkta naudoti StrongARM komparatorių dėl savo plataus naudojamo ASK keitikliuose, dinaminio galios suvartojimo (srovė teka tik takto fronto metu), didelės įėjimo varžos, rail-to-rail išėjimo signalo lygio ir didelio greičio. Neinvertuojantį 4 jungiklių komutuojamą kondensatorių, dėl savo atsparumui parazitiniams parametrams. Diferencinį SC integratorių su vienpoliarinio signalo – diferencinio signalo konversija ir SC integratorių su dvigubai nuskaityta atramine įtampa, dėl aukšto SNR ir vienpoliarinio – diferencinio signalo konversija. CMOS keitiklį pasirinkta naudoti dėl tiesiškumo, ir folded-cascode operacinį stiprintuvą dėl aukšto stiprinimo ir tiesiškumo.

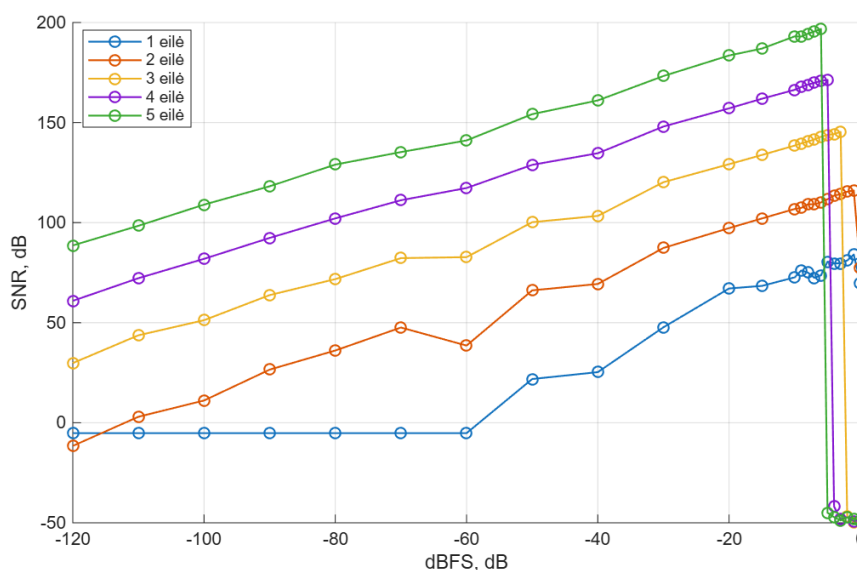


Į šią funkciją yra paduodami šie parametrai – moduliatoriaus eilė ir OSR. Išėjime gaunama perdavimo funkcijos nuliai ir poliai. Atliekamas modeliavimas prie skirtingų moduliatoriaus eilių ir OSR:



36 pav. SNR priklausomybė nuo OSR ir eilės

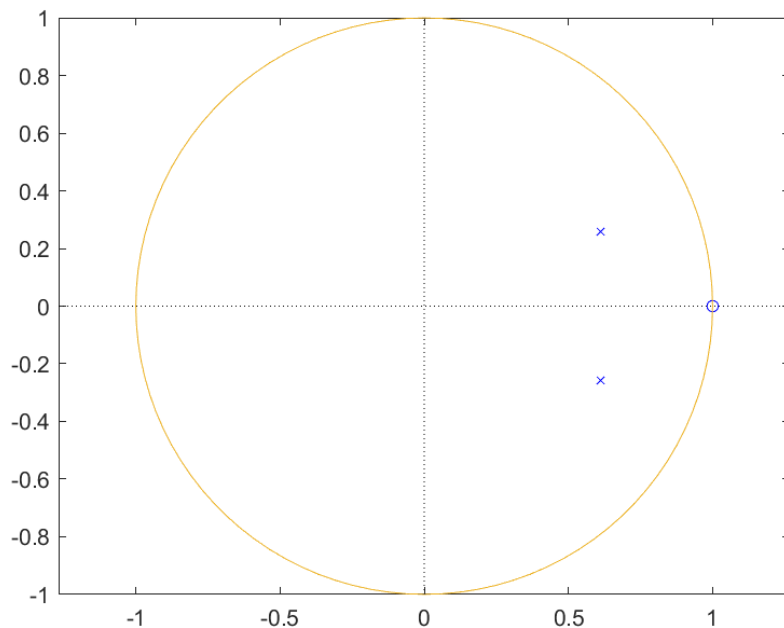
Iš grafiko matome, kad didėjant OSR, didėja ir SNR, tačiau ši vertė kinta logaritmiškai, su laiku nusistovi. Taip pat aišku, kad didėjant eilei, didėja ir SNR. Iš šios kreivės galima suprasti, kad didesnė eilė geriau, ir OSR reikia imti ne per dideli, nes nauda mažėja. Tačiau čia neįvertinamas stabilumas, brėžiama SNR priklausomybė nuo įėjimo įtampos ir moduliatoriaus eilės:



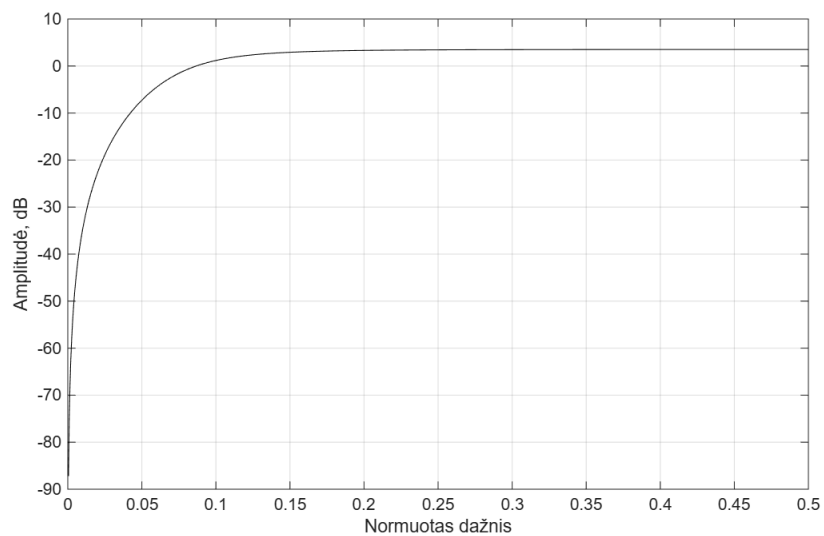
37 pav. SNR priklausomybė nuo moduliatoriaus eilės

Iš šio grafiko matome, kad didėjant eilei, mažėja įėjimo įtampos ruožas. 5 eilės moduliatorius veikia tik iki -6 dB atraminės įtampos (dBFS, tai dB skalė, kur atraminė įtampa yra maksimali moduliatoriaus įtampa), tai reiškiasi, kad su 1,8 V maitinimu, įėjime galima būtų nuskaityti tik iki 0,9 V įtampas arba  $\pm 0,45$  V. Tikslas yra pasiekti kuo arčiau 98 dB SNR, tad norint nuskaityti kuo platesnį įtampų diapazoną, reikia imti mažiausią eilę, kuri siekia šią vertę. Šiuo atveju bus projektuojamas 2 eilės moduliatorius, kuris veikia iki -1 dB atraminės įtampos.

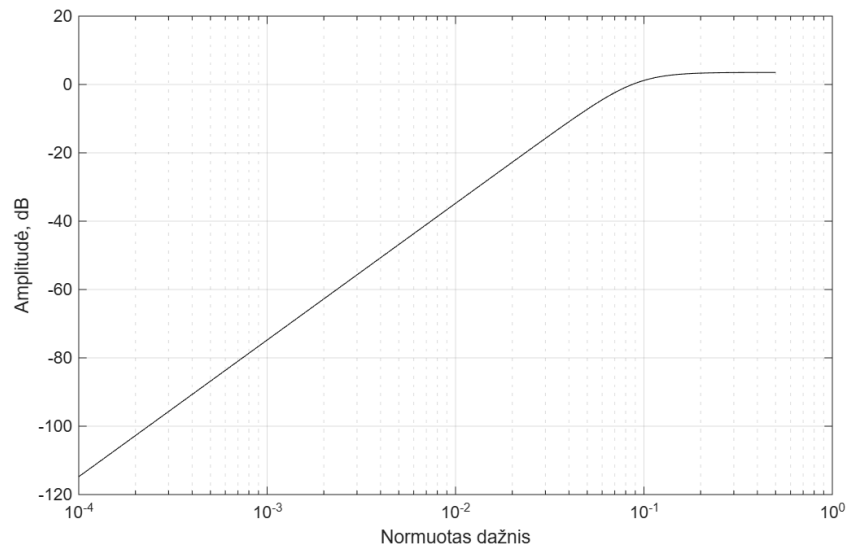
OSR vertė pasirenkama 500, kas prie 2 eilės atitinka 116 dB SNR ties didžiausia galima įtampa. Tokia vertė pasirenkama dėl to, kad būtų pakankamai SNR atsargos projektuojant realią schemą. Modeliuojama nulių polių diagrama:



38 pav. NTF nulių polių diagrama



39 pav. Triukšmo perdavimo funkcija



**40 pav.** Triukšmo perdavimo funkcija logaritminėje skalėje

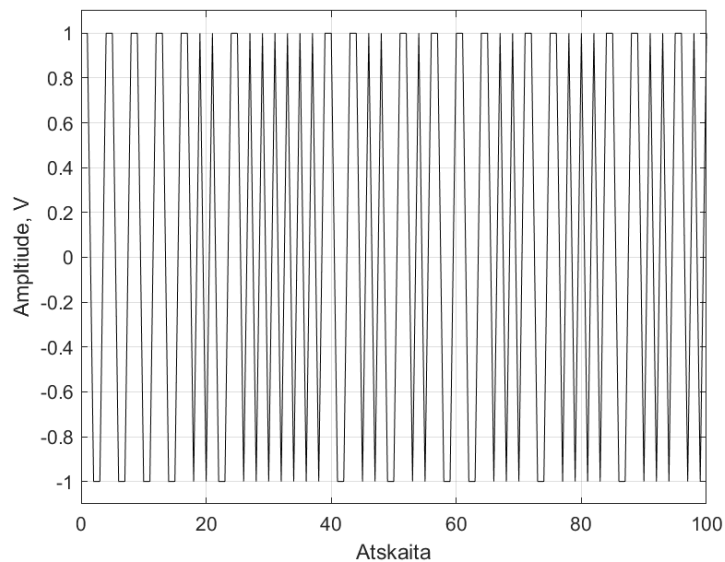
Iš perdavimo funkcijos matome, kad ši sistema slopina žemus dažnius, arba, žemų dažnių triukšmas perkeliamas į aukštus delta-sigma moduliatoriaus atveju. Bus siekiama, kad projektuojamo moduliatoriaus spektras atitiktų šį. Iš šios perdavimo funkcijos taip pat bus apskaičiuojami ir grįžtamieji ryšiai, talpų vertės ir minimalūs integratorių operacinių stiprintuvų parametrai.

### 3.1.1. MATLAB modelis

MATLAB modelis yra kuriamas dėl to, kad turėti atraminį tašką modeliuojant realų moduliatorių. Iš šio modulio gaunamos idealūs signalai, kuriuos galima naudoti sprendžiant problemas iškilusias projektavime. MATLAB modelis sukuriamas naudojant Delta-Sigma Toolbox.

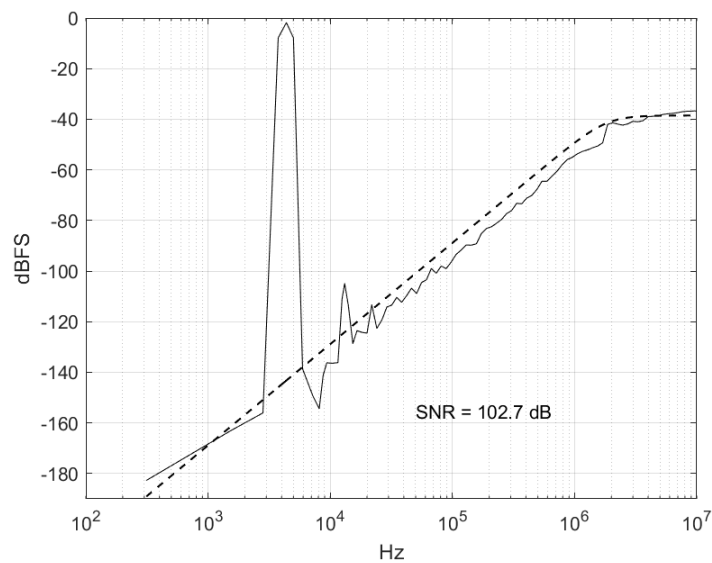
```
N=OSR*64;
fB=ceil(N/(2*OSR));
fs=20e6;
fbin=7;
fhz=fs/N*fbin
t = (0:N-1) / fs;
u = (0.9*umax)*sin(2*pi*fhz*t);
v = simulateDSM(u,ntf);
```

Šiame kode naudojama ta pati triukšmo perdavimo funkcija, kuri buvo sukurta anksčiau. Yra apsirąšomas modeliujamų apskaitų skaičius, kuris pasirinktas  $OSR \cdot 64$ , kad gauti pakankamą spektro skyrą ir labai neužtęsti modeliavimo laiko, nustatomas taktavimo dažnis, kuris yra tiek kartų didesnis už Naikvisto dažnį, kiek yra pasirinktas diskretizavimo santykis. Šiuo atveju tai atitinka 20 MHz, nes projektuojamas moduliatorius, kuris veikia iki 20 kHz. Generuojamas vieno dažnio sinusas ir modeliujamas moduliatoriaus išėjimas. Sinuso dažnis parenkamas taip, kad sutaptu su FFT atskaitą. Tai yra daroma dėl to, kad sumažinti modeliavimo laiką ir išlaikyti gerą matavimo tikslumą, realybėje tai moduliatorius veikia per visą dažnių ruožą. Turit išėjimo laikinę diagramą, galima gauti ir moduliatoriaus spektrą. Šitaip žinoma, kokio dažnio įtampą reikia naudoti matuojant realų moduliatorių, kiek atskaitų naudoti FFT spektre ir kokios formos spektro tikėtis.



**41 pav.** Delta-Sigma modulatoriaus tipinis išėjimas

Šiame signalo matomas išėjimo įtampų loginiai lygiai, kai įėjime yra sinusinis signalas. Iš šio signalo galima gauti spektrą ir apskaičiuoti modulatoriaus SNR palyginant signalo lygį su triukšmo lygiu pralaidumo juostoje.



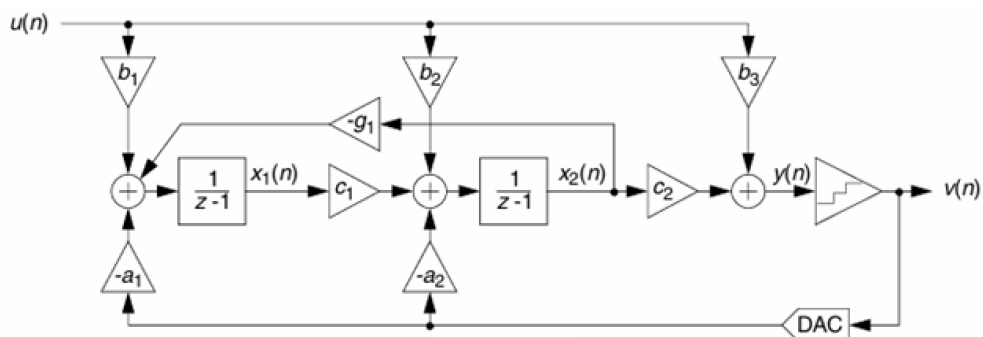
**42 pav.** Delta-Sigma modulatoriaus spektras

Šia punktyrinė linija – ideali triukšmo perdavimo funkcija. Iš grafiko matome, kad modeliuoto signalo spektras artimas perdavimo funkcijai, tad SNR gautas lyginant sinuso signalo lygį, su triukšmo lygiu iki 20 kHz. Gaunamas 102.7 dB SNR.

### 3.1.2. Modulatoriaus Verilog-A modelis

Siekiant paspartinti projektavimo eigą ir visą metodologiją koncentruoti vienoje programinėje aplinkoje, naudojamas Verilog-A modelis, paremtas sukurtu MATLAB modeliu. Verilog-A – programinė kalba, skirta aprašyti analoginius elementus. Ji naudojama, kad apsirašyti analoginius mazgus programiškai, su kintamais parametrais. Šio modelio nauda tokia, kad galima lengvai keisti idealius komponentus į tarpinius, idealius su keliais realiais parametrais, ir galiausiai į realius mazgus.

Kuriamas Verilog-A modelis Cadence Virtuoso aplinkoje. Naudojami jau sukurti Verilog-A blokai ir projektuojamas idealus Delta-Sigma moduliatorius. Norint įgyvendinti moduliatorių, reikia apskaičiuoti diskretizavimo ir integravimo talpų vertes. Šios talpos yra atitinka moduliatoriaus grįžtamuosius ryšius. Jos apskaičiuojamos naudojant ABCD koeficientus, kurie gaunami iš MATLAB delta sigma toolbox bibliotekos.



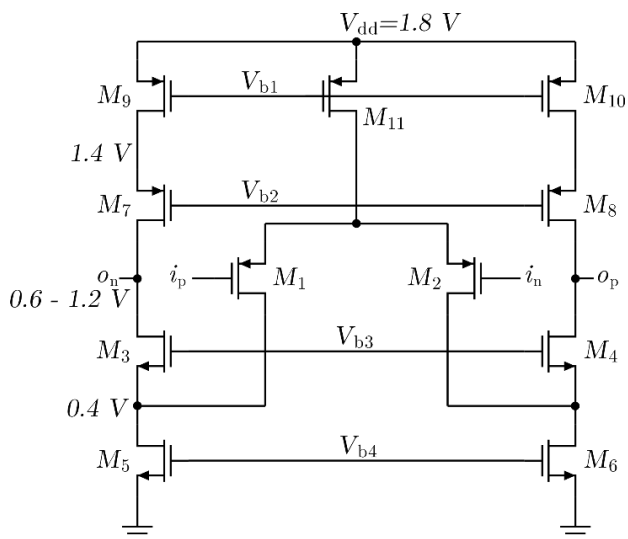
43 pav. CIFB Delta-Sigma moduliatorius [1]

ABCD koeficientai ir aprašo  $a_1$ ,  $a_2$ ,  $b_1$ ,  $b_2$ ,  $b_3$ ,  $c_1$ ,  $c_2$ ,  $g_1$  blokus moduliatoriaus struktūrinėje schemoje. Tiksliau būtų sakyti, kad jie aprašo moduliatoriaus įėjimo ir išėjimo signalus, perdavimo funkciją [1]:

$$x[n + 1] = Ax[n] + B \begin{bmatrix} u[n] \\ v[n] \end{bmatrix}. \quad (17)$$

$$y[n] = Cx[n] + D \begin{bmatrix} u[n] \\ v[n] \end{bmatrix}. \quad (18)$$

Įvestiniai parametrai MATLAB kodo yra integratoriaus išėjimo įtampos diapazonas, maksimali moduliatoriaus įėjimo įtampa, komparatoriaus skilčių skaičius ir moduliatoriaus architektūra. Delta sigma moduliatoriaus ABCD koeficientai yra jau rasti optimalūs prie tam tikros įtampos. Šis kodas tuos optimalius koeficientus pritaiko užduotoms įtampoms. Moduliatoriaus architektūra – CIFB, dėl anksčiau paaiškintų priežasčių. Integratoriaus išėjimo įtampos diapazonas parinktas 0,5 V, kadangi nuspręsta naudoti folded-cascade operacinį stiprintuvą.



44 pav. Folded cascade operacinio stiprintuvo tranzistorių įtampos

Maitinimo šaltinių tranzistoriams paskiriama po 0,4 V, kad jie užtikrintai būtų atidaryti. Kaskodų tranzistoriams paskirta 0,2 V, kad minimaliai iškraipyti signalą. Išėjimo lieka 0,5 V. Projektuojamas vieno maitinimo šaltinio moduliatorius, tad maksimali įtampa parenkama  $1,8/2=0,9$  V. Komparatorius projektuojamas 1 skilties.

Suvedus moduliatoriaus eilę, architektūrą, diskretizavimo santykį ir integratorių išėjimo įtampas, gauti tokie koeficientai:

$$a_1=0,1131$$

$$a_2=0,1829$$

$$b_1=0,1131$$

$$c_1=0,4517$$

$$c_2=4,2369$$

Šiuos koeficientus galima išreikšti kaip talpų santykius, ir taip apskaičiuoti reikiamas integratoriaus talpas [1]:

$$a_1 = \frac{C_1 V_{ref}}{C_2} = \frac{C_1 V_{dd}}{C_2}; \quad (19)$$

$$b_1 = \frac{C_1 V_{FS}}{MC_2} = \frac{C_1 V_{dd}}{C_2}; \quad (20)$$

$$c_1 = \frac{C_3}{C_5}; \quad (21)$$

$$a_2 = \frac{C_4 V_{dd}}{C_5}. \quad (22)$$

Kadangi naudojamas aukštas OSR, tai antros eilės integratoriaus terminis triukšmas yra stipriai slopinamas pirmos eilės integratoriaus, to sekoje, galima C4 talpą parinkti mažiausią, kokia leidžia procesas, siekiant sumažinti galios suvartojimą. Tad c2 koeficiento ir nereikia naudoti. Kad panaudoti 19-22 formules, reikia pradinio taško skaičiavimams. Absoliuti C1 talpos vertė yra nustatoma apskaičiuojant terminį triukšmą prie norimo SNR.

$$v_n^2 = \frac{(V_{dd}/2)^2/2}{10^{SNR/10}}; \quad (23)$$

$$v_n^2 = \frac{kT}{OSR * C_1}. \quad (24)$$

SNR pasirenkamas 103 dB (100 dB ir 3 dB atsargos). Apskaičiuojamos talpų vertės.

Suvedus duomenis prie 1,8 V maitinimo įtampos ir 0,5 V integratoriaus išėjimo įtampos diapazono, gaunamos integratoriaus kondensatorių vertės:

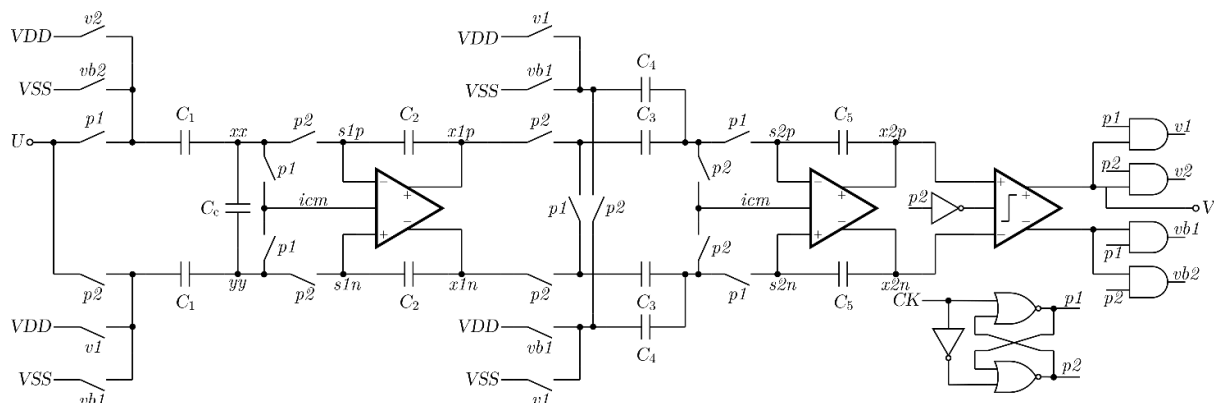
$$C1 = 410 \text{ fF}$$

$$C2 = 6.49 \text{ pF}$$

$$C3 = 44 \text{ fF}$$

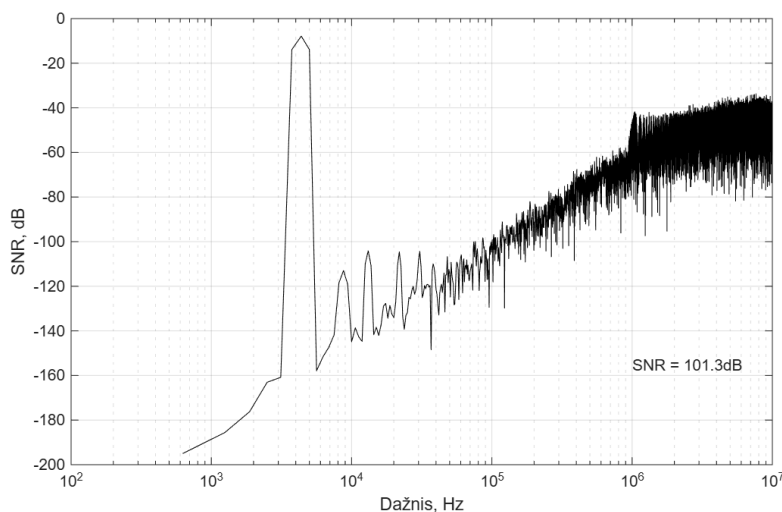
$$C4 = 10 \text{ fF}$$

$$C5 = 98 \text{ fF}$$



**45 pav.** Verilog-A Delta-Sigma moduliatorius

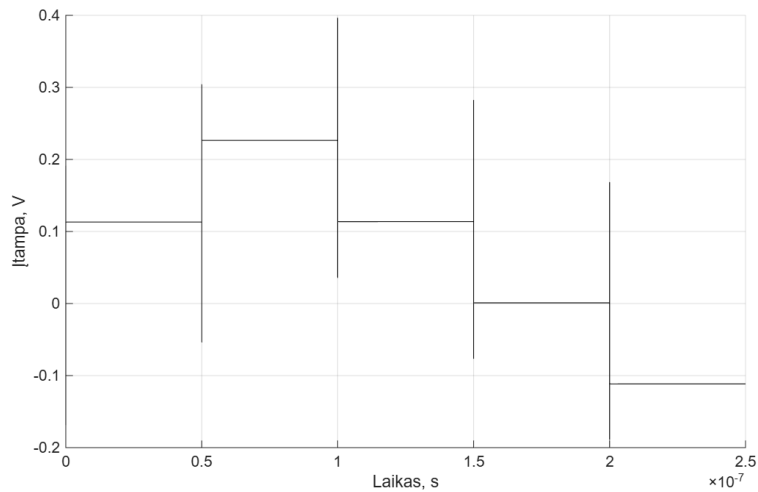
Atlikus modeliavimą, tikrinamas spektras ir apskaičiuojamas SNR. Gautas rezultatas pavaizduotas 46 pav.



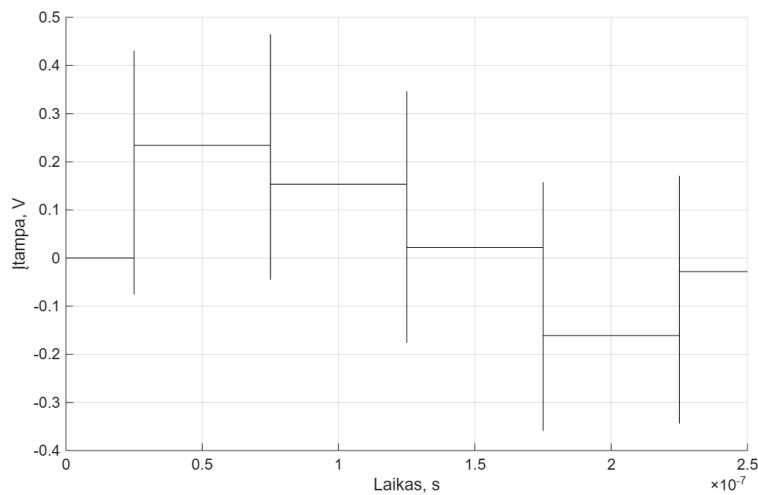
**46 pav.** Verilog-A Delta-Sigma moduliatoriaus spektras

Gaunamas 101,3 dB SNR, kas atitinka artimai MATLAB modelį, tad galima naudoti šią architektūrą ir tranzistorizuoti visus idealius blokus.

Taip pat Verilog-A modelio privalumas – galima brėžti tarpines įtampas, sujungimus tarp mazgų. Šie grafikai bus naudingi projektuojant, tikrinant kur reali schema nuklysta nuo modelio.

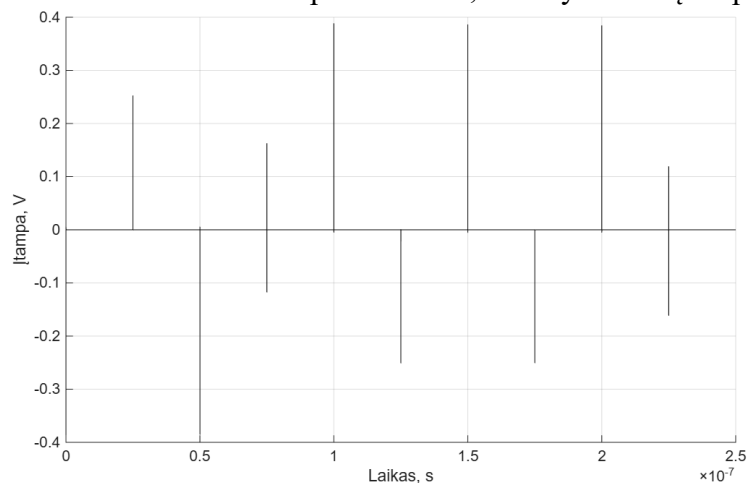


**47 pav.** Pirmo integratoriaus išėjimo laikinė diagrama



**48 pav.** Antro integratoriaus išėjimo laikinė diagrama

Iš šių diagramų matome, kad abu integratoriai neviršija  $\pm 0,5$  V išėjimo įtampos. Tai parodo, kad ABCD koeficientai buvo tinkamai normuoti pasirinktai 0,5 V svyravimo įtampai.



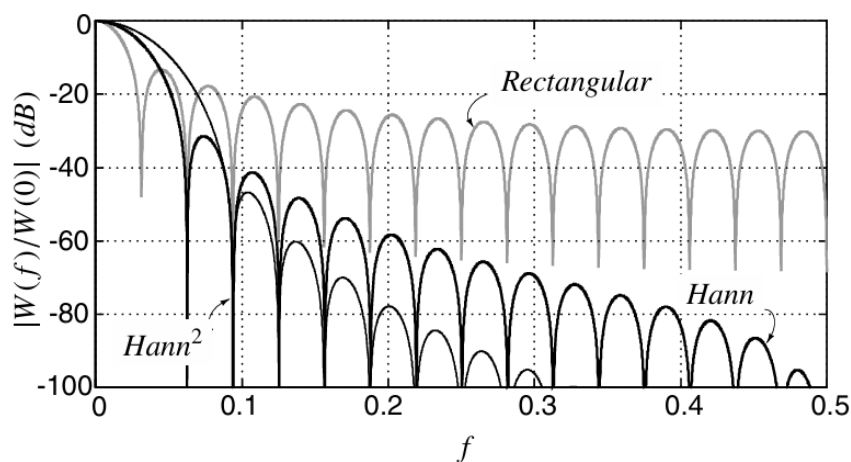
**49 pav.** Modulatoriaus diskretizuoto įėjimo laikinė diagrama

Šis grafikas naudingas dėl to, nes galima bus palyginti įtampas su realia schema, kadangi čia vyksta labai staigūs pereinamieji procesai, tai aiškiau bus matyti ar jie spėja nusistovėti, ar nėra kokių nors kitų anomalijų junginėjant įėjimą.

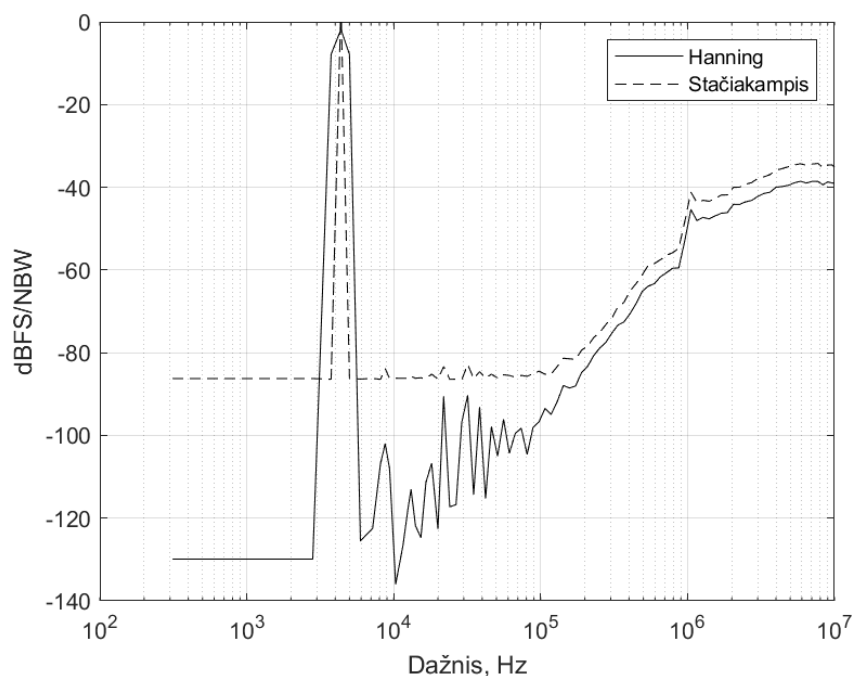
### 3.1.3. Parametrų matavimo metodologija

Kad išmatuoti modulatoriaus ENOB, SNR, reikia atlikti FFT. Tačiau norint gauti tikslius rezultatus reikia atlikti koherentinį matavimą. Spektro ribinis dažnis atitinka taktinį dažnį, tad žingsnis tarp FFT atskaitų yra gan didelis, svarbu testuoti naudojant dažnį, kuris patenka ant atskaitos. Kitu atveju signalo galia pasisklaido ir prarandamas matavimo tikslumas.

Kitas svarbus aspektas – lango pasirinkimas. Matuojant delta-sigma moduliuito signalo spektrą. Stačiakampis spektras įveda aukšto dažnio šoninių lapelių, kurie iškraipo matavimo tikslumą, tad naudojamas Hanning arba  $Hann^2$  langas.



50 pav. Langų palyginimas



51 pav. Stačiakampio lango ir Hanning lango delta-sigma spektrai

Iš 51 pav. matome, kad naudojant stačiakampį langą, negaunamas realus triukšmo lygis, jis tampa plokščias. Su Hanning langą šios problemos nėra, nes jis mažiau iškraipo aukšto dažnio dedamąsias.

Taip pat svarbu ir atskaitų skaičius. Jeigu bus FFT turės per mažai atskaitų, tai atsiras žemo dažnio dedamosios, kurios slopins triukšmo formavimą, nebus galima gauti SNR. Jeigu bus per daug atskaitų, tai bus per ilgas modeliavimo laikas.

### 3.2. Tranzistorių geometrijos parinkimo metodologija

CMOS tranzistoriai turi 2 pagrindinius parametrus – tranzistoriaus kanalo ilgis  $L$  ir kanalo plotis  $W$ . Tranzistoriaus kanalo ilgis turi didesnę įtaką tranzistoriaus parametrams, mažas ilgis duoda didelę greitaveiką, o didelis – didelį stiprinimą. Su pločiu tuomet yra derinamas tranzistoriaus darbo taškas [27].

$$I_D = \frac{\mu_n C_{OX}}{2} * \frac{W}{L} * (V_{GS} - V_T)^2. \quad (25)$$

Iš formulės matome, kad tranzistoriaus srovė priklauso nuo  $W/L$  santykio. Kadangi  $L$  dažnai fiksuotas, tai srovė nustatoma naudojant  $W$ . Didėjant  $W$  didėja ir srovė.  $I_D$  nustato tranzistoriaus fronto kilimo greitį bei stiprinimą. Didelė srovė duoda didelį įtampos fronto kilimą, maža srovė – didelį stiprinimą. Taip pat prisideda prie galios suvartojimo [27].

$$g_m = \mu_n C_{OX} * \frac{W}{L} * (V_{GS} - V_T). \quad (26)$$

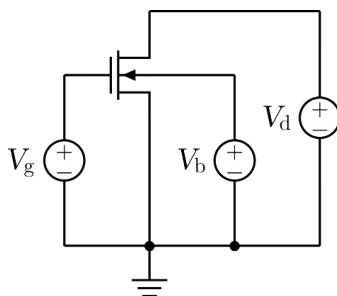
Taip pat nuo šio santykio priklauso ir transkonduktansas. Šis parametras nusako tranzistoriaus pralaidumo juostą, nusistovėjimo greitį ir yra vienas iš pagrindinių projektuojamų parametrų.

Projektuojant schemas yra siekiama sumažinti galios suvartojimą kiek įmanoma daugiau, tai  $I_D$  yra parenkamas minimalus pagal įtampos kilimo greičio reikalavimus. Toliau yra parenkamas  $g_m$  pagal pralaidumo juostos reikalavimus, tačiau reikia įvertinti, kad tranzistoriai nebūtų per dideli.

Tačiau yra trūkumas šių formulių, jos nėra labai tikslios ir įvertina tik stiprios inversijos veikimą, norint projektuoti vidutinės inversijos ar silpnos inversijos tranzistorių, šios formulės nebetinka.

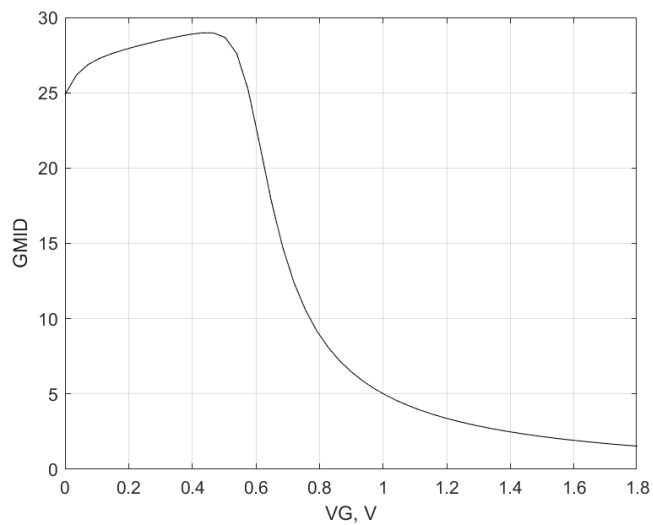
### 3.3. GM/ID metodologija

Kitas būdas projektuoti tranzistorius yra GM/ID metodologija. GM – tranzistoriaus transkonduktansas, o ID – srovė. Projektuojant yra užsibrėžiama reikiama GM vertė, ar tai pagal reikiama pralaidumo juosta, ar įtampos nusistovėjimo laiką, arba stiprinimą. Su GM/ID galima tuomet rasti tranzistoriaus geometriją optimaliai srovei. Taip galima optimizuoti schemas galios suvartojimą. Ji paremta tranzistorių modeliavimu. Tranzistorių modeliai yra charakterizuojami ir kreipiamasi į gautus grafikus, norint gauti geometriją.

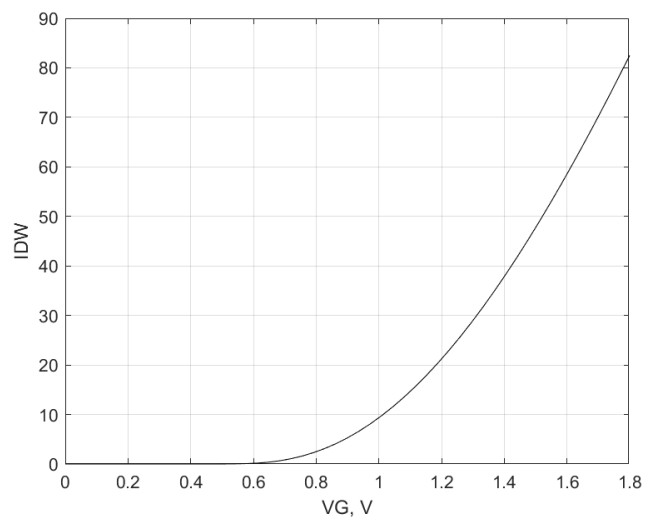


52 pav. Tranzistorių charakterizavimo schema

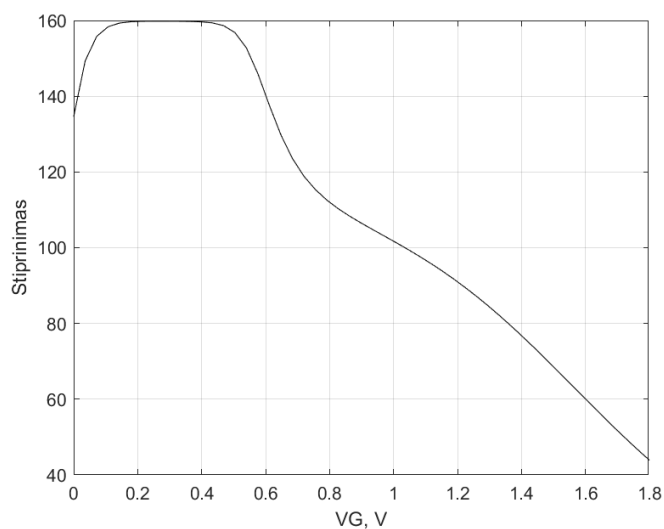
Keičiant tranzistoriaus įėjimo įtampą, galima gauti tranzistoriaus  $g_m$ ,  $I_D$ , stiprinimo ir ribinio dažnio grafikus.



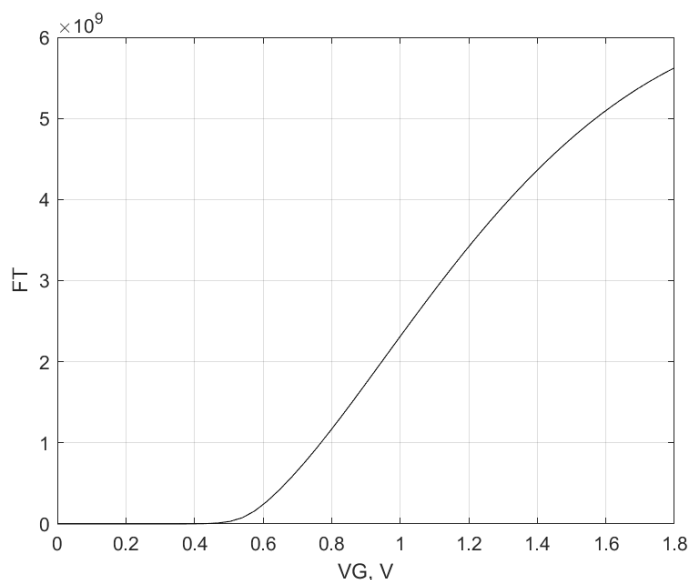
**53 pav.** Tranzistoriaus  $GM/ID$  priklausomybė nuo  $V_g$



**54 pav.** Tranzistoriaus  $IDW$  priklausomybė nuo  $V_g$

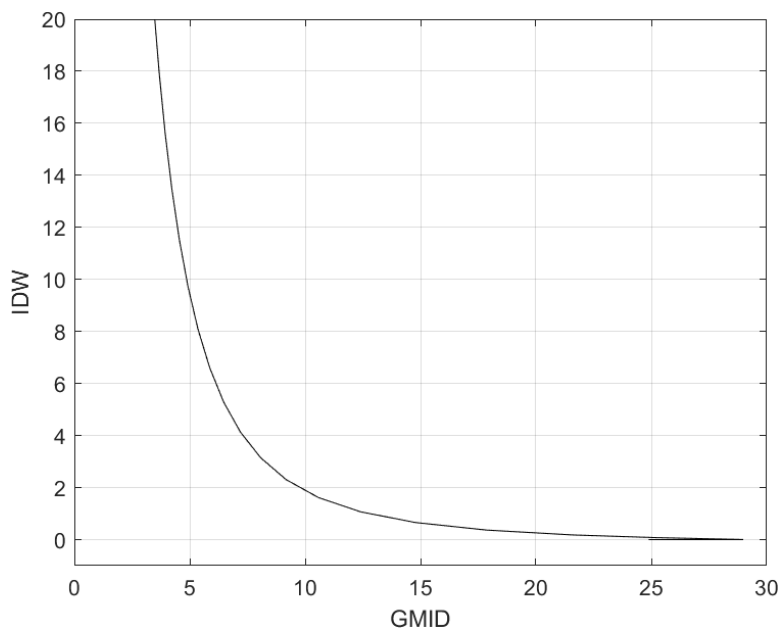


**55 pav.** Tranzistoriaus įtampos stiprinimo priklausomybė nuo  $V_g$



**56 pav.** Tranzistoriaus ribinio dažnio priklausomybė nuo  $V_g$

Turint šiuos duomenis, galime  $g_m/id$  įvesti kaip koeficientą ir brėžti  $ID$  priklausomybę nuo  $g_m/id$ . Tačiau srovė priklauso ir nuo tranzistoriaus kanalo pločio, tad  $ID$  yra normuojamas modeliuojamo tranzistoriaus ilgiui ir gaunama  $ID/W$  priklausomybė nuo  $g_m/id$ .



**57 pav.**  $ID/W$  priklausomybė nuo  $g_m/id$

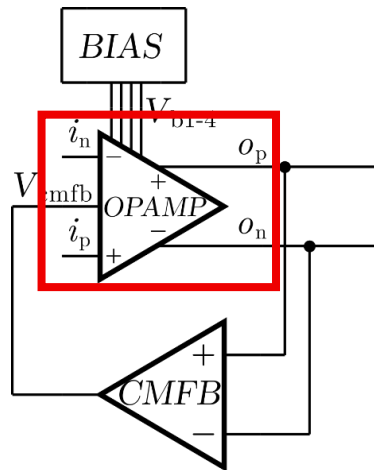
Norint parinkti tranzistoriaus geometriją, galima tuomet apsiskaičiuoti reikiamą  $g_m$ ,  $id$ ,  $g_m/id$  (bent 2 iš jų) ir iš šios kreivės gauti tranzistoriaus plotį.

Šis procesas užtrunka laiko ir yra tikslus tik prie nustatyto tranzistoriaus kanalo ilgio ir įtampos krentančios ant jo. Norint tiksliai įvertinti kitą maitinimo įtampą, padėklo įtampą, reiktu daug kartų modeliuoti. Tam spręsti yra sukuriamas Look-up table. Buvo pritaikytas B. Murmann MATLAB kodas [28] ir sugeneruotas LUT, kuris charakterizuoja tranzistorius prie skirtingų maitinimo įtampų, bazės įtampų, kanalo ilgių.



### 3.5. Operacinis stiprintuvas

Sekantis blokas yra svarbiausias – operacinis stiprintuvas. Jam keliami ir griežti greitaveikos ir stiprinimo reikalavimai. Siekiant gilinti žinias apie operacinius stiprintuvus, darbo metu buvo publikuotas darbas konferencijoje, kuriame buvo suprojektuotas, pagamintas ir ištirtas operacinis stiprintuvas [25]. Šiuo atveju pasirinkta projektuoti Folded-Cascode operacinį stiprintuvą, dėl savo tiesiškumo ir aukšto stiprinimo. Delta-Sigma modulatoriaus parametrai stipriai priklauso nuo operacinio stiprintuvo, tad atliekamas stiprintuvų tyrimas, palyginami skirtingi architektūriniai sprendimai.



60 pav. Operacinio stiprintuvo struktūra

Pirma, reikia įvertinti stiprintuvo fronto kilimo greitį. Jį nustato ID srovė. Taktinis dažnis yra 20 MHz, kadangi projektuojamas 20 kHz moduliatorių su 500 OSR, reiškia, kad viena periodo fazė trunka 25 ns. Norint, kad modulatoriaus integratoriaus išėjimas nusistovėtų laiku, reikia pusę to laiko paskirti fronto kitimui, o kita pusė – įtampos nusistovėjimui. Reikalingą srovę galima apskaičiuoti naudojant 27 formulę [1].

$$SR = \frac{2I_D}{C_L} \quad (27)$$

Gavome, kad reikia  $I_D = 58,74 \mu\text{A}$ .

Nusistovėjimo laikas priklauso nuo stiprintuvo gm. Norint, kad stiprintuvas pakankamai greitai nusistovėtų ir neiškraipytų modulatoriaus SNR, gm apskaičiuojamas pagal 28 formulę [1].

$$g_m = \frac{(C_1 + C_3 + C_1 C_3 / C_2)}{T/48} \quad (28)$$

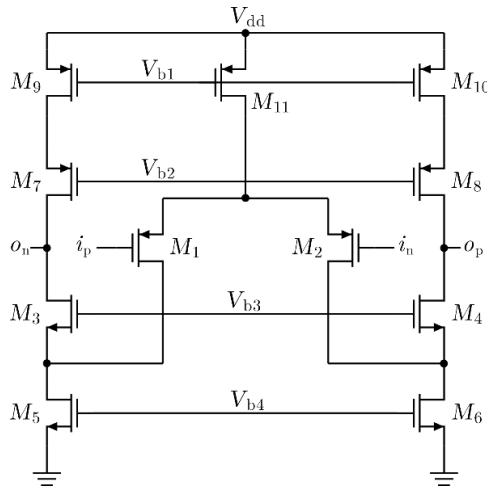
Apskaičiuotas  $g_m = 436,96 \mu\text{S}$

Su šiomis vertėmis gaunam  $g_m/i_d$  vertę 7,43, kuri yra žemiau ribinės vertės, kuri siekia 20. Tai reiškia, kad galima bus dar optimizuoti galios suvartojimą.

Operacinio stiprintuvo DC stiprinimas turi viršyti 80 dB, kad išvengti iškraipymų, sukeltų dėl stiprintuvo netiesiškumo. Toliau bus projektuojamos ir lyginamos kelios folded cascode operacinio stiprintuvo schemas.

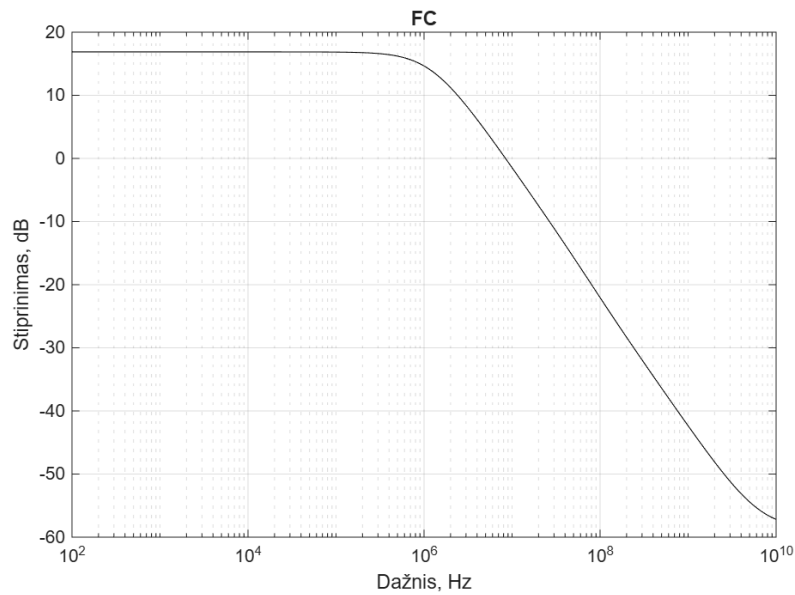
### 3.5.1. Folded Cascode

Pirma projektuojamas Folded Cascode stiprintuvas. Čia yra paprasčiausia schema, tai turės mažiausią plotą ir galios suvartojimą.

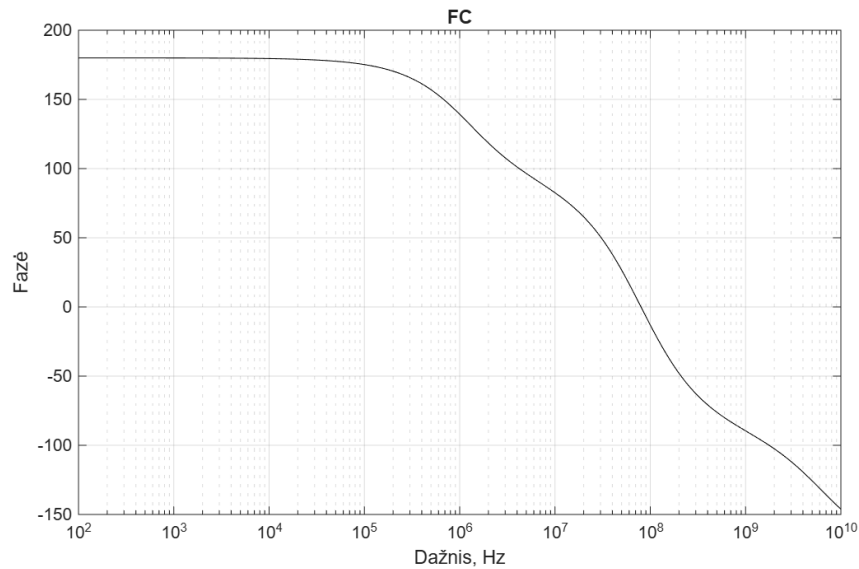


61 pav. Folded Cascode operacinis stiprintuvas

Stiprintuvo ADCh ir DC stiprinimas yra modeliuojamas.



62 pav. Folded Cascode ADCh



**63 pav.** Folded Cascode FDCh

Gauti parametrai:

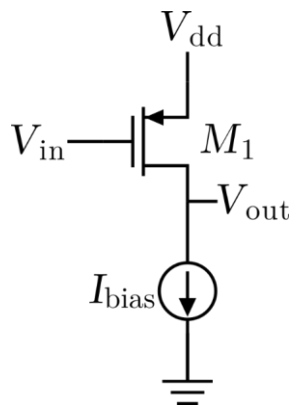
**4 lentelė.** FC parametrai

Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga (stabilumas)	Galios suvartojimas, $\mu\text{W}$
8.426	16.88	86.07	148.02

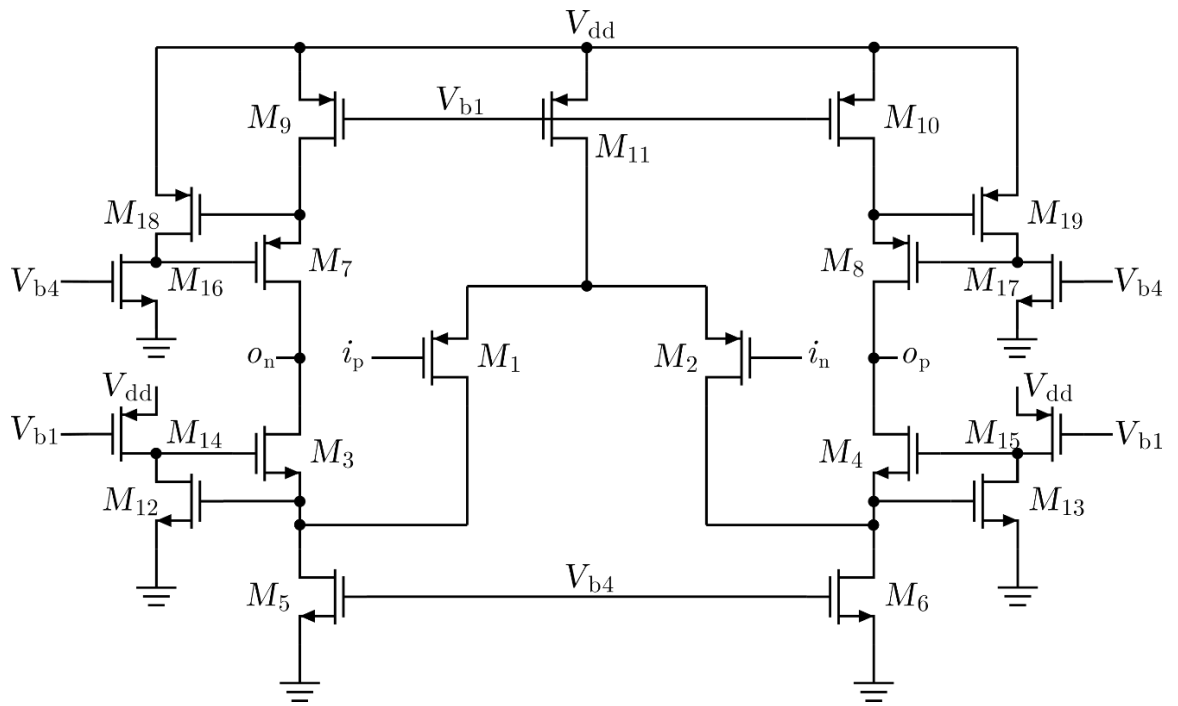
Gauta maža pralaidumo juosta, mažas stiprinimas, labai geras stabilumas ir mažas galios suvartojimas. Fazės diagrama yra gan tiesiška.

### 3.5.2. Gain-Boosted Folded Cascode

Antra projektuojama schema yra Folded Cascode su gain boosting stiprintuvais. Tai yra stiprintuvai, kurie nustato kaskodų darbo tašką, taip pakelia išėjimo varžą ir stiprinimą. Šis darbo taškas nustatomas dinamiškai, priklausomai nuo išėjimo įtampos, tai privalumas toks, kad išėjimo varža gaunama daug statiškesnė, geresnis stiprinimas.

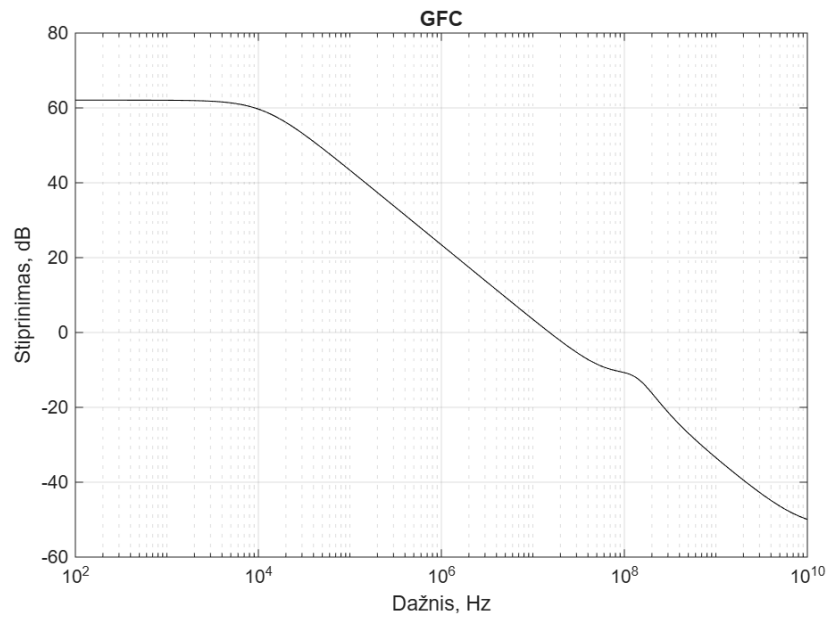


**64 pav.** Common drain stiprintuvas

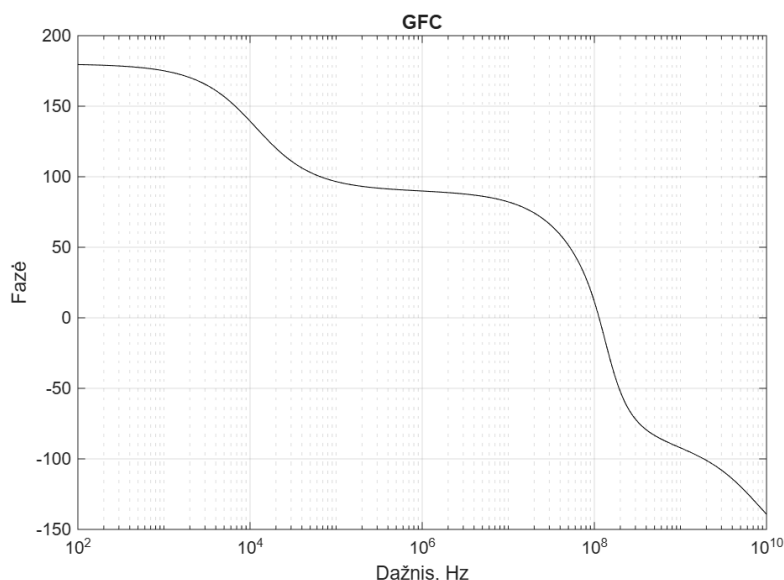


65 pav. Gain-Boosted Folded Cascode operacinis stiprintuvas

Modeliuojamas stiprintuvas:



66 pav. Gain-Boosted Folded Cascode ADCh



67 pav. Gain-Boosted Folded Cascode FDCh

Gauti parametrai:

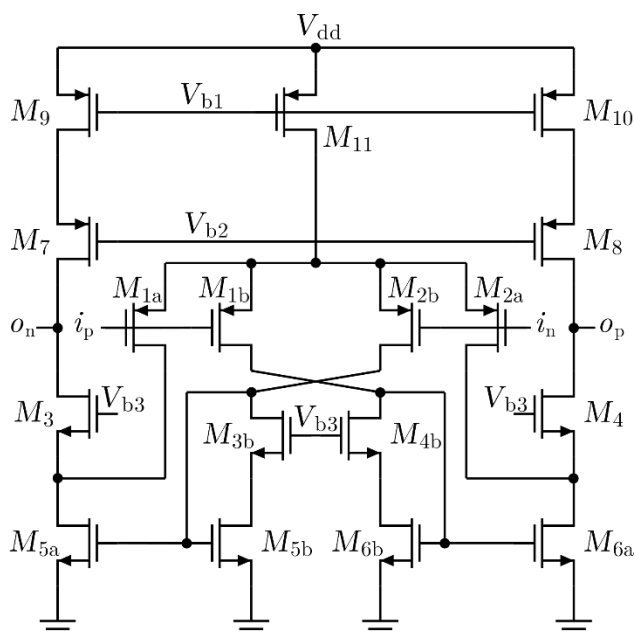
5 lentelė. GFC parametrai

Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga (stabilumas)	Galios suvartojimas, $\mu\text{W}$
15.21	62.08	78.06	232.61

Gauta geresnė pralaidumo juosta, gerokai didesnis stiprinimas, aukštas stabilumas ir didesnis galios suvartojimas. Fazės diagrama gauta labiau atitinka standartinę operacinio stiprintuvo FDCh.

### 3.5.3. Recycling Folded Cascode

Projektuojamas Recycling Folded Cascode stiprintuvas, kuris yra pakeista Folded Cascode stiprintuvo versija. Ši architektūra pasižymi tuo, kad yra efektyviau išnaudojama aktyvios apkrovos srovė, taip gaunamas didesnis fronto kitimo greitis ir  $g_m$  [17].



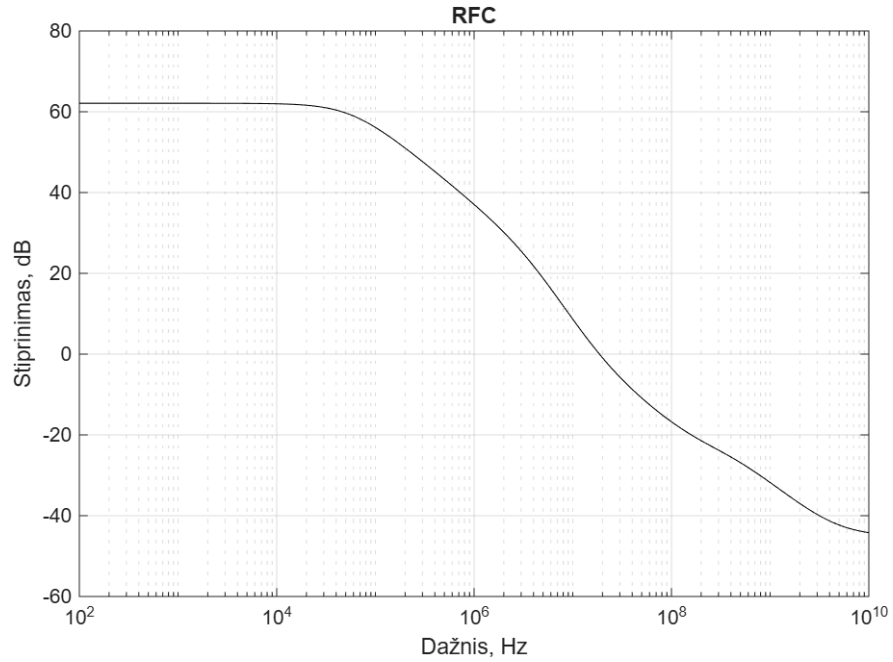
68 pav. Recycling Folded Cascode schema [17]

$$SR = \frac{2KI_D}{C_L}. \quad (29)$$

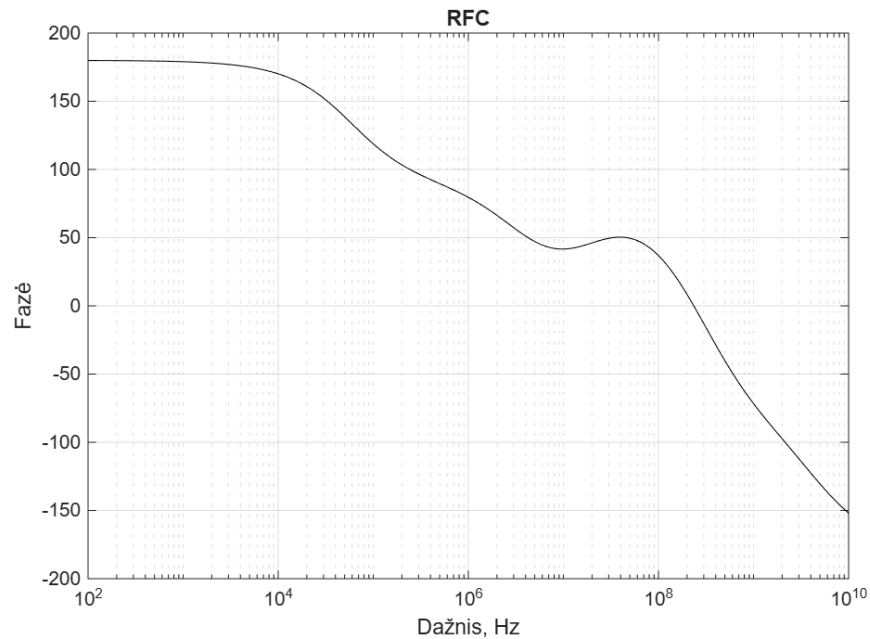
$$g_m = gm_1(1 + K). \quad (30)$$

Šiuo atveju,  $K$  yra santykis tarp apatinių srovės veidrodžių. Jo vertė – 3. Su šia architektūra, mes galime pradinius reikalavimus sumažinti 2 kartais, taip sumažiname galios suvartojimą ir tranzistorių plotą [17].

Atliekamas stiprintuvo modeliavimas.



69 pav. Recycling Folded Cascode ADCh



70 pav. Recycling Folded Cascode FDCh

Gauti parametrai:

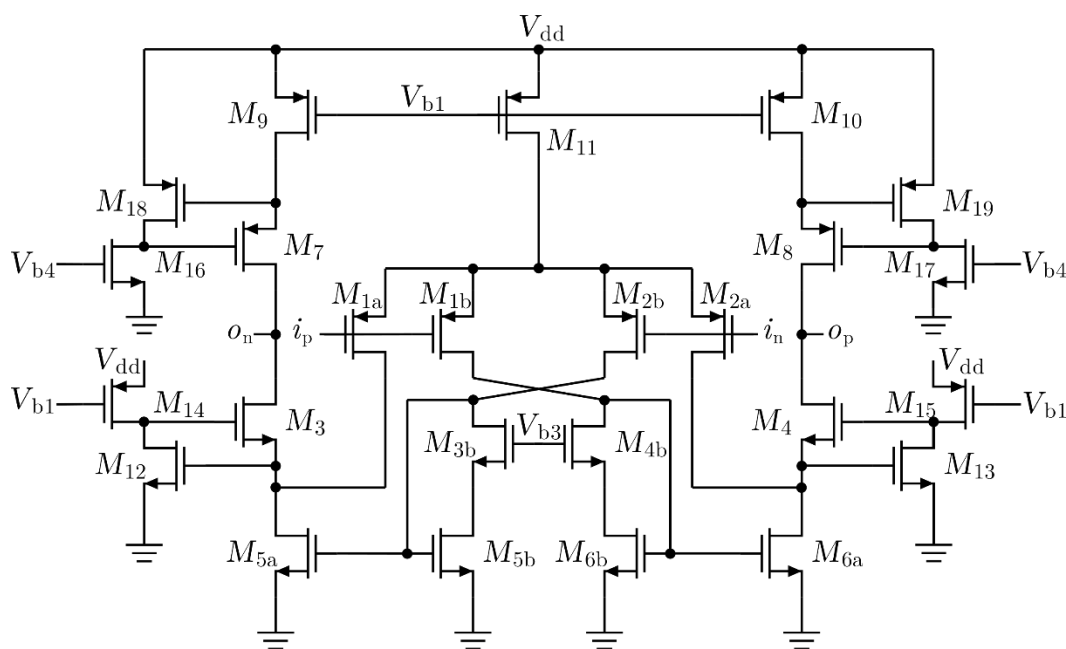
6 lentelė. RFC parametrai

Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga (stabilumas)	Galios suvartojimas, $\mu\text{W}$
18.63	62.1	45.49	169.17

Gauta geresnė pralaidumo juosta, toks pat stiprinimas, stabilumas ribinis ir mažesnis galios suvartojimas. Fazinė diagrama yra su iškraipymais, mažesnis tiesiškumas.

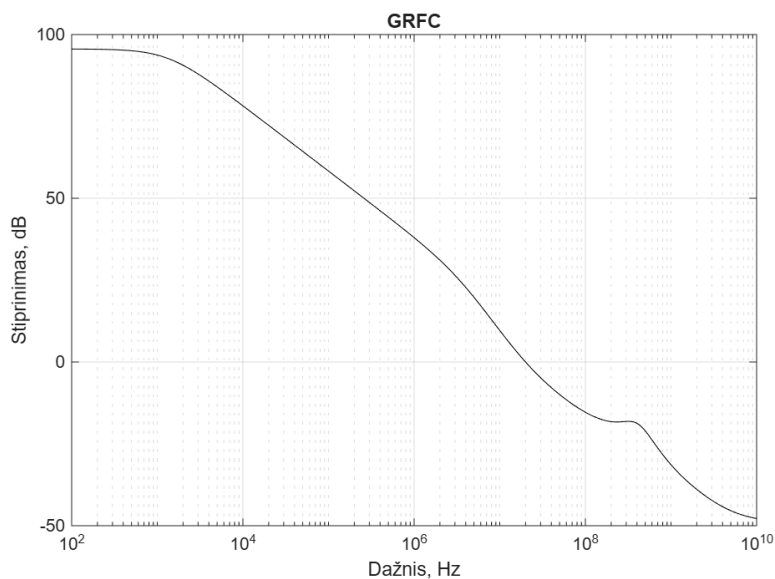
### 3.5.4. Gain-Boosted Recycling Folded Cascode

Projektuojamas RFC stiprintuvas su gain boosting stiprintuvais. Principas toks pat kaip GFC.

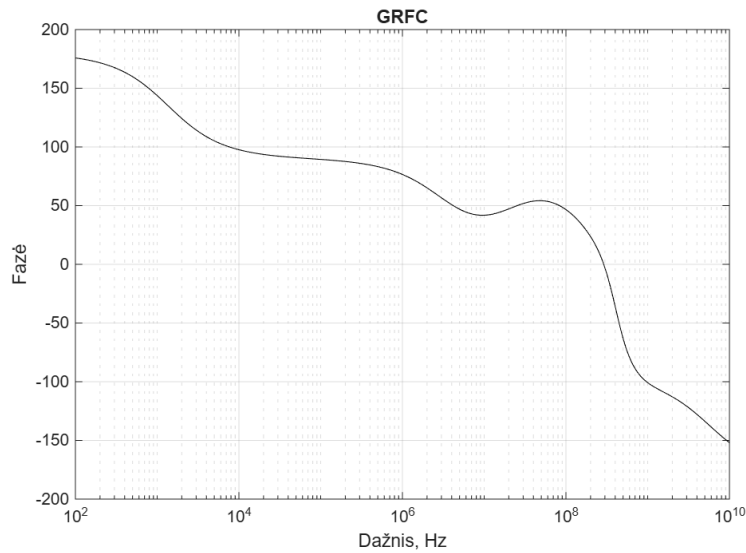


71 pav. Gain-boosted Recycling Folded Cascode schema

Modeliuojamas stiprintuvas.



72 pav. Gain-boosted Recycling Folded Cascode ADCh



73 pav. Gain-boosted Recycling Folded Cascode FDCh

Gauti parametrai:

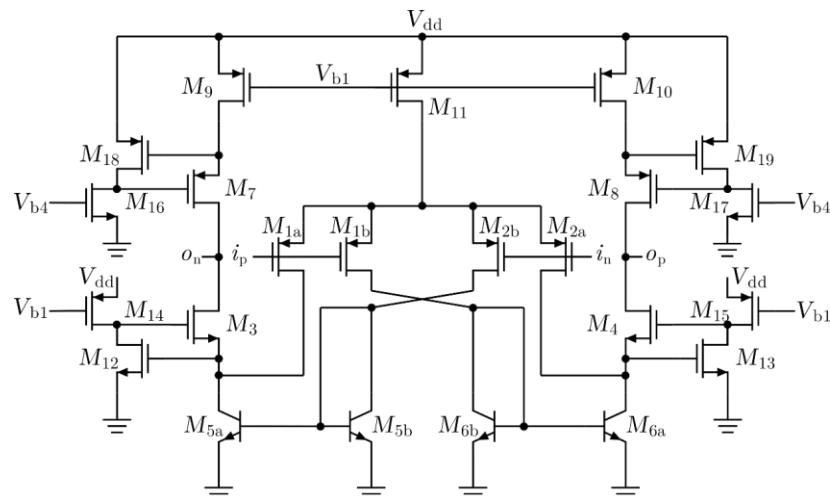
7 lentelė. GRFC parametrai

Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga (stabilumas)	Galios suvartojimas, $\mu\text{W}$
20	95.58	47.23	253.76

Gauta didesnė pralaidumo juosta, gerokai didesnis stiprinimas, toks pat stabilumas ir didesnis galios suvartojimas. Fazinė diagrama panaši, nelabai tiesiška.

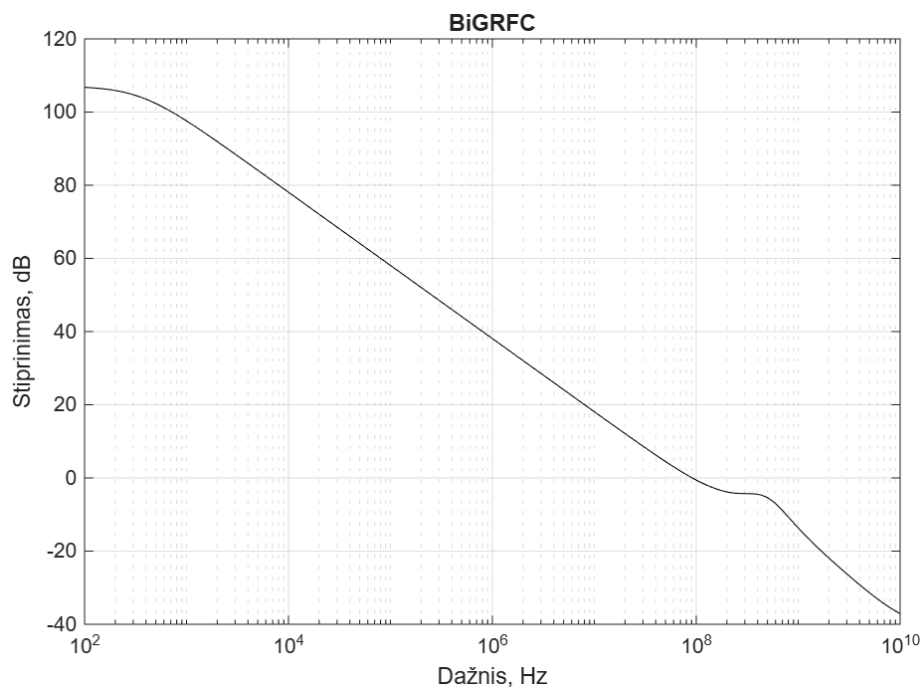
### 3.5.5. BiCMOS Gain-Boosted Recycling Folded Cascode

Projektuojamas GRFC stiprintuvas, tik pakeičiami srovės veidrodžio tranzistoriai į HBT tranzistorius. Šitaip išnaudojamas SiGe privalumas naudoti bipoliarinius tranzistorius kartu su lauko tranzistoriais. Buvo pasirinkta naudoti HBT tranzistorius dėl to, nes pastebėta, kad naujai įvesta schema įveda nulius ir poliūs, kurie gadina stiprintuvo dažninius parametrus. Įsigilinus rasta, kad srovės veidrodžio tranzistoriai yra per dideli, kad pasiekti reikiamą greitį, pasiekta technologinė riba. Kadangi srovės veidrodis pats generuoja savo darbo tašką, tai iškeisti lėtus NMOS tranzistorius į greitus HBT tranzistorius nėra sudėtinga.

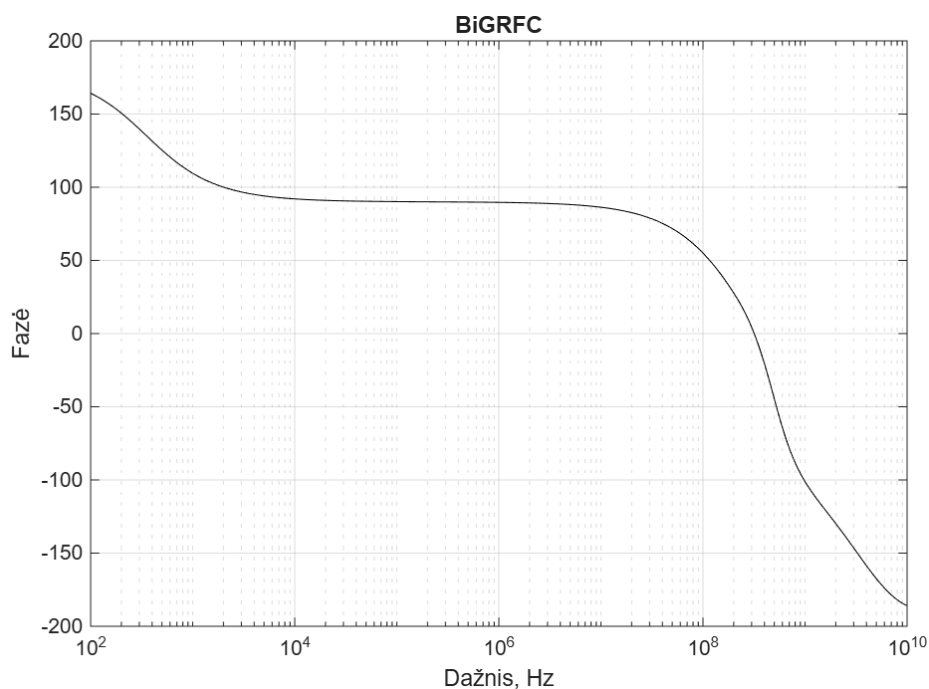


74 pav. BiCMOS Gain-boosted Recycling Folded Cascode schema

Šis sprendimas yra modeliuojamas:



75 pav. Gain-boosted Recycling Folded Cascode ADCh



76 pav. Gain-boosted Recycling Folded Cascode FDCh

Gauti parametrai:

8 lentelė. BiGRFC parametrai

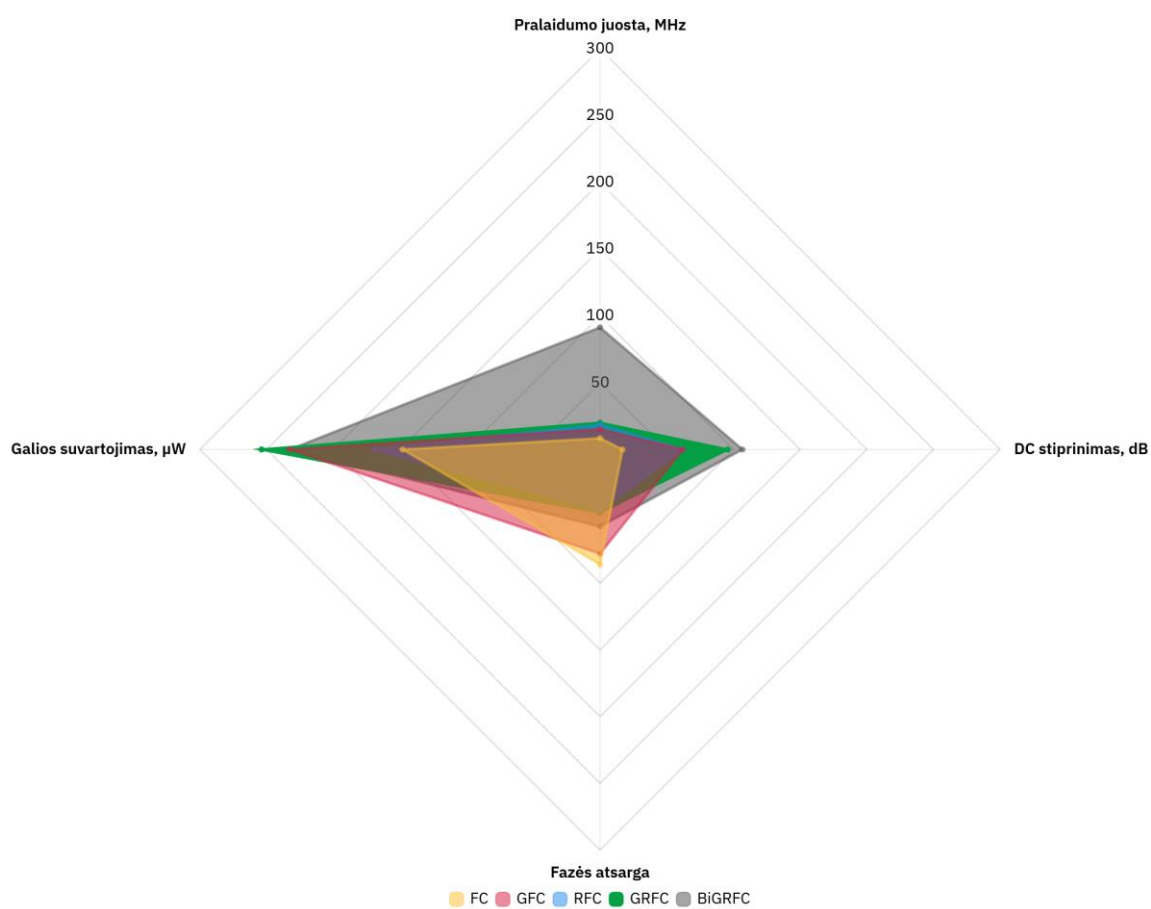
Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga (stabilumas)	Galios suvartojimas, $\mu\text{W}$
91.44	106.8	57.72	232.61

Čia gauta labai gera pralaidumo juosta, labai didelis stiprinimas, geras stabilumas ir didesnis galios suvartojimas. Fazinė dažninė charakteristika taip pat labai gera, tiesiška.

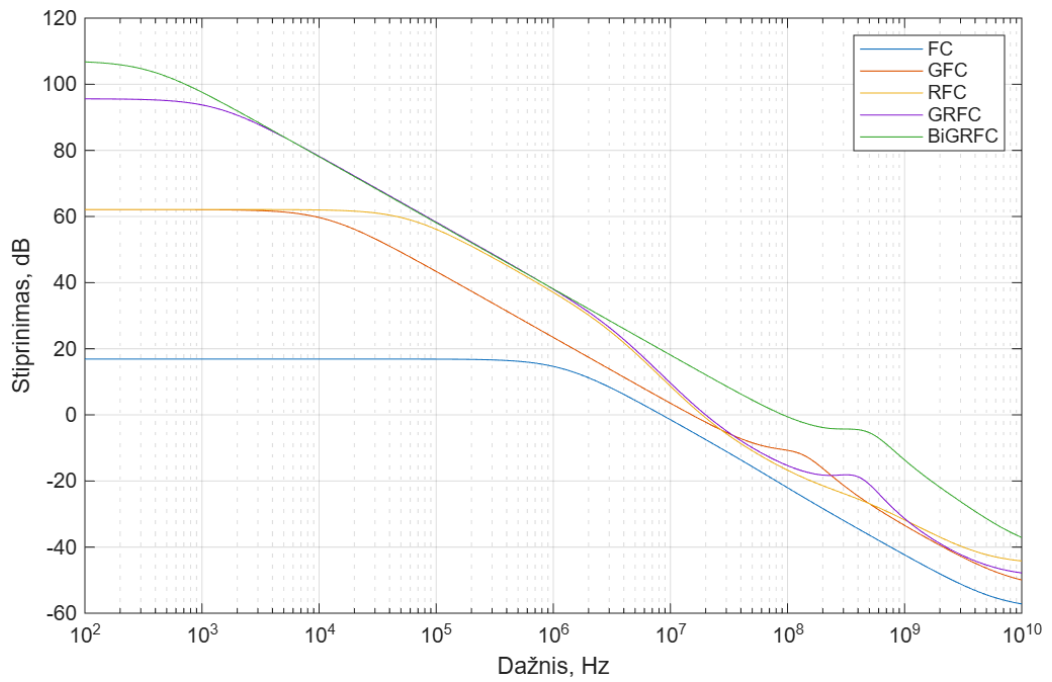
Visų stiprintuvų rezultatai palyginami tarpusavyje:

**9 lentelė.** Stiprintuvų parametrai

Stiprintuvas	Pralaidumo juosta, MHz	DC stiprinimas, dB	Fazės atsarga	Galios suvartojimas, $\mu\text{W}$
FC	8.426	16.88	86.07	148.02
GFC	15.21	62.08	78.06	232.61
RFC	18.63	62.1	45.49	169.17
GRFC	20	95.58	47.23	253.76
BiGRFC	91.44	106.8	57.72	232.61



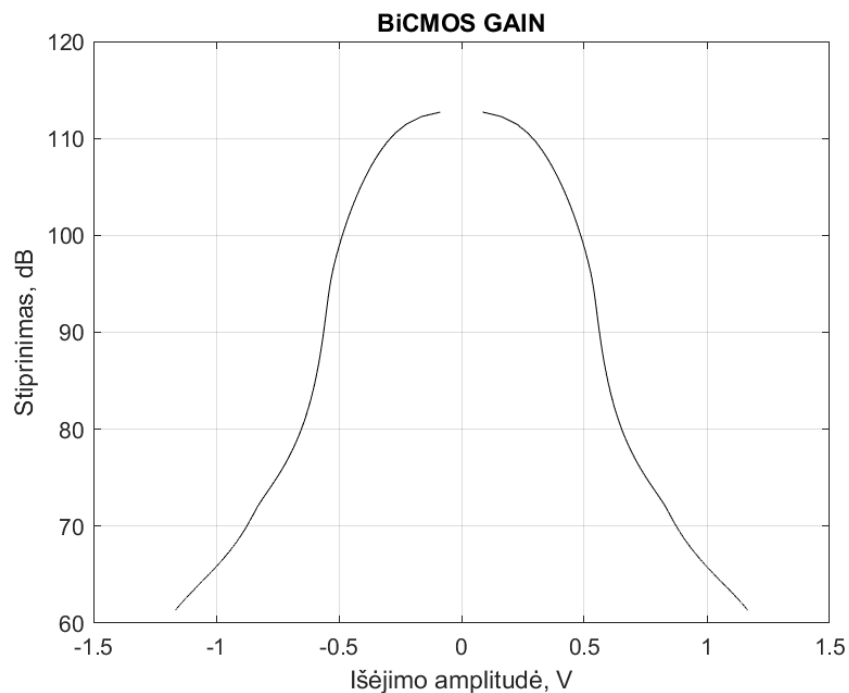
**77 pav.** Stiprintuvu parametru palyginimas



78 pav. Stiprintuvų perdavimo charakteristikos

Palyginus stiprintuvus, matoma, kad kai kurie parametrai labai panašūs. Pagrindinis pastebėjimas, kad sudėtingėjant stiprintuvui, mažėja stabilumas. Labiausiai išsiskiria BiGRFC stiprintuvas, kuris turi didžiausią stiprinimą ir pralaidumo juostą. Jo stabilumas yra pakankamai geras, tačiau galios suvartojimas vienas iš didesnių. Šis išsiskyrimas būtent ir atsiranda dėl BiCMOS schemos, kuri įmanoma tik SiGe technologijoje.

Kadangi pasirinkta naudoti BiCMOS stiprintuvą, tai reikia dar modeliuoti, ar pakanka stiprinimo 0,5 V išėjimo įtampos ruože.

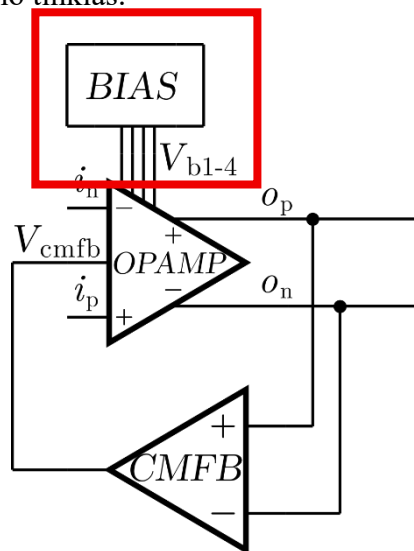


79 pav. Gain-boostered Recycling Folded Cascode DC stiprinimas

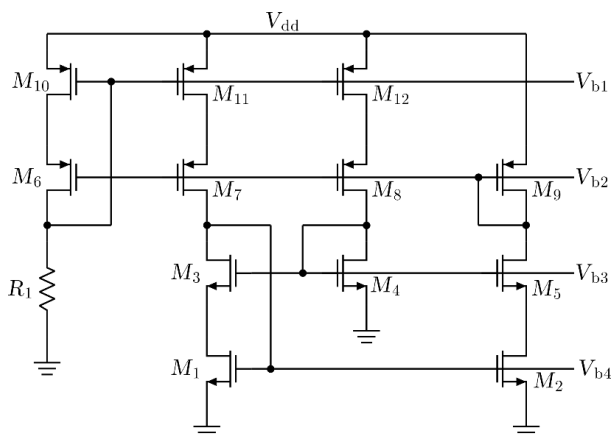
DC stiprinimo priklausomybė nuo išėjimo įtampos grafikas yra gautas modeliuojant stiprinimą prie skirtingų žemų įėjimo įtampų. Iš grafiko aiškiai matosi, kad  $\pm 0,5$  V išėjimo įtampos ruože tikrai pasiekiami 80+ dB stiprinimas. Šis stiprintuvas atitinka reikalavimus ir iš tirtų atrodo geriausiai dėl savo didelės pralaidumo juostos, aukšto stiprinimo ir gero stabilumo.

### 3.5.6. Stiprintuvo darbo taškų nustatymo schema

Taip pat reikia suprojektuoti ir stiprintuvo srovės šaltinius, kurie nustato darbo taškus. Tam naudojamas darbo taškų nustatymo tinklas.



80 pav. Operacinio stiprintuvo struktūra



81 pav. Folded Cascode darbo taškų nustatymo tinklas

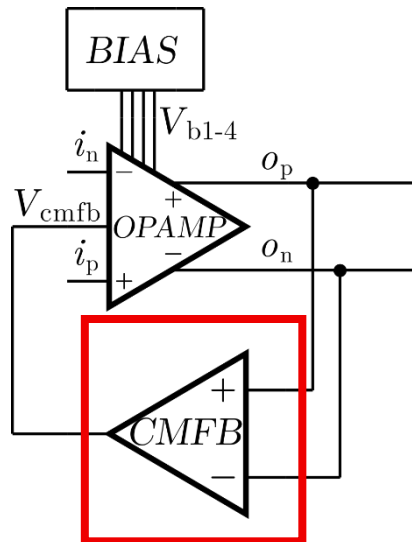
Ši schema generuoja visas reikiamas įtampas, kad įstatyti tranzistorius į reikiamus darbo taškus. Ji naudojama visuose projektuojamuose stiprintuvuose.

Jos veikimo principas paprastas, visi tranzistoriai yra tokios pat geometrijos, kaip stiprintuvo, ir jie yra sudėlioti taip, kad per juos tekėtų užsiduota srovė, kuri nustatoma varža. Iš šios schemos gaunamos 4 skirtingos darbo taško nustatymo srovės.

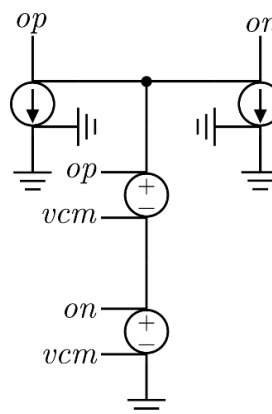
### 3.5.7. Stiprintuvo bendros žemės grįžtamojo ryšio schema

Turint stiprintuvo pagrindą, reikia užbaigti projektuoti kitas dalis. Pirma – CMFB schema. Ši struktūra nustato operacinio stiprintuvo common-mode įtampą išėjime.

Visuose modeliavimuose buvo naudojamas idealus CMFB. Šios schemos tikslas – nustatyti išėjime darbo taško įtampą, virtualią žemę.

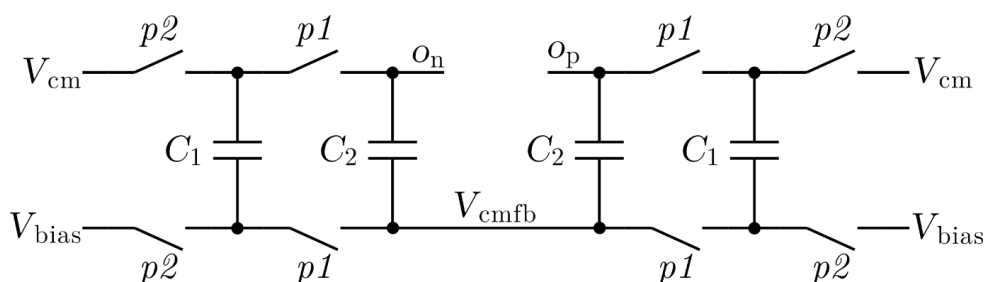


82 pav. Operacinio stiprintuvo struktūra

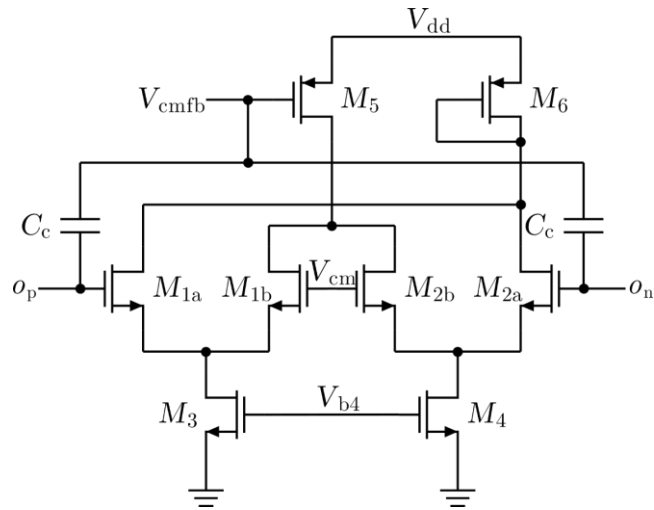


83 pav. Idealus CMFB

Realioje schemoje galima naudoti CT CMFB arba DT CMFB. Teoriškai, DT CMFB būtų geresnis pasirinkimas, kadangi jo galios suvartojimas mažesnis. Jo pagrindinis trūkumas, kad reikia taktuoti, tačiau modulatorius ir taip taktuojamas, tai šis trūkumas neaktualus. Tačiau gali būti, kad su talpiniu CMFB neišeis gauti reikiamo greičio, tad CT CMFB neatmetamas.



84 pav. DT CMFB [27]



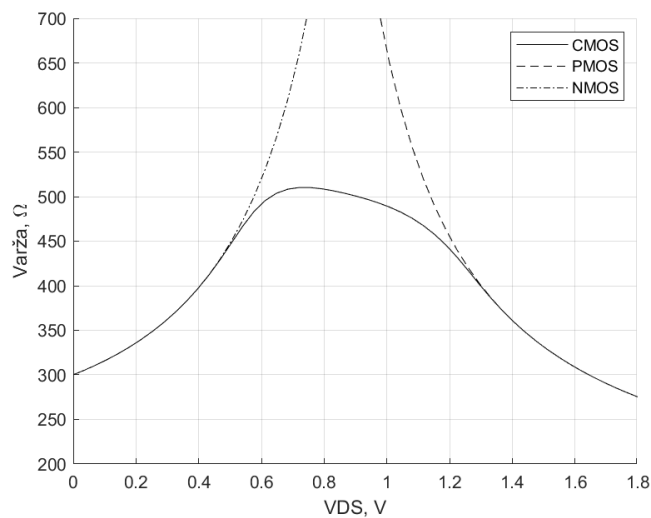
85 pav. CT CMFB [27]

DT CMFB šiuo atveju netinka, nes norint gauti reikiamą stabilumą ir greitį, talpos būna per didelės ir iškraipo modulatoriaus SNR. Buvo modeliuojamas CMFB su skirtingomis talpomis, ir pastebėta, kai kondensatoriai maži, tai CMFB pralaidumo juosta per maža, o kai jie dideli, tai pradeda dominuoti filtras, kuris sulėtina schemą.

Reikia projektuoti CT CMFB. Jo veikimo principas yra toks, palyginamos išėjimo įtampos, ir skirtumas tarp jų yra stiprinamas. Šis skirtumas tada nustato stiprintuvo išėjimo pakopos srovės šaltinių darbo tašką, taip yra palaikoma vienoda DC įtampa išėjimuose. Šio stiprintuvo pralaidumo juosta turi būti apie 5 kartus mažesnė nei pagrindinio, tai projektuojant gm ir ID yra sumažinama 5 kart.

### 3.6. Jungiklis

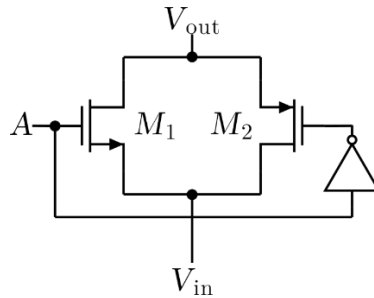
Jungikliai galimi 3: NMOS, PMOS ir transmission gate. Šie 3 junginiai turi savybę, kad jų atsidarymo varžos kinta nuo ant jų krentančios įtampos. NMOS tinka junginėti arti VSS įtampas, PMOS – arti VDD, o transmission gate – ruože tarp VSS ir VDD.



86 pav. Jungiklių varža

Grafikas gautas modeliuojant jungiklį, ir braizant jo išėjimo varžą, bei atskirtų tranzistorių išėjimo varžas. Buvo prijungtas CMOS jungiklio įėjimas prie įtampos, kuri buvo keičiama nuo žemės iki maitinimo įtampos, išėjimas prijungtas prie žemės, ir valdymas prijungtas prie maitinimo įtampos. Tuomet buvo nuskaitoma kiekvieno tranzistoriaus atskira varža ir jų bendra varža ir brėžiamas grafikas prie skirtingų įėjimo įtampų.

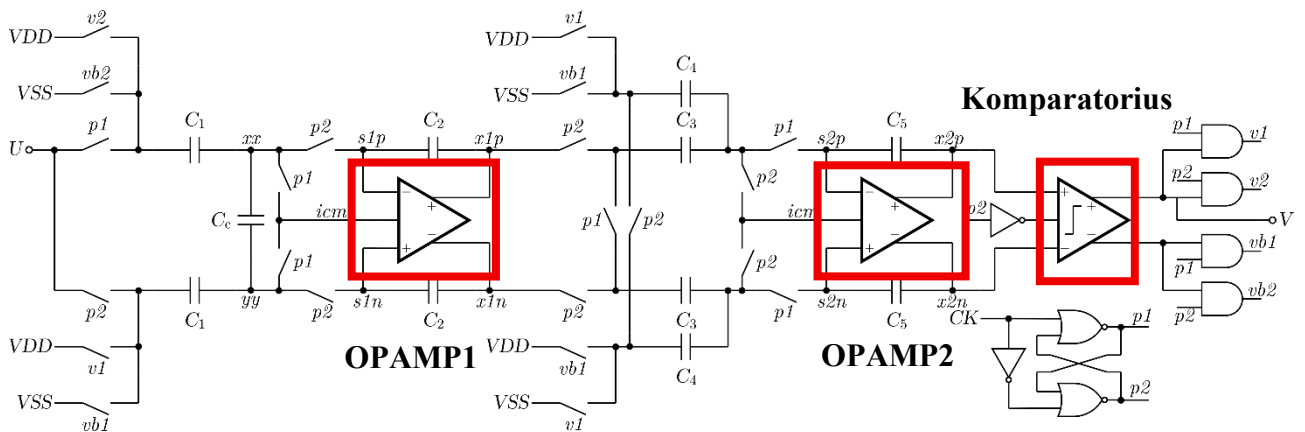
Nuspręsta naudoti CMOS jungiklį, kadangi moduliatoriuje įtampos kinta nuo VSS iki VDD, tai praeiti 2 junginiai netiktų, jų varžos būtų per daug nestabilios, įvestų daug iškraipymų.



87 pav. CMOS jungiklio schema

### 3.7. Galios suvartojimo optimizavimas

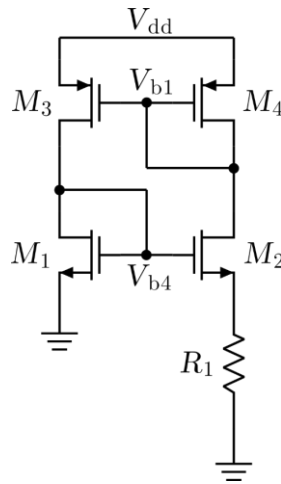
Dabar galima sumažinti galios suvartojimą. Galios suvartojimas susideda iš dinaminės ir statinės galios. Statinė srovė teka nuolat per operacinius stiprintuvus, ji nustato tranzistorių darbo tašką. Dinaminė srovė teka, kai moduliatorius veikia, ji daugiausiai priklauso nuo jungiklių ir talpų. Kadangi talpas nelabai galima keisti, nes tada gautume kitokia perdavimo funkciją, tai dinaminės galios nebus bandoma sumažinti. Lieka tik statinė galia. Komparatorius vartoja galią tik takto fronto metu, tai statinio galios suvartojimo nėra, tad tobulinami operaciniai stiprintuvai.



88 pav. Delta-Sigma moduliatoriaus schema

Pasirinktos Delta-Sigma moduliatoriaus CIBF architektūros integratoriai yra skirtingo jautrumo. Pirmos pakopos integratoriaus parametrai turi būti kur kas geresni už antros, apie 10 kartų [1]. Tad vienas iš variantų sumažinti galios suvartojimą, yra sumažinti antros pakopos operacinio stiprintuvo tranzistorius. Pasirinkta sumažinti 4 kartais, kad nebūtų tranzistoriai mažesni nei leidžiamas plotis. Kadangi tranzistoriai mažesni, tai reikia ir 4 kart mažesnės srovės nustatyti darbo taškus. Operacinio stiprintuvo galios suvartojimas sumažėja nuo 232,61  $\mu$ W iki 58,15  $\mu$ W.

Dar vienas patobulinimas, kuri galima įvesti, atsiranda dėl pasirinkto operacinio stiprintuvo. Naudojami du sprendimai: gain-boosting ir HBT srovės veidrodžiai. HBT srovės veidrodžiui nebereikia duoti atskiros darbo taško įtampos, o gain-boosting stiprintuvai dinamiškai nustato kaskodų darbo tašką, dar kaskodoms irgi nebereikia įtampų. Dėl šių priežasčių, reikia tik 2 darbo taško nustatymo įtampų, nebe 4. Galima supaprastinti srovės šaltinį, kur generuojamos tik 2 įtampos.



**89 pav.** Constant gm bias network

Kadangi čia naudojama mažiau tranzistorių, tai automatiškai bus mažesnis statinis galios suvartojimas. Sumažėjo nuo 12 tranzistorių iki 4. Srovės šaltinio galios suvartojimas taip pat sumažės apie 3 kartus.

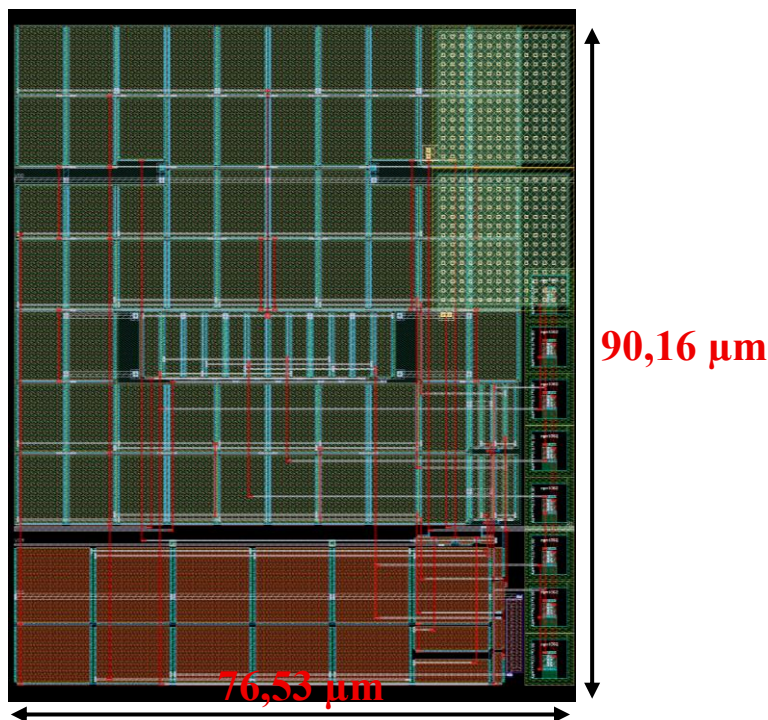
Pradinis modulatoriaus galios suvartojimas buvo  $P = 1,2 \text{ mW}$ . Sumažinus antros pakopos operacinio stiprintuvo tranzistorius ir sukūrus efektyvesnį srovės šaltinį darbo taškų nustatymui modeliuojamas modulatorius. Gaunamas finalinis bendros galios suvartojimas  $P = 751,18 \text{ } \mu\text{W}$ . Galios suvartojimas sumažėjo, nes buvo sumažintas tranzistorių skaičius ir sumažinti keli tranzistoriai, kurių statinės srovės sumažėjo.

#### 4. Topologijos projektavimas

Topologija projektuojama naudojant open-source programą Klayout. Pirmą pradedama nuo atskirų komponentų topologijų ir tada bus visi apjungiami į Delta-Sigma moduliatorių

##### 4.1. Pirmojo operacinio stiprintuvo topologija

Pirmoji projektuojama topologija yra 1 pakopos operacinis stiprintuvas.



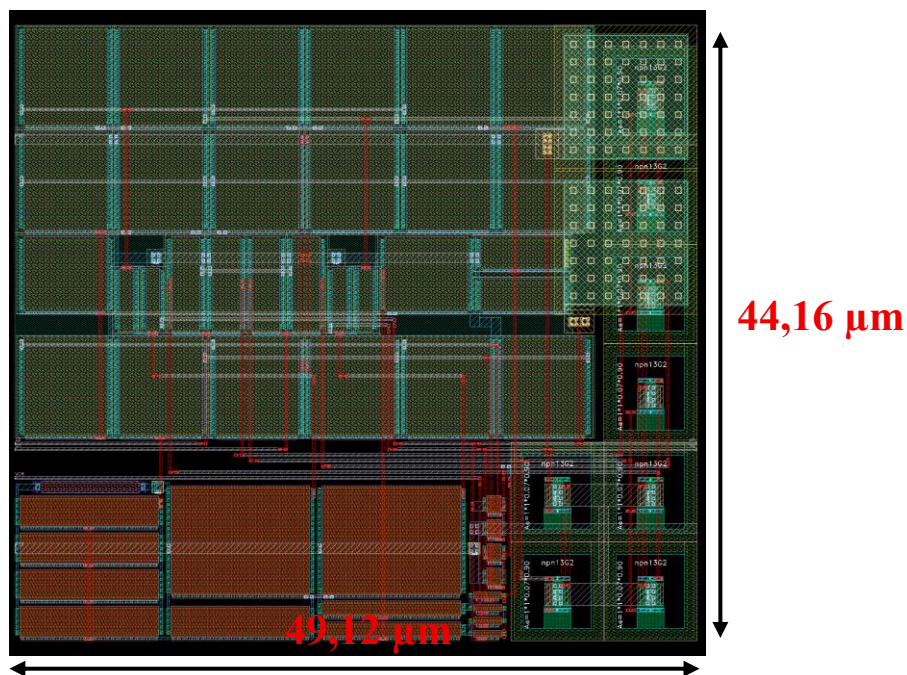
90 pav. Pirmojo operacinio stiprintuvo topologija

Čia yra panaudotos kelios technikos, siekiant sukurti kuo geresnę topologiją. Pirmą, tranzistoriai buvo sudėlioti minimaliais atstumais vienas nuo kito, siekiant sumažinti sunaudojamą plotą. Dėl mažų atstumų taip pat ir sumažėja trasavimo ilgis, gaunamos mažesnės varžos ir parazitiniai parametrai. Trečias privalumas, tai kai tranzistoriai sudėti taip arti vienas kito, yra sumažinama kanalo ilgio moduliacija. Diferencinė pora buvo padėta operacinio stiprintuvo viduryje, siekiant gauti kuo didesnę simetriškumą. Taip pat diferencinės poros ir srovės šaltiniai, kurie susidaro iš kelių lygiagrečių tranzistorių, yra tarpusavyje sukryžiuoti, siekiant sumažinti gamybinių paklaidų įtaką.

Trasuojant metalus buvo stengtasi naudoti tik 3 apatinius metalus, tokiu atveju lieka laisvi viršutiniai metalai, kurie gali būti naudojami trasuojant aukštesniame hierarchijos lygyje. Taip pat kiekvienas metalo sluoksnis turi savo trasavimo kryptį, 1 metalas naudojamas visomis kryptimis, 2 metalas trasuojamas horizontaliai, 3 metalas – vertikaliai. Kondensatoriai yra tarp 5 metalo ir 1 viršutinio metalo, tai jie gali būti dedami virš tranzistorių, taip sutaupoma dar daugiau vietos.

##### 4.2. Antrojo operacinio stiprintuvo topologija

Toliau projektuojamas antros pakopos operacinis stiprintuvas, kuris yra mažesnis.

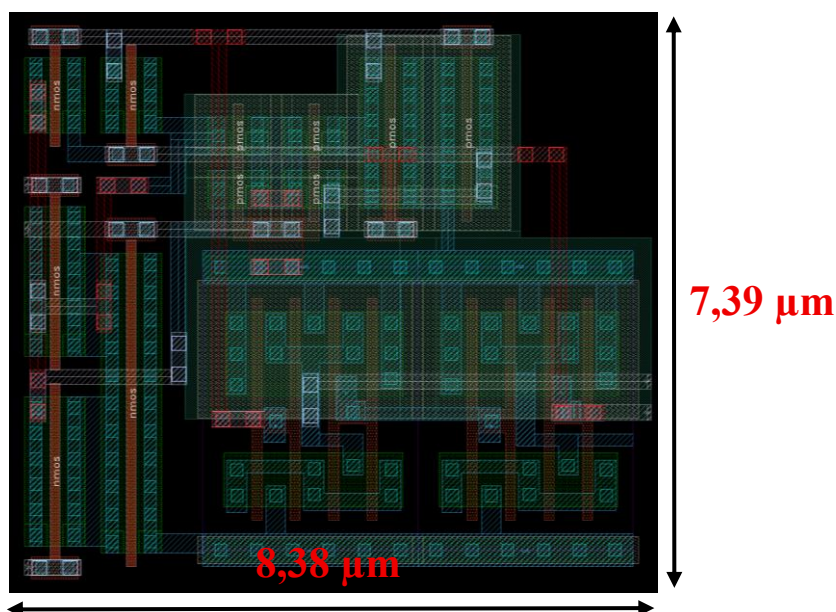


91 pav. Antrojo operacinio stiprintuvo topologija

Naudojami visi tie patys principai kaip ir pirmame stiprintuve. Skirtumas tik tas, kad yra mažiau tranzistorių, tai nėra tiek daug galimybių sumažinti gamybinių procesų įtaką, tačiau šis stiprintuvas nėra toks kritinis Delta-Sigma moduliatoriuje, kad atsiradusios paklaidos sugadintų rezultatą. Taip pat ir pats stiprintuvas yra suprojektuotas su greitaveikos atsarga. Trasuojami takeliai artimi minimalaus pločio, nes teka mažos srovės ( $\mu\text{A}$ ). Elektromigracijos nebus, nereikia plačių takelių, tad taip sumažinami parazitiniai parametrai.

#### 4.3. Komparatoriaus topologija

Komparatoriaus topologijos projektavimas yra daug laisvesnis, kadangi moduliatoriuje šiuo atveju skaitmeninių signalų greitis nėra didelis.

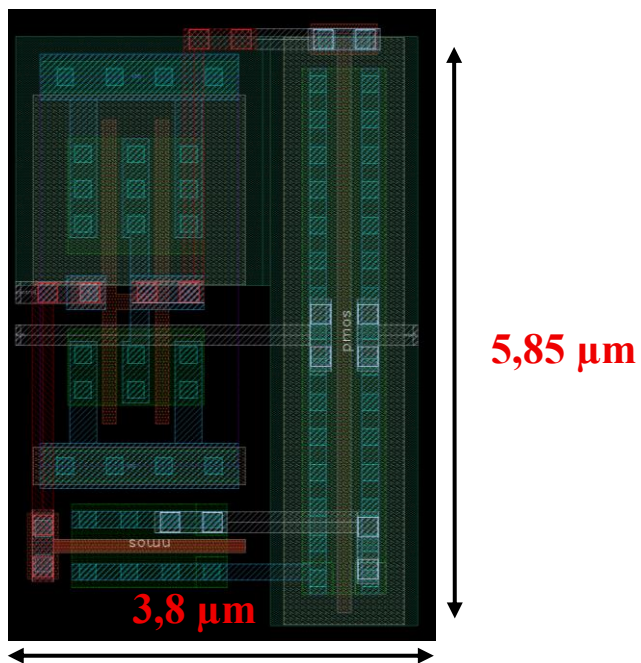


92 pav. Komparatoriaus topologija

Tranzistoriai yra daug mažesni nei operacinio stiprintuvo, tai topologija irgi yra daug mažesnė.

#### 4.4. Jungiklio topologija

Paskutinis blokas, kuri reikia suprojektuoti yra pats jungiklis.

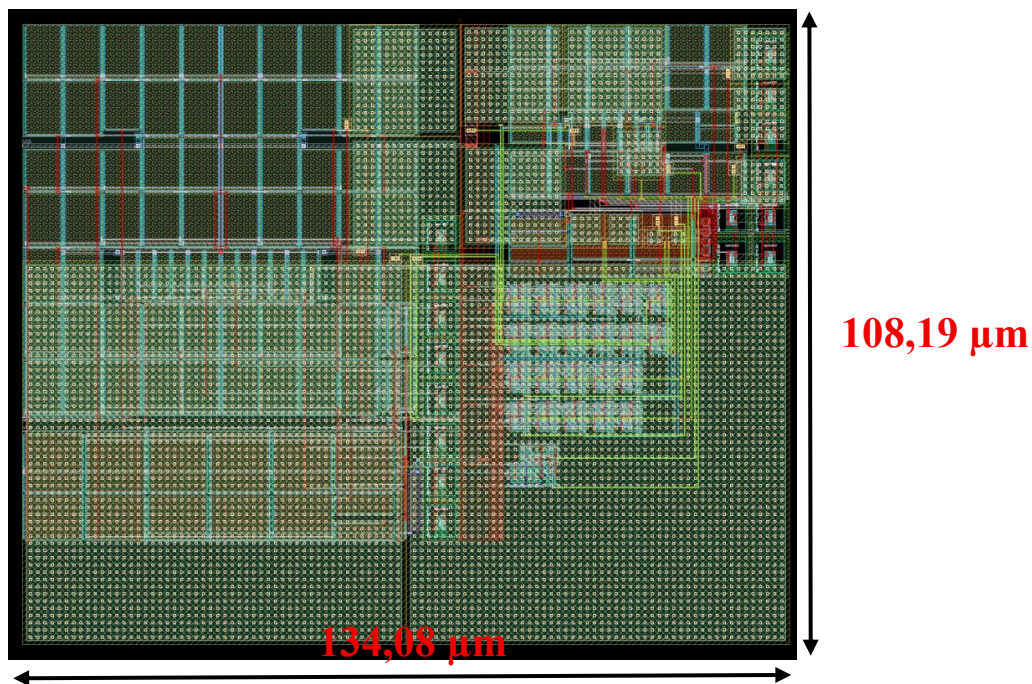


93 pav. Jungiklio topologija

Čia yra paprasčiausia topologija, susideda iš kelių tranzistorių. Topologija sukurta kad minimizuoti plotą.

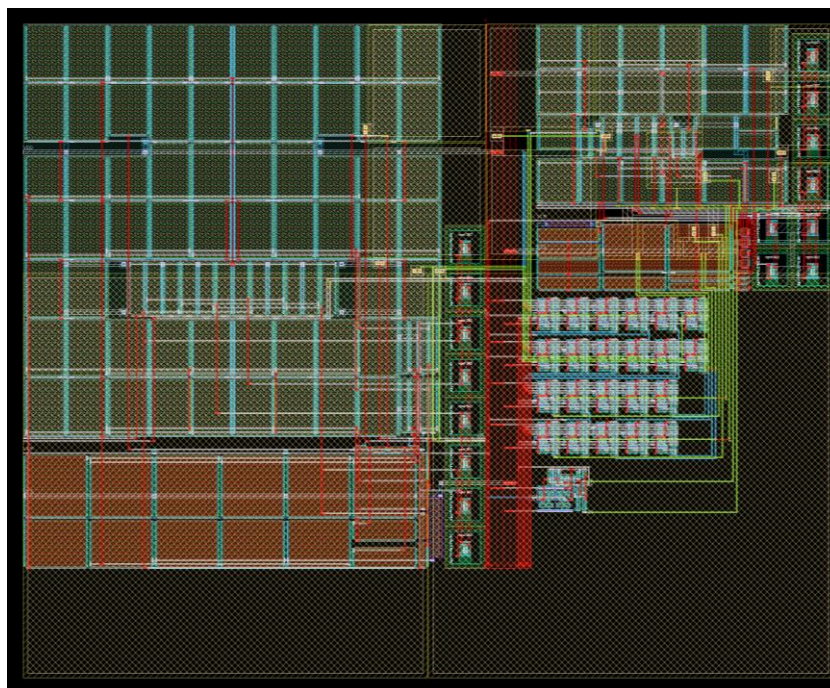
#### 4.5. Delta-Sigma modulatoriaus topologija

Dabar turint visų blokų topologijas, jas galima apjungti į Delta-Sigma moduliatorių.



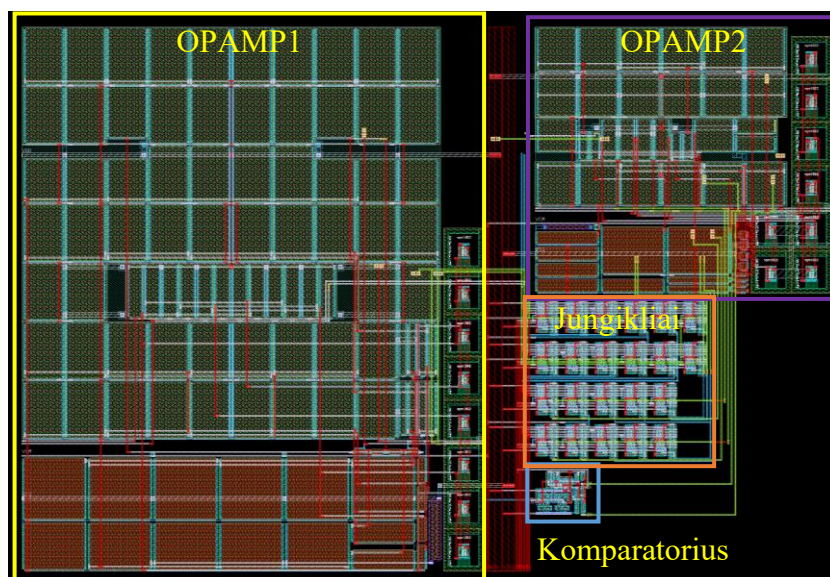
94 pav. Delta-Sigma modulatoriaus topologija

Didžioji dalis topologijos yra uždenyta kondensatoriais, sunku matyti kaip viskas atrodo.



95 pav. Delta-Sigma modulatoriaus topologija (paslėpti kondensatoriaus sluoksniai)

Paslėpus MIM sluoksnius, matomi tik metalizacijos sluoksniai ir tranzistoriai. Galima dar paslėpti ir viršutinius metalus, kad matyti tik trasavimą tarp blokų:



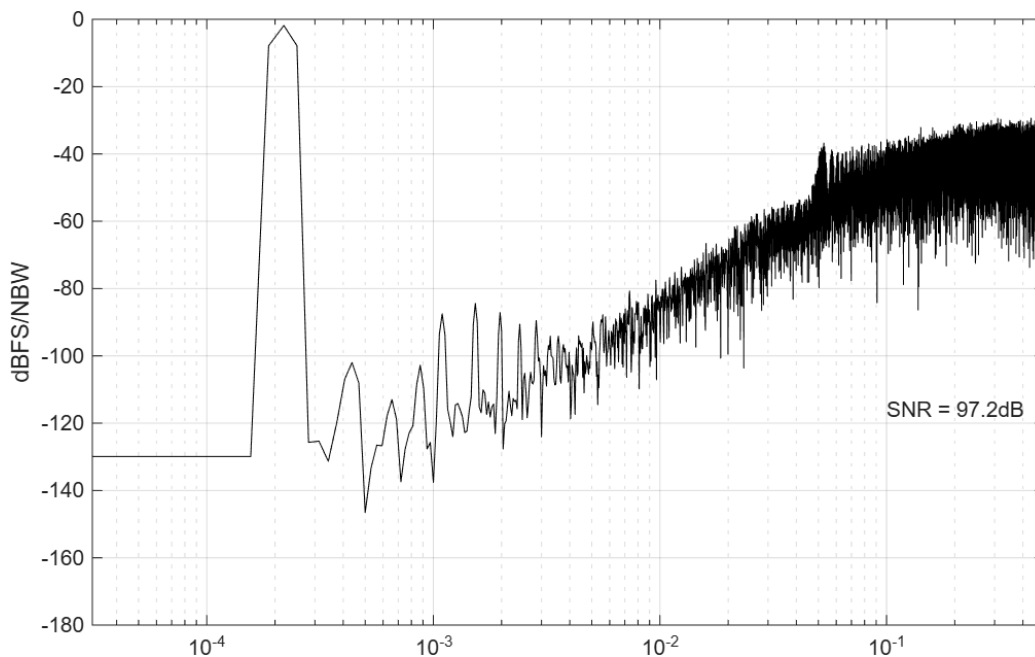
96 pav. Delta-Sigma modulatoriaus topologija (paslėpti viršutinio metalo sluoksniai)

Modulatorius projektuojamas, kad būtų lusto dalis, tai reikia projektuojant įvertinti ir patogų prisijungimą prie kitų blokų. Dėl tos priežasties, per vidurį topologijos yra pratrašyti skirtingi laidai, prie kurių prijungiamas maitinimas, taktiniai signalai ir įėjimas bei išėjimas. Prisijungimai prie laidų yra padėti topologijos kraštuose.

Modulatoriaus matmenys – 134,075  $\mu\text{m}$  (horizontaliai) x 108,19  $\mu\text{m}$  (vertikaliai). Bendras plotas – 0,015  $\text{mm}^2$ .

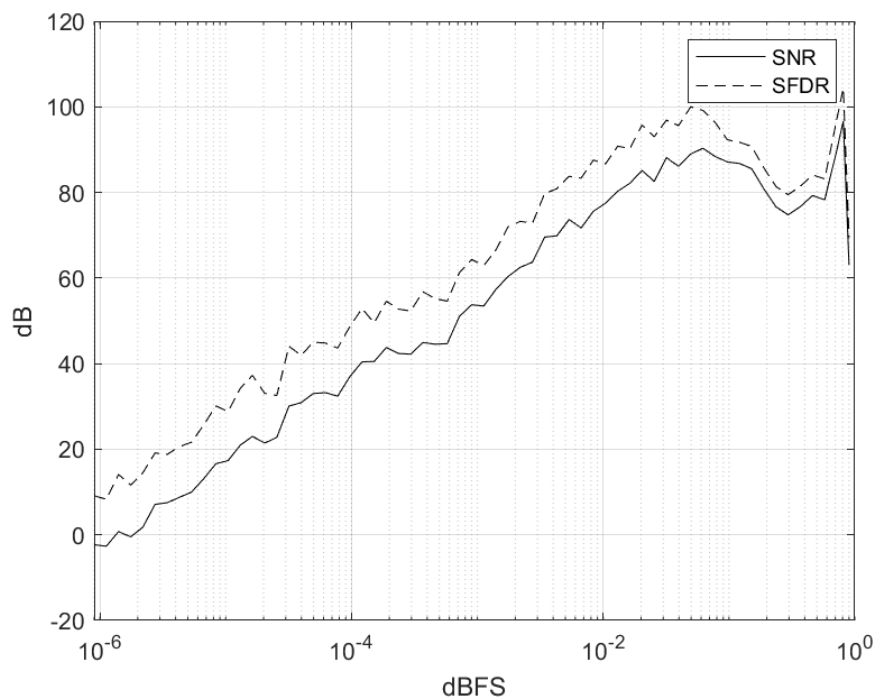
## 5. Rezultatai

Pakeitus visus modulatoriaus blokus ir realias schemas buvo atliktas modeliavimas ir gautas spektras:



97 pav. Suprojektuoto modulatoriaus spektras

Teko įdėti dar kompensacinę talpą tarp xx ir yy mazgų (45 pav.), kurios vertė – 435 fF. Ši talpa sumažina įtampos šuolius, atsirandančius dėl pereinamųjų procesų. Šie atsiradę šuoliai atidarydavo jungiklius ant ne tos fazės ir buvo iškraipomas signalas. Kompensacinė talpa filtruoja tuos šuolius ir gaunams geresnis SNR. Taip pat buvo modeliuojamas įėjimo įtampos dinaminis diapazonas, keičiama įėjimo įtampa ir gaunama SNR vertė:



98 pav. Suprojektuoto modulatoriaus SNR priklausomybė nuo įėjimo įtampos

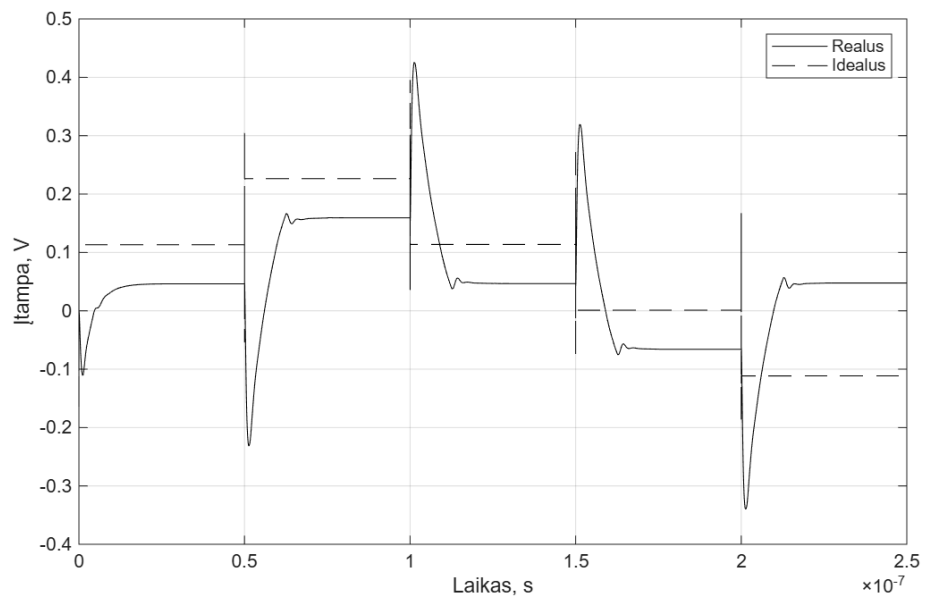
0 SNR pasiekama prie 2  $\mu\text{V}$ , o maksimali įtampa yra 900 mV, tai gaunamas įėjimo įtampos dinaminis diapazonas = 113,0643 dB. Modulatoriaus maksimalus SNR – 97,2 dB. Galios suvartojimas – 751,18  $\mu\text{W}$ .

Turint šiuos parametrus, galima apskaičiuoti modulatoriaus efektyvumą naudojant FoM.

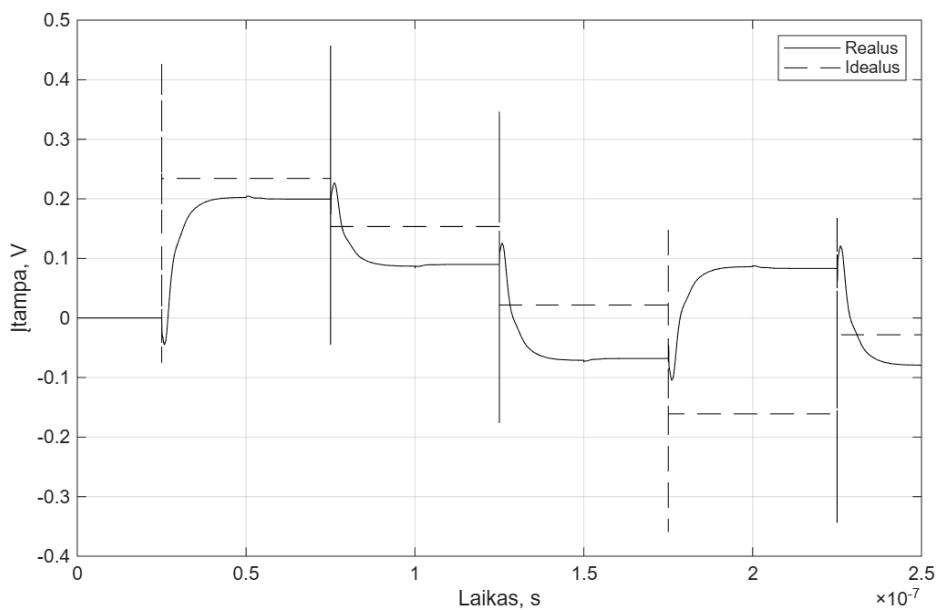
$$FoM_S(dB) = DR(dB) + 10 * \log_{10} \frac{BW}{P}. \quad (31)$$

Gautas 187.32 dB FoM. Tai yra labai geras rezultatas, panašūs darbai svyruoja nuo 160-185 dB.

Taip pat buvo palyginti integratorių išėjimai ir diskretizuoto įėjimo įtampos lygiai tarp suprojektuoto modulatoriaus ir idealaus:

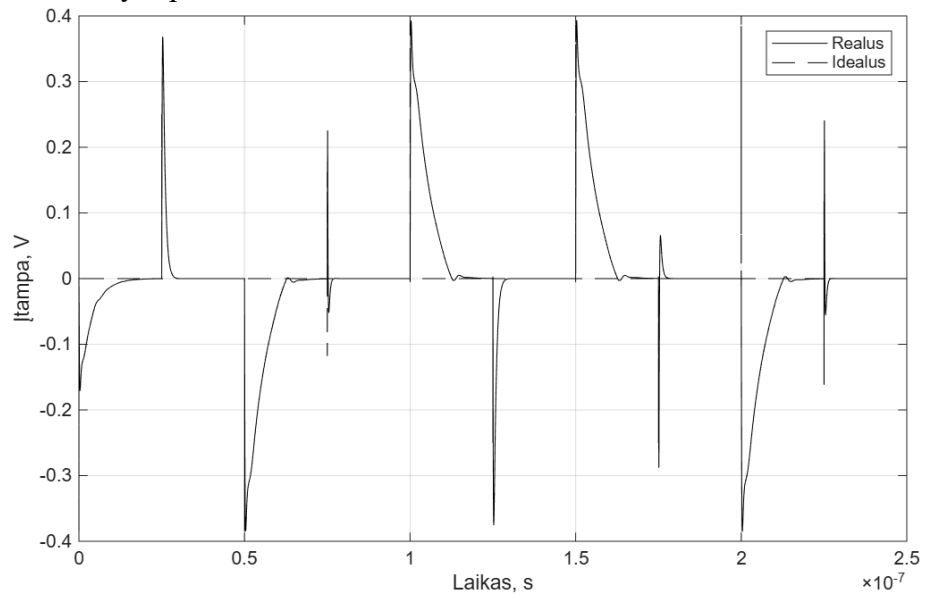


**99 pav.** Pirmo integratoriaus išėjimo laikinė diagrama



**100 pav.** Antro integratoriaus išėjimo laikinė diagrama

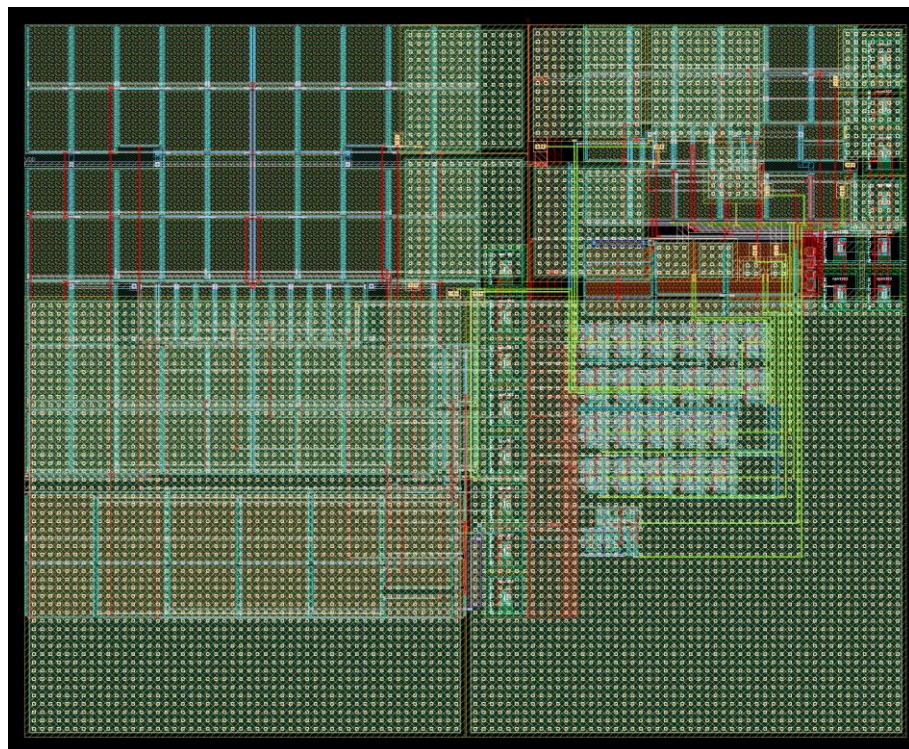
Matome, kad įtampų lygiai nevisai sutampa, tai rodo, kad yra galimybė koreguoti integratoriaus talpas, siekiant dar artimesnio varianto idealiam moduliatoriui, tačiau dabar gautas rezultatas yra pakankamas. Iš diagramų taip pat matoma, kad signalas spėja nusistovėti per puse impulso, tad stiprintuvų greitaiveika yra pakankama.



**101 pav.** Diskretizuoto įėjimo laikinė diagrama

Iš diskretizuoto įėjimo matosi, kad vietomis realioje schemeje atsiranda įtampos šuoliai, kurių nėra idealioje. Šie įtampos šuoliai gali atidaryti jungiklius priešingos fazės metu. Čia yra dar viena potenciali optimizavimo vieta. Dėl šių šuolių ir buvo įdėta talpa tarp xx ir yy mazgų, kuri šiek tiek prafiltruoja šiuos šuolius.

Finalinė moduliatoriaus topologija:



**102 pav.** Delta-Sigma moduliatoriaus topologija

Apibendrinus, modulatoriaus parametrai tokie:

**10 lentelė.** Suprojektuoto modulatoriaus parametrai

Darbas	Šis darbas	4	7	14
Architektūra	CIFB	CIFB	CIFF	CIFB
Implementacija	DT	DT	DT	DT
Pralaidumo juosta	20 kHz	20 kHz	20 kHz	20 kHz
SNDR	97,2 dB	91,3 dB	97,7 dB	65,3 dB
VDD	1,8 V	1,6 V	1,8 V	1,8 V
Galios suvartojimas	751,18 $\mu$ W	390 $\mu$ W	300 $\mu$ W	420 $\mu$ W
DR	113,06 dB	103,1 dB	105,5 dB	71 dB
FoM	187,32 dB	180 dB	183,74 dB	147,8 dB
Bendras plotas	0,015 mm <sup>2</sup>	0,21 mm <sup>2</sup>	-	-
Technologija	130n BiCMOS	160n CMOS	180n CMOS	65n CMOS

Šis darbas pasižymi aukščiausiu galios suvartojimu, bet ir aukščiausiu DR. Apjungus visus parametrus gautas konkurencingas FoM. Taip pat gautas labai mažas sunaudotas plotas, čia yra BiCMOS privalumas, nes iš mažesnių tranzistorių buvo galima gauti geresni rezultatą pridodant HBT tranzistorius.

## Išvados

1. Suprojektuotas ir ištirtas Delta-Sigma moduliatorius, taikant SiGe lustų technologiją. Pritaikyta BiCMOS schema, kurią buvo įmanoma sukurti naudojant SiGe, ir gautas moduliatorius su parametrais: SNR – 97,2 dB, DR – 113,06 dB, galios suvartojimas – 751,18  $\mu$ W, o FoM – 187,32 dB. Gauti rezultatai įrodo, kad SiGe lustų technologija duoda naujas galimybes tobulinti Delta-Sigma moduliatorius, naudojamus analogas-skaitmuo keitikliuose.
2. Atlikus Delta-Sigma moduliatorių architektūrų analizę, rasta, kad audio dažnių ruože optimalu naudoti CIFB architektūrą. StrongARM komparatorius yra optimalus moduliatoriaus kvantoriui dėl dinaminio galios suvartojimo. „Folded-Cascode“ operacinis stiprintuvas pasirinktas dėl aukšto stiprinimo ir tiesiškumo.
3. Sumodeliuotas Delta-Sigma moduliatorius, naudojant MATLAB biblioteką, bei Verilog-A modelius. Gauti idealūs signalai, pagal kuriuos buvo pasirinkta projektuoti 2 eilės moduliatorių su 500 diskretizavimo santykiu.
4. Suprojektuotas grandinės lygio Delta-Sigma moduliatorius. Panaudoti standartiniai sprendimai, kurie buvo pritaikyti SiGe lustų technologijai, ir suprojektuotas komparatorius, komutuojami jungikliai, ir integratoriai. Ištirtos skirtingų operacinių stiprintuvų architektūros ir pasiūlyta nauja schema „BiCMOS Gain-Boosted Recycling Folded-Cascode“ operacinis stiprintuvas, kuris leido viršyti CMOS technologinius apribojimus.
5. Suprojektuota moduliatoriaus topologija, kurios matmenys 134,075  $\mu$ m x 108,19  $\mu$ m. Bendras plotas – 0,015 mm<sup>2</sup>. Privalumas, kad topologija yra arti kvadrato formos, tad lengvai galima įdėti i bendrą lustą šalia kitų blokų. Taip pat, topologija yra pakankamai maža, ir parazitiniai parametrai taip pat per maži, tai jie neturėjo didelės įtakos moduliatoriaus parametrams.
6. Sukurtas moduliatorius pasižymi dideliu galios suvartojimu (751,18  $\mu$ W), lyginant su kitais darbais (~300-400  $\mu$ W), tačiau labai aukštą jėgimo įtampos dinaminį diapazoną (113,06 dB). Dėl to gautas aukštas FoM (187,32 dB), kuris konkuruoja su kitais moduliatoriais (~180-190 dB). Lyginant FoM su kitais darbais gauta, kad suprojektuotas moduliatorius yra gan pažangus ir konkuruoja su kitais sprendimais.

## Literatūros sąrašas

1. PAVAN, Shanthi; SCHREIER, Richard; TEMES, Gabor C. *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.
2. MARCU, Ioana, et al. Delta-sigma modulation for noise cancellation in 5g-compliant network. *Wireless Personal Communications*, 2022, 1-15.
3. BONI, Andrea, et al. A low-power sigma-delta modulator for healthcare and medical diagnostic applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2021, 69.1: 207-219.
4. DE BERTI, Claudio, et al. A 106 dB A-weighted DR low-power continuous-time  $\Sigma\Delta$  modulator for MEMS microphones. *IEEE Journal of Solid-State Circuits*, 2016, 51.7: 1607-1618.
5. EDWARD, Alexander, et al. A 43-mW MASH 2-2 CT  $\Sigma\Delta$  Modulator Attaining 74.4/75.8/76.8 dB of SNDR/SNR/DR and 50 MHz of BW in 40-nm CMOS. *IEEE Journal of Solid-State Circuits*, 2016, 52.2: 448-459.
6. LEE, Ilseop; KIM, Byoung-ho; LEE, Byung-Geun. A low-power incremental delta-sigma ADC for CMOS image sensors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 63.4: 371-375.
7. LEE, Sangwoo, et al. A 300- $\mu\text{W}$  Audio  $\Delta\Sigma$  Modulator With 100.5-dB DR Using Dynamic Bias Inverter. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2016, 63.11: 1866-1875.
8. QI, Liang, et al. A 4.2-mW 77.1-dB SNDR 5-MHz BW DT 2-1 MASH  $\Delta\Sigma$  Modulator With Multirate Opamp Sharing. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017, 64.10: 2641-2654.
9. YOON, Do-Yeon; HO, Stacy; LEE, Hae-Seung. A Continuous-Time Sturdy-MASH  $\Delta\Sigma$  Modulator in 28 nm CMOS. *IEEE Journal of Solid-State Circuits*, 2015, 50.12: 2880-2890.
10. BREEMS, Lucien, et al. A 2.2 GHz Continuous-Time  $\Delta\Sigma$  ADC With 102 dBc THD and 25 MHz Bandwidth. *IEEE Journal of Solid-State Circuits*, 2016, 51.12: 2906-2916.
11. BILLA, Sujith; DIXIT, Suhas; PAVAN, Shanthi. Analysis and design of an audio continuous-time 1-X FIR-MASH delta-sigma modulator. *IEEE Journal of Solid-State Circuits*, 2020, 55.10: 2649-2659.
12. BOLATKALE, Muhammed, et al. A 4 GHz Continuous-Time  $\Delta\Sigma$  ADC With 70 dB DR and  $-74$  dBFS THD in 125 MHz BW. *IEEE Journal of Solid-State Circuits*, 2011, 46.12: 2857-2868.
13. HSU, Chih-Han; TANG, Kea-Tiong. A 1V low power second-order delta-sigma modulator for biomedical signal applicaion. In: *2013 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*. IEEE, 2013. p. 2008-2011.
14. HUANG, Mu-Chen; LIU, Shen-Iuan. A Fully Differential Comparator-Based Switched-Capacitor  $\Delta\Sigma$  Modulator. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2009, 56.5: 369-373.
15. DE LA ROSA, José M., et al. Next-generation delta-sigma converters: Trends and perspectives. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2015, 5.4: 484-499.

16. SIRA-RAMÍREZ, Hebertt; SIRA-RAMÍREZ, Hebertt. *Delta-Sigma Modulation*. Springer International Publishing, 2015.
17. ASSAAD, Rida S.; SILVA-MARTINEZ, Jose. The recycling folded cascode: A general enhancement of the folded cascode amplifier. *IEEE Journal of Solid-State Circuits*, 2009, 44.9: 2535-2542.
18. Open source PDK. *IHP* [online]. [Accessed 8 May 2026]. Available from: <https://www.ihp-microelectronics.com/services/research-and-prototyping-service/fast-design-enablement/open-source-pdk>.
19. IHP-GMBH. IHP-GmbH/IHP-open-PDK: 130nm bimos open source PDK, dedicated for analog, mixed signal and RF design. documentation is here: *GitHub* [online]. [Accessed 8 May 2026]. Available from: <https://github.com/IHP-GmbH/IHP-Open-PDK>
20. *IHP-Open-PDK/ihp-sg13g2/libs.doc/doc/sg13g2\_os\_layout\_rules.pdf at main · ihp-gmbh/IHP-open-PDK* [online]. [Accessed 8 May 2026]. Available from: [https://github.com/IHP-GmbH/IHP-Open-PDK/blob/main/ihp-sg13g2/libs.doc/doc/SG13G2\\_os\\_layout\\_rules.pdf](https://github.com/IHP-GmbH/IHP-Open-PDK/blob/main/ihp-sg13g2/libs.doc/doc/SG13G2_os_layout_rules.pdf)
21. *IHP-Open-PDK/ihp-sg13g2/libs.doc/doc/sg13g2\_os\_process\_spec.pdf at main · ihp-gmbh/IHP-open-PDK* [online]. [Accessed 8 May 2026]. Available from: [https://github.com/IHP-GmbH/IHP-Open-PDK/blob/main/ihp-sg13g2/libs.doc/doc/SG13G2\\_os\\_process\\_spec.pdf](https://github.com/IHP-GmbH/IHP-Open-PDK/blob/main/ihp-sg13g2/libs.doc/doc/SG13G2_os_process_spec.pdf)
22. STEFANSCHIPPERS. Stefanschippers/xschem: A Schematic editor for VLSI/ASIC/analog custom designs, netlist backends for VHDL, spice and Verilog. the tool is focused on hierarchy and parametric designs, to maximize circuit reuse. *GitHub* [online]. [Accessed 8 May 2026]. Available from: <https://github.com/StefanSchippers/xschem>
23. KLAYOUT. KLAYOUT/Klayout: Klayout Main Sources. *GitHub* [online]. [Accessed 8 May 2026]. Available from: <https://github.com/KLayout/klayout>
24. Ngspice. *ngspice / ngspice / [4feeb9]* [online]. [Accessed 8 May 2026]. Available from: <https://sourceforge.net/p/ngspice/ngspice/ci/master/tree/>
25. Česnauskas, Benas, Andrius Chaziachmetovas, and Kauno technologijos universitetas autorius. 2025. “5-T OTA Chip Design and Tape-out in IHP Open Source PDK / Benas Česnauskas, (Supervisor A. Chaziachmetovas).” *TiFEC–2025: TiFEC Student Scientific Conference: Proceedings of the Student Scientific Conference, TiFEC–2025.*, April 1. <https://ebooks.ktu.edu/product/tifec2025.-tifec-student-scientific-conference.-proceedings-conference>.
26. CARUSONE, Tony Chan; JOHNS, David A.; MARTIN, Kenneth W. *Analog integrated circuit design*. John Wiley & Sons, 2011.
27. SANSEN, Willy M. *Analog design essentials*. Springer Science & Business Media, 2007.
28. JESPER, Paul GA; MURMANN, Boris. *Systematic design of analog CMOS circuits*. Cambridge University Press, 2017.
29. DE LA ROSA, José M. Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2010, 58.1: 1-21.