

Save testuojančių schemų testavimas

Ž. Tamoševičius

Programų inžinerijos katedra, Kauno technologijos universitetas,

Studentų g. 50, LT-51368 Kaunas, Lietuva, tel. +370 37 38 30 55, el. p. microchaos@transblokas.com

Įvadas

Naudojant vėlinimo gedimų modelius, integruose schemą reikia testuoti esant tokiam sinchroninio signalo dažniui, koks bus naudojamas normaliai veikiančiai schemai. Tokie testai vadinami vėlinimo gedimų testais. Jie skiriasi nuo testų, skirtų loginėms klaidoms testuoti ir atliekamų, kai sinchroninio signalo dažnis daug mažesnis, nei esant darbiniam integrinės schemos režimui. Nepaisant to, pastaruoju metu vėlinimo gedimų modeliai naudojami vis plačiau. Be to, vėlinimo gedimų testavimo protokolas nuo loginių gedimų testavimo protokolo skiriasi tik keliais punktais:

1. Po pradinių verčių įkrovimo į trigerius, sujungtus su testuojama kombinacine schema, siunčiamas sinchroninis signalas, kuris gali pakeisti tų trigerių vertes;

2. Įvedama laiko intervalo, po kurio atsiranda testuojamos schemos reakcija, sąvoka. Šis laiko intervalas negali būti ilgesnis už laiko intervalą tarp dviejų gretimų sinchroninio signalo impulsų.

Vėlinimo gedimų testavimo protokolas skirtas aptikti kombinaciniame schemeje vėlinimo gedimams, kurių atsiranda kai signalas iš schemos įėjimo į išėjimą sklinda daug ilgiau, nei trunka intervalas tarp dviejų gretimų sinchroninio signalo impulsų. Taria, kad kitokių (loginių, fizinių) schemos gedimų nėra. Šis testavimo protokolas netikrina kiekvieno elemento charakteristikų, t.y. netikrina, ar kiekvienas schemos elementas atitinka specifikaciją vėlinimo prasme.

Testavimo vektoriai gali būti įkraunami bet kuriuo metodu, pavyzdžiui, naudojant SCAN grandinėle [1–4]. Testavimo vektoriai taip pat gali būti gaunami bet koku būdu, pavyzdžiui, naudojant automatines testinių rinkinių generavimo programas (ATPG).

Vėlinimo gedimams testuoti dažnai naudojamas modelis, vertinantis tik loginio elemento vėlinimą, bet ne tokių elementų grandinėlių vėlinimą [2]. Toks modelis turi trūkumų – testuojamumo priklausomumas nuo kitų schemos elementų. Taip pat naudojantis šiuo modeliu neįmanoma surasti gedimų, kai kiekvienas atskiras elementas tenkina savo specifikaciją, bet juos sujungus į vieną grandinėle, suminė vėlinimo trukmė viršija laiko intervalą tarp dviejų gretimų sinchroninio signalo impulsų.

Visus šiuos trūkumus galima pašalinti, naudojant schemos elementų grandinėles – kelio vėlinimo gedimų modelį. Kelyje yra vėlinimo gedimas tuo atveju, kai signalas sklinda ilgiau, nei trunka intervalas tarp dviejų

gretimų sinchroninio signalo impulsų ir visiškai nesvarbu, kiek ilgiau. Schema korektiškai veikia tik tuo atveju, jei kiekvienu schemos keliu signalas sklinda laiko intervalą, trumpesnį už laiko intervalą tarp dviejų gretimų sinchroninio signalo impulsų. Siūlomas metodas, kuriuo galima surasti kelius, kurie jau buvo patikrinti, ar neturi vėlinimo gedimų.

Gedimų modelis, pagrįstas vieno elemento vėlinimo tikrinimu, siūlomas [5]. Siūloma testavimo kokybės matavimo metodika, tačiau daroma prielaida, kad kiekvieno elemento vėlinimai yra dideli.

Sinchroninio signalo vertė, testuojant vėlinimo gedimus, aptariama [6], tačiau čia visiškai neličiami trigerių ir sinchroninio signalo pasiskirstymo klausimai.

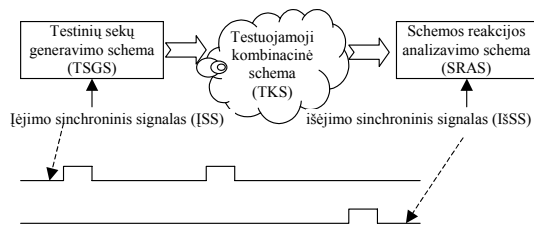
Toliau bus aptariamas aparatūrinis vėlinimo gedimų testavimo modelis. Taip pat bus aptariami kelio vėlinimų gedimai, metodas, kuriuo nustatoma, ar kelias jau buvo testuotas. Po to bus nagrinėjamos vėlinimo kelio gedimų savybės bei padarytos išvados.

Apibendrintas vėlinimo gedimų testavimo modelis

Apibendrintas modelis, skirtas vėlinimo gedimams testuoti, pavaizduotas 1 pav. Testinių sekų generavimo schemeje (TSGS) surašytos testinių vektorių poros (TVP), kuriomis sugeneruojamas signalo fronto sklidimas keliu, kuriame reikia patikrinti vėlinimo gedimą. Pirmu įėjimo sinchroninio signalo (ISS) frontu kombinacinės schemos (TKS) įėjimuose pateikiamas pirmasis testinis vektorius iš TVP. Tai atlikus, palaukiama (laiko tarpą, ne trumpesnį už laiko tarpą tarp dviejų gretimų sinchroninio signalo, kuris yra siunčiamas į realiai veikiančią schemą, impulsų), kol TKS išėjime gaunamas stabilus išėjimo signalas. Tuomet siunčiamas antrasis ISS frontas, kurio metu TSGS schema pateikia antrąjį testinį vektorių iš TVP.

Antrasis testinis vektorius iš TVP sudarytas taip, kad generuotų signalų pasikeitimus iš loginio „0“ į loginį „1“ (arba atvirkščiai) TSGS išėjimuose, bet tik tuose, kurie gali sugeneruoti fronto sklidimą reikiamu patikrinti keliu. Po antrojo ISS fronto palaukiama laiko tarpą, lygų intervalui tarp dviejų gretimų sinchroninio signalo impulsų, kurie siunčiami realiai veikiančiai schemai, ir tuomet sugeneruojamas išėjimo schemos sinchroninis signalas (IŠSS). IŠSS signalo momentu schemos reakcijos analizavimo schema (SRAS) analizuoja TKS schemos išėjimo vektorių ir nustato, ar yra vėlinimo gedimas testuojamajame kelyje, ar nėra.

Schemos TKS įėjime sugeneruotas signalo pasikeitimas nebūtinai gali būti perduotas į TKS išėjimą. Visiškai įmanoma, kad TKS įėjime sugeneruotas signalo fronto pasikeitimas kur nors testuojamosios kombinacinės schemos viduje dėl loginių operacijų „užges“, t.y. nesugeneruos signalo pasikeitimo TKS išėjime.



1 pav. Aparatinis modelis, skirtas vėlinimo gedimams testuoti

Laikas, reikiamas signalui skliti iš testuojamosios schemos įėjimo į išėjimą, yra lygus kiekvieno loginio elemento, esančio signalo sklidimo kelyje, vėlinimo trukmių sumai. Šiame modelyje taip pat tariama, kad kiekvieno elemento vėlinimo trukmė gali labai skirtis priklausomai nuo aplinkos temperatūros, maitinimo įtampos svyravimų ir kitų veiksnių.

Vėlinimo gedimai

Kombinacinės sinchroninės schemos vėlinimo gedimų testavimu vadinamas tos schemos tikrinimas, ar ji gali perduoti signalo pasikeitimą į išėjimą per laiką, neviršijantį laiko tarpo, lygaus intervalui tarp dviejų gretimų sinchroninio signalo impulsų, kurie siunčiami realiai veikiančiai schemai. Jei toks testas duoda neigiamą atsakymą, tai reiškia, kad tikrinamoji schema turi kelio vėlinimo gedimą. Reikia pažymėti, kad laiko intervalai tarp dviejų gretimų sinchroninio signalo impulsų yra vienodi, nesvarbu, kuris TKS schemas kelias yra tikrinamas.

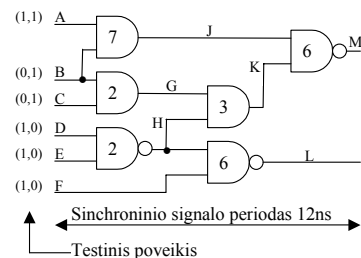
Kelio vėlinimo gedimas gali atsirasti bet kurioje elektroninėje schemoje. Tai gali sukelti net ir vienas tokios schemos elementas, esantis tikrinamajame kelyje, kurio realus vėlinimas viršija nurodytą vėlinimo trukmę jo specifikacijoje. Tačiau gali atsitikti ir taip, kad schema veiks korektiškai, nors tikrinamąjį kelią sudarys elementai, kurių vėlinimo trukmės viršys nurodytas specifikacijoje. Taip pat negalima teigti, kad TKS neturės kelio vėlinimo gedimo, nors visi schemą sudarantys elementai tenkins jų specifikacijoje nurodytas vėlinimų trukmes. Taip gali atsitikti tokiu atveju, jei tikrinamajame kelyje pasitaikys tokių elementų, kurių vėlinimai bus artimi leidžiamiems pagal specifikaciją vėlinimo trukmių maksimumams, bet jų dar neviršys. Tačiau suminis tokių elementų grandinėls vėlinimas gali būti didesnis už sinchroninio signalo periodą. Taigi, schema tokiu atveju turės kelio vėlinimo gedimą, nors visi elementai bus geri.

Čia bus kalbama apie dvi vėlinimo gedimų rūšis:

1. Kelio vėlinimo gedimas, kurio priežastis – suminis tą kelią sudarančių elementų vėlinimas;
2. Kelio vėlinimo gedimas, kurio priežastis – bent vienas elementas, kurio vėlinimas daug didesnis, nei numatyta jo specifikacijoje ir dėl to sukeliantis vėlinimo gedimą bent viename kelyje.

Pažymėtina, kad nors vieno elemento vėlinimo gedimas yra labai panašus į loginius schemos gedimus, tačiau šiuo atveju jis yra nagrinėjamas elementų grandinėls, sudarančios kelią, kontekste. Toks gedimas susiejamas su keliu ir taip gaunamas globalus schemos gedimas. Vėlinimo gedimų testavimas labai brangus laiko prasme, todėl kur kas greičiau ir patogiau testuojama tada, kai sudaromas testas ne kiekvieno elemento vėlinimui tikrinti, bet tikrinamas vėlinimas keliuose. Tokiu atveju gaunama, kad kelio vėlinimas testuojamas nepriklausomai nuo elementų, sudarančių tą kelią. Savaime suprantama, kad jeigu suminė elementų vėlinimų trukmė, sudaranti testuojamąjį kelią, viršys sinchroninio signalo periodą, toks kelias turės vėlinimo gedimą. Taigi, išeitu, kad kiekvieno elemento vėlinimai, ar jie būtų dideli, ar maži, nėra svarbūs. Taip pat nesvarbu, kiek elementų turi įtakos tam, kad atsiranda kelio vėlinimo gedimas. Jei SRAS schema nustato, kad testuojamajame kelyje yra gedimas, tai dar nereiškia, kad tą gedimą sukėlė būtent testuojamojo kelio elementai, nes dažniausiai vienu metu testuojami keli keliai, bet jie, susijungdami per loginius elementus, turi bendrą schemos išėjimą. Bet ir tai yra tokio testavimo pranašumas, nes nereikia testuoti kiekvieno elemento, sudarančio schemą, kas, kaip jau minėta anksčiau, daryti netikslinga.

Sudarysime metodą, kaip atrinkti testinius poveikius vėlinimo gedimams testuoti. Kombinacinės schemos pavyzdys pavaizduotas 2 pav. Prie schemos įėjimų pavaizduota testinių poveikių sudaranti testinių vektorių pora – testinis poveikis. Taip pat tariame, kad per 12 ns bet kurio schemas keliu sklindantis signalas turi pasiekti išėjimą.

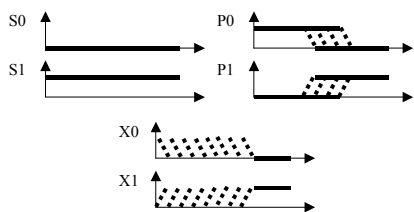


2 pav. Kombinacinės schemos pavyzdys

Toliau įvedamos 6 signalo sklidimo schemos keliu vertės. Kiekviena vertė sudaryta iš simbolių porų: S1, S0, P1, P0, X1, X0. Šių simbolių porų vertė yra tokia: kiekvienoje poroje 1 arba 0 atitinka signalo loginį vienetą arba loginį nulį. Simbolis S reiškia „stabilus“ (poros S1 vertė – „stabilus loginis vienetą“, poros S0 vertė – „stabilus loginis nulį“). Simbolis P reiškia „pereinantis į“ (poros P1 vertė – „pereinantis iš loginio nulio į loginį vienetą“, poros P0 vertė – „pereinantis iš loginio vieneto į loginį nulį“). Simbolis X reiškia „pereinantis iš loginio nulio arba loginio vieneto į“ (poros X1 vertė – „pereinantis iš loginio nulio arba loginio vieneto į loginį vienetą“, poros X0 vertė – „pereinantis iš loginio nulio arba loginio vieneto į loginį nulį“). Šių signalų laikinės diagramos pateiktos 3 pav.

Elementų „NOT“ ir „AND“ teisingumo lentelės pateikiamos 4 pav. Kaip realiai veikia elementas „AND“ su šio modelio vertėmis, pavaizduota 5 pav. Kitų loginių

elementų teisingumo lentelės yra išvestinės iš jau aprašytų elementų „AND“ ir „NOT“. Jas galima gauti taikant Būlio algebrą.



3 pav. Signalų laikinės diagramos

Simbolis S simbolių poroje, aprašančioje signalo sklaidimo vertę, reiškia, kad loginis schemos elementas savo išėjime yra stabilus (net jeigu kituose to paties elemento įėjimuose yra besikeičiantys signalai), arba jo įėjime yra pastovi vertė. Ši vertė nepriklauso nuo to, koks to elemento vėlinimas. Pagal modelį, pateiktą 1 pav., TKS schemos įėjime bus vertė su S simboliu tik tuo atveju, kai testinį poveikį sudarančių vektorių pora skiltyse, atitinkančiose reikiamą įėjimą, turės signalus su simboliu S.

	S0	X0	P0	S1	X1	P1		S0	S1
S0	S0	S0	S0	S0	S0	S0		S0	S0
X0	S0	X0	X0	X0	X0	X0		X0	X1
P0	S0	X0	X0	P0	X0	X0		P0	P1
S1	S0	X0	P0	S1	X1	P1		S1	S0
X1	S0	X0	X0	X1	X1	P1		X1	X0
P1	S0	X0	X0	P1	P1	P1		P1	P0

4 pav. Loginių elementų teisingumo lentelės

P simbolis simbolių poroje, aprašančioje signalo sklaidimo vertę reiškia, kad loginis schemos elementas savo išėjime generuoja signalo pasikeitimą (iš loginio 1 į loginį 0, arba atvirkščiai), arba jo įėjime yra pasikeičianti vertė. Pagal modelį, pateiktą 1 pav., TKS schemos įėjime bus vertė su P simboliu tuo atveju, kai testinį poveikį sudarančių vektorių pora skiltyse, atitinkančiose reikiamą įėjimą, turės vienas kitam priešingus loginius signalus.

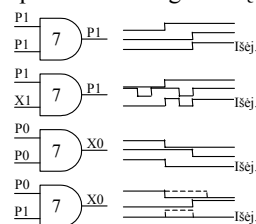
X simbolis simbolių poroje, aprašančioje signalo sklaidimo vertę reiškia, kad loginio elemento išėjime arba įėjime gali nebūti nė vieno signalo pasikeitimo, gali būti vienas signalo pasikeitimas arba be galo daug signalo pasikeitimų. Kaip matome iš 3 pav., kokia bus signalo vertė, galime pasakyti tik tuomet, kai signalas nusistovi.

Pastaruosius du atvejus aptarsime detaliau (5 pav.). Dviejų įėjimų „AND“ elemento išėjime, kurio abiejuose įėjimuose yra signalų vertės P0, atsiras perėjimas tuomet, kai atsiras perėjimas kuriame nors įėjime. Tačiau šiuo atveju elemento išėjime bus vertė, aprašoma kaip X0, nes abiejų įėjimų vertės pasikeičia nebūtinai tuo pačiu laiko momentu. Taigi išėjimo signalo pasikeitimą „valdo“ pirmasis pasikeitęs signalas elemento įėjime.

Dviejų įėjimų „AND“ elemento išėjime, kurio viename įėjime bus signalas, atitinkantis P0, o kitame – P1, atsiras vertė X0, nes nėra garantijos, kad nagrinėjamas elementas išėjime turės perėjimą (5 pav.).

Simbolio vertė P pasako, kad elemento įėjime ar išėjime yra perėjimas, bet ji neužtikrina, kad tas perėjimas bus vienintelis. Situacija, kai „AND“ elemento įėjimų

vertės yra P1 ir X1, pavaizduota 5 pav. Kaip matome, išėjimo vertė yra P1, bet išėjime yra ne vienas perėjimas. Šiuos išėjimo perėjimus sąlygoja įėjimo vertė X1 ir kuri taip pat turi ne vieną perėjimą. Tačiau išėjimo vertė nesikeičia iki to laiko, kol įėjime, turinčiame vertę P1, įėjimo signalas nepasikeičia iš loginio 0 į loginį 1.

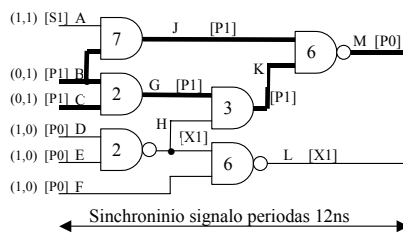


5 pav. Signalų sklaidimo pavyzdžiai

Iš to išeina, kad elementų, kurių įėjime yra signalo vertė su P, grandinėlės išėjimai nepasikeis tol, kol perėjimas nepereis visos šių elementų grandinėlės. Jei kelio vėlinimas bus ilgesnis už sinchroninio signalo periodą, schemos reakcijos analizavimo schema užfiksuos klaidingą vertę, nesvarbu, kaip vėlinimai yra pasiskirstę signalo sklaidimo kelyje. Taip pat nėra svarbios ir kitų įėjimų vertės. Todėl tokia elementų grandinėlė, sudaranti kelią, yra testuojama, ar neturi kelio vėlinimo gedimo, nekreipiant dėmesio į kiekvieno elemento, esančio tame kelyje, vėlinimą.

Kaip ir kokiais keliais sklistų testiniai poveikiai pagal nagrinėjamąjį modelį, pavaizduota 6 pav.

Keliai BJM, BGKM ir CGKM (6 pav.) turi signalo vertes, aprašomas su simboliu P kiekviename iš šių kelių sudarančių laidų ir todėl yra patikrinami, ar neturi kelio vėlinimo gedimų. Tie keliai pavaizduoti paryškintomis linijomis.



6 pav. Verčių sklaidimas testuojamaisiais keliais

Testuotų kelių identifikavimo metodas

Pateiksime metodą, kuriuo galima nustatyti, kurie keliai iš visos schemą sudarančios kelių aibės yra testuoti vėlinimo gedimų prasme. Tam sudaroma visų kelių, aprėpiančių tyrinėjamą kombinacinę schemą, aibė KA. Vėliau cikliškaai atliekami žingsniai aprašyti toliau. Šie žingsniai vykdomi tol, kol sudarytoje kelių aibėje nebelieka nė vieno kelio, arba yra tenkinama kokia nors kita darbo nutraukimo sąlyga:

1. Generuojamas testinis poveikis ir siunčiamas į testuojamosios kombinacinės schemos įėjimus;
2. Pagal pateiktas teisingumo lenteles (4 pav.) apskaičiuojamos keliais sklindančių signalų vertės;
3. Kelias, kuriuo sklinda signalas, turintis P simbolių, pažymimas kaip testuotas ir išmetamas iš kelių aibės KA.

Testinis poveikis išsaugomas, kaip tikrinantis šio kelio vėlinimo gedimą.

Šios procedūros trukmė yra tiesiškai proporcinga loginių elementų ir kelių tarp jų skaičiui, nes kiekvienu keliu sklindančių signalų vertės skaičiuojamos tik viena kartą.

Vėlinimo gedimų savybės

Savybės, būdingos kelių vėlinimų gedimams:

1. Net jeigu kelyje, kurį reikia patikrinti, vėlinimo gedimų yra daugiau nei vienas, tai netrukdo testuoti ir nustatyti, ar šiame kelyje yra vėlinimo gedimų. Taip yra todėl, kad tas kelias testuojamas neatsižvelgiant į kiekvieno elemento vėlinimo trukmę atskirai, todėl šiuo metodu išaiškinama suminė vėlinimo gedimo nagrinėjamame kelyje galimybė.

2. Jei SRAS (1 pav.) schema duoda požymį, kad testuojamame kelyje yra gedimas, neįmanoma pasakyti, būtent kas sukėlė šį gedimą. Bet kuri elementų grandinė, kuri užsibaigia schemas išėjimu ir kurioje sklinda signalas su P simboliu, gali turėti tokį gedimą. Taip yra todėl, kad elementų grandinės gali susijungti ir išsiskirti (6 pav.). Be to, toks gedimas gali būti sukeltas ne tik kurio nors vieno elemento, esančio testuojamajame kelyje, bet jį gali sukelti ir suminis dviejų ir daugiau elementų vėlinimas.

3. Jei testinis poveikis gali testuoti kelią vėlinimo gedimams, tai testinis poveikis, atlikus toliau aprašytą transformaciją, taip pat gali testuoti tą kelią, ar jame nėra vėlinimo gedimų: pirmojo testinio vektoriaus iš testinių poveikių sudarančios poros vertės, turinčios simbolių P, pakeičiamos į vertę su simboliu S. Kadangi antrasis testinis vektorius iš testinių poveikių sudarančios poros lieka nepakeistas, tai iš to išeina, kad testinis poveikis nepraranda galimybės testuoti kelią, atlikus tokią transformaciją. Testinio vektoriaus vertės su simboliu S nekeičiamos.

4. Jei kiekvienas kelias testuotas nepriklausomai nuo elementų vėlinimų, jis būtinai yra testuotas ir vėlinimo gedimams. Taigi anksčiau aprašytu testuotų kelių identifikavimo metodu galima surinkti mažiausią testinių poveikių aibę, iki galo testuojančią schemą kelių vėlinimo gedimų prasme.

5. Procedūrą, nustatančią, ar testinis rinkinys gali patikrinti vieno elemento gedimą, pasireiškiantį dideliu vėlinimu, aprašo [5]. Didelis vėlinimas – tai toks vėlinimas, kai sugedęs vienas elementas taip paveikia visus kelius, kuriuose jis yra, kad visi tie keliai turi kelio vėlinimo gedimą. Naudojantis čia aprašytu modeliu, tokie kelio vėlinimo gedimai yra būtinai aptinkami.

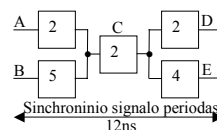
6. Naudojantis šiuo modeliu taip pat galima aptikti ir loginius elementų gedimus. Būtina sąlyga – loginis elemento gedimas testuojamosios schemas išėjimo vertę turi paveikti taip, kad ji būtų priešinga nei tada, kai schema gera.

7. Jei schemoje yra loginė klaida (kuri pasireiškia tuo, kad kokio nors elemento išėjime yra pastovus loginis 0 arba 1), tai kelio vėlinimo gedimas gali būti ir neaptiktas. Tarkime, kad schemoje, pavaizduotoje 6 pav., elementas H turi loginę klaidą, kuri pasireiškia tuo, kad šio elemento išėjime yra pastovus loginis nulis. Taigi, jei keliuose BGKM ir CGKM bus kelio vėlinimo gedimas, jis nebus aptiktas.

Vėlinimo kelių parinkimas

Kadangi schemoje, kurioje norime testuoti kelių vėlinimo gedimus, gali būti milžiniškas skaičius kelių, būtina mažinti testuojamų kelių skaičių ir kartu išlaikyti kuo didesnę gedimų aptikimo tikimybę. Toliau aptarsime kelių parinkimo galimybes. Taip pat bus aptariami sunkumai, išskylantys tiesiogiai modeliuojant elementų vėlinimo gedimus.

Kombinacinė schema neturi vėlinimo gedimų tuomet ir tik tuomet, kai joje nėra kelių vėlinimo gedimų. Tačiau loginių elementų faktinių vėlinimo gedimų analizė rodo, kad pakanka testuoti nedidelį visų kombinacinės schemas kelių poaibį tam, kad su patenkinama tikimybe būtų galima pasakyti, ar testuojamojoje schemoje yra kelių vėlinimo gedimų, ar ne.



	Kelias	Sklidimo laikas	Klaidos aptinkamumas
Be klaidų	ACD	6	—
	ACE	8	—
	BCD	9	—
	BCE	11	—
Klaida elemente C: +2	ACD	8	Ne
	ACE	10	Ne
	BCD	11	Ne
	BCE	13	Taip
Klaida elemente C: +7	ACD	13	Taip
	ACE	15	Taip
	BCD	16	Taip
	BCE	18	Taip

7 pav. Elemento vėlinimo pokyčio įtaka klaidų aptinkamumui

Kaip keičiasi tikimybė, kad elementas sukels kelio vėlinimo gedimą, kai elemento vėlinimas viršija vėlinimą, nurodytą jo specifikacijoje, parodoma [7].

Tarkime, kad kelio vėlinimo atsarga apibrėžiama kaip skirtumas tarp IšSS fronto (1 pav.) ir tarp kelių sklindančio signalo paskutinio pokyčio schemas išėjime. Schemas, kurioje nėra kelių vėlinimo gedimų, visų kelių vėlinimo atsargos bus teigiamos. Kelyje, kuriame yra vėlinimo gedimas, vėlinimo atsarga bus neigiama.

Patyrinėkime kombinacinę schemą, pateiktą 7 pav. Per C elementą eina keturi keliai. Jei elementas C turi vėlinimo gedimą, C elemento vėlinimo atsargos dydis turi įtakos kelio BCE vėlinimo atsargai. Šio kelio vėlinimo atsargos dydis, be kelio vėlinimo gedimo, yra $12 - (5 + 2 + 4) = +1$. Vėlinimo gedimas elemente C neįtakos kelio BCE vėlinimui tol, kol elemento vėlinimo atsarga neviršija 3. Tokiu atveju tik kelias BCE turi neigiamą kelio vėlinimo atsargą, todėl šį gedimą galima aptikti tik testiniais poveikiais, kurie tikrina kelią BCE.

Kelių, turinčių vėlinimo gedimų, skaičius didėja didėjant neigiamai elemento C vėlinimo atsargai. Bendruoju atveju daug lengviau aptikti gedimą, kai neigiamos vėlinimo atsargos modulis kuo didesnis. Dėl šios priežasties labai nepatogu naudoti vėlinimo gedimų modelį, kuriame vertinami tik atskirų elementų vėlinimo gedimai.

Kiekvienam schemos elementui surandus per jį einantį kelią, kurio vėlinimo atsarga yra mažiausia, ir testavus tik šiuos kelius, ir nustatčius, kad juose nėra kelių vėlinimo gedimų, su nemaža tikimybe galima teigti, kad

schemoje kelių vėlinimo gedimų nėra. Šiai tikimybei padidinti galima imti daugiau kelių, einančių per tą patį elementą, nors jo vėlinimo atsarga ir nėra mažiausia.

Kelio vėlinimo atsarga ir būtų tas kriterijus, kuriuo remiantis atrenkami keliai, taip pat juos tikrinantys testiniai poveikiai kelių vėlinimo gedimų paieškai.

Išvados

Aptariamas sinchroninių kombinacinių schemų kelių vėlinimo gedimų testavimas. Tokios schemas korektiško veikimo požymis – visais testuojamosios schemas keliais sklindantys signalai schemas išėjimą pasiekia per trumpesnę laiko tarpą, nei realiai veikiančios schemas sinchroninio signalo periodas. Ir nesvarbu, ar atskiras elementas, esantis testuojamajame kelyje, tenkina užduotą specifikaciją, ar ne. Toks gedimų modelis leidžia aptikti bet kokio dydžio vėlinimo gedimus, turinčius įtakos schemas korektiškam veikimui. Loginių elementų vėlinimo gedimai testuojamajame kelyje neturi įtakos tol, kol testuojamojo kelio vėlinimo atsarga nepasidaro lygi nuliui arba mažesnė. Taip pat aprašyta procedūra, kuria galima nustatyti, kuriems keliams testiniai poveikiai jau yra sudaryti. Ši procedūra nenaudoja vėlinimo gedimų modeliavimo ir testuojamąjį kelią tikrina tik vieną kartą. Šios procedūros vykdymo trukmė yra tiesiog proporcinga loginių elementų ir kelių tarp jų skaičiui. Sudaryta kelio vėlinimo atsargos

sąvoka. Tai kriterijus, leidžiantis efektyviai išrinkti kelius, naudojamus kelių vėlinimui testuoti.

Literatūra

1. **Girard P., Landrault C., Moreda V., Pravossudovich S., Virazel A.** A Scan-BIST Structure to Test Delay Faults in Sequential Circuits // Journal of Electronic Testing: Theory and Applications 14, 1999. – P. 95–102.
2. **Tamoševičius Ž.** Save testuojančių skaitmeninių schemų testavimo metodai // Informacinės technologijos 2005, konferencijos pranešimų medžiaga, 2005. – P. 371 – 376.
3. **Jusas V., Tamoševičius Ž., Benisevičiūtė R.** Testų išsamumo užtikrinimas save testuojančiose skaitmeninėse schemose // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2004. – Nr. 1(50). – P. 56–61.
4. **Abraitis V., Bareiša E., Benisevičiūtė R.** Programuojamų lustų testavimo metodai // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2003. – Nr. 5(47). – P.43–47.
5. **Barzilai Z., Rosen B. K.** Comparison of ACSelf – Testing Procedures // Proc. 1983 Int’l Test Conference. – P. 89 – 94.
6. **Malaiya Y. K., Narayanaswamy R.** Testing for Timing Faults in Synchronous Sequential Integrated Circuits // Proc. 1983 Int’l Test Conference, October 1983. – P. 560 – 571.
7. **Tendolkar N. N.** Analysis of Taiming failures Due to Random AC Defects in VLSI Modules // Proc. 22nd Design Automation Conference, June 1985.

Pateikta spaudai 2005 03 14

Ž. Tamoševičius. Save testuojančių schemų testavimas // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2005. – Nr.7(63). – P. 79–83.

Nagrinėjami sinchroninių kombinacinių schemų vėlinimo gedimų testavimo klausimai. Pateikiamas modelis, skirtas vėlinimo gedimams testuoti schemas elementų grandinėse – keliuose. Kelias, kurio suminė vėlinimo trukmė yra ilgesnė už realiai veikiančios schemas sinchroninio signalo periodą, turi vėlinimo gedimą. Aptariamasis vėlinimo gedimų modelis yra globalus, nes jis apima visą testuojamąjį kelią – nuo schemas įėjimo iki išėjimo, tuo tarpu gedimų modelis, nagrinėjantis kiekvieno elemento vėlinimo gedimus, yra lokalus. Aprašoma procedūra, kuria galima nustatyti, kurių kelių vėlinimo gedimus galima patikrinti testiniu poveikiu. Ši procedūra nenaudoja vėlinimo modeliavimo procedūrų. Tokiu metodu tikrinami vėlinimo gedimai, neatsižvelgiant į kiekvieno elemento vėlinimus. Straipsnyje taip pat aprašomos vėlinimo gedimų savybės. Il. 7, bibl. 7 (lietuvių kalba; santraukos lietuvių, anglų ir rusų k.).

Z. Tamosevicius. Testing of BIST Circuits // Electronics and Electrical Engineering. – Kaunas: Technologija, 2005. – No.7(63). P. 79–83.

Delay testing of combinational logic in a clocked environment is analyzed. A model based upon paths is introduced for delay faults. Any path with a total delay exceeding the clock interval is called a “path fault”. This is global delay fault model because it is associated with an entire path under test. The more familiar slow – to rise or slow – to – fall gate delay, on the other hand, is a local fault model. A procedure is described which identifies paths which are tested for path faults by a set of patterns. It does not involve delay simulation. The paths so identified are tested for path faults independent of the delays of any individual gate of the network. The number of properties related to path faults are described in this paper too. Ill. 7, bibl. 7 (in Lithuanian; summaries in Lithuanian, English and Russian).

Ж. Тамошявичюс. Тестирование схем со встроенными тестами // Электроника и электротехника. – Каунас: Технология, 2005. – № 7(63). – С. 79–83.

Проанализировано тестирование дефектов задержки комбинационной логики в синхронной окружающей среде. Модель, основанная на цепочках логических элементов – путей схемы, введена для тестирования ошибок задержки. Любой путь с суммарной задержкой, превышающей интервал синхросигнала, имеет дефект задержки. Это глобальная модель дефектов задержки, потому что это связано с полным путём – от входа схемы, до выхода. Более знакомая модель, основана на тестировании каждого элемента схемы – называется локальной. Описана процедура, идентифицирующая пути, проверены на дефекты задержки. Эта процедура не включает моделирование задержки. По такой методике пути тестируются без учёта индивидуальных задержек логических элементов на тестируемом пути. Свойства, связанные с дефектами задержки, тоже описываются в этой статье. Ил. 7, библи. 7 (на литовском языке; рефераты на литовском, английском и русском яз.).