

CMOS technologijos, maskuojant silicio nitridu, kokybė

R. Anilionis, D. Andriukaitis, T. Keršys

Elektronikos inžinerijos katedra, Kauno technologijos universitetas,

Studentų g. 50, 51368 Kaunas, Lietuva, tel. +370 37 300503, el. p.: romualdas.anilionis@ktu.lt; dariusandr@one.lt;

tomas.kersys@stud.ktu.lt

Ivadas

Didinant integracijos laipsnį, svarbus yra gretimų integritinių elementų izoliacijos procesas.

Lokalinė silicio oksidacija – storo SiO_2 sluoksnio sudarymas – paprastai taikoma MOS/CMOS technologijoje. Terminiškai užauginto silicio oksido sluoksnis atskiria gretimas struktūras (PMOS ir NMOS tranzistorius CMOS struktūroje). Formuojant SiO_2 sritį, silicio nitridas (Si_3N_4) naudojamas kaip maskuojantis sluoksnis lokalinės silicio oksidacijos metu.

Taikant LOCOS (angl. LOCOS – Local Oxidation of Silicon) technologiją [1], sumažinamos parazitinės nuotėkio srovės, supaprastėja technologinis gamybos procesas (neberekalingas vienas fotolitografijos etapas), difuzinės santakos ir ištakos sritys atskiriamos lokaliniais oksidais gretimose struktūrose. Kaip LOCOS oksidai panaudojami bipolėje technologijoje, yra nagrinėta [2].

CMOS technologija

CMOS technologijos gamyboje naudojama lokalinė silicio oksidacija, siekiant atskirti puslaidininkinius elementus. LOCOS MOS technologija priskiriama prie kombinuotosios izoliacijos metodų. Galima skirti du CMOS mikroschemų gamybos variantus: pirmasis – kai atliekamas lokalinis oksidavimas, siekiant atskirti gretimus puslaidininkinius elementus; antrasis – kai suformuojamos difuzinės sritys ir atliekamas lokalinis oksidavimas siekiant sudaryti storą silicio oksido sluoksnį virš n^+ sričių. Pastaruoju atveju augantis oksidas plečiasi į šonus ir į gylį, atsiranda vietinių įtempių, todėl gali būti iškraipytos jau suformuotos difuzinės sritys.

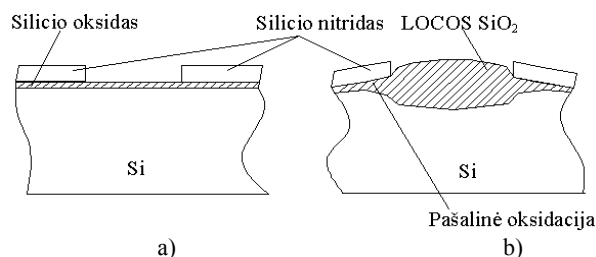
MOS technologiniame procese užtūrinis dielektrikas yra terminiškai užaugintas silicio oksidas. Nuo užtūrinio dielektriko kokybės priklauso pagrindiniai MOS tranzistoriaus parametrai. Šio dielektrinio sluoksnio užterštumas ir defektai sukelia krūvių koncentracijos tūryje ir paviršiuje, pramušimo įtampos, dielektrinės skvarbos ir kitus nestabilumus. Užtūros dielektriko kokybė priklauso nuo plokštelės paviršiaus paruošimo, gamybos technologinės higienos, technologinės įrangos, naudojamų dujų kokybės, sluoksnio formavimo metodo ir kitų veiksnių. Užtūrinio dielektriko formavimas yra paskutinė

aukštos temperatūros operacija. Šios operacijos metu nusistovi galutiniai difuzinių pn sandūrų matmenys.

CMOS technologinio proceso trūkumas tas, kad užtūrinis elektrodas uždengia difuzines ištakos ir santakos sritis, gaunamos parazitinės talpos, kurios sumažina IG greitaveiką. Tokia sankloda neišvengiama dėl to, kad kanalo sritis formuojama trimis fotolitografijos procesais. Siekiant pagerinti CMOS struktūros parametrus, reikia iki minimumo sumažinti parazitines talpas: užtūra–ištaka, užtūra–santaka; minimaliai sumažinti difuzinių sričių matmenis; sutrumpinti použtūrinį kanalą; užtūros dielektrikui naudoti didelės pramušimo įtampos ir labai stabilias medžiagas.

LOCOS MOS technologija

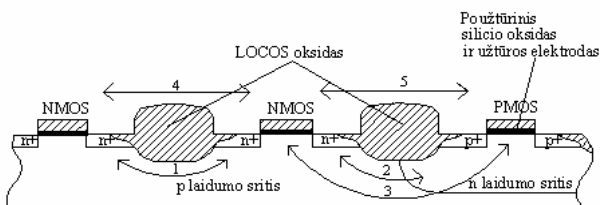
LOCOS MOS technologijose naudojamas silicio nitridas kaip maskuojantysis sluoksnis (1 pav.). Tačiau jis sukelia nemažai problemų.



1 pav. Lokalinė silicio oksidacija: a – po Si_3N_4 fotolitografijos; b – suformavus LOCOS oksidą

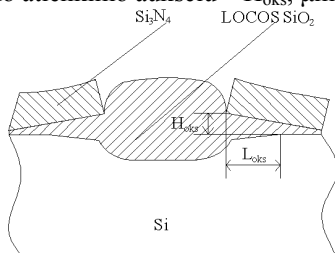
Pašalinus nitrido kaukę, šonuose susidaro labai dideli struktūros įtempiai – 1 GPa.

Kiekvieno izoliacijos metodo esmė – elektriškai izoliuoti gretimus elementus vieną nuo kito (2 pav.). Šiuo atveju galima identifikuoti tris parazitinius ryšius: pirmasis – tarp gretimų elementų to paties tipo laidumo sluoksnyje (2 pav., 1 kelias), 2 – tarp skirtingų laidumų sluoksnių (2 pav., 2 kelias), 3 – tarp elementų, esančių skirtingų laidumų sluoksniuose (2 pav., 3 kelias) [3]. Didžiausi reikalavimai keliami izoliuojančiosioms sritims tarp gretimų laidumų sluoksnių (2 pav., 5 kelias) ir tarp paties laidumo sluoksnio užtūrinio sričių (2 pav., 4 kelias). CMOS struktūroje didelę reikšmę turi parazitinės talpos.



2 pav. Parazitiniai ryšiai CMOS struktūroje: 1 – parazitiniai ryšiai tarp gretimų elementų to paties laidumo sluoksnyje, 2 – tarp skirtingų laidumų sluoksnių, 3 – tarp elementų, esančių skirtingų laidumų sluoksniuose, 4 – užtūrinų sričių izoliavimas tame pačiame laidumo sluoksnyje, 5 – užtūrinų sričių izoliavimas gretimuose laidumo sluoksniuose

Lokalinio oksido palindimas po nitrido kauke apibūdinamas LOCOS oksido palindimo ilgiu – L_{oks} , μm , ir LOCOS oksido atlenkimo aukštis – H_{oks} , μm (3 pav.).



3 pav. LOCOS MOS technologiją apibūdinantys parametrai: L_{oks} , μm , – LOCOS oksido palindimo ilgis, H_{oks} , μm , – LOCOS oksido atlenkimo aukštis

Oksidui palindus po kauke sumažėja kanalo plotis sumažėjimą, nes lokalinės oksidacijos metu formuojant oksidą gali būti perslenkamos ištakos ir santakos sritys po užtūra. LOCOS oksido formą šalia kaukės kraštų lemia:

1. Silicio oksido ir silicio nitrido storiai, suformuoti iki lokalinės oksidacijos pradžios;
2. Kristalinės gardelės orientacija. $\langle 111 \rangle$ silicio padėklų oksidas palenda mažiau nei $\langle 100 \rangle$ silicio. Taip pat ji priklauso nuo kaukės orientacijos;
3. Oksidacijos temperatūra, trukmė.

Reikalavimai LOCOS CMOS technologijai

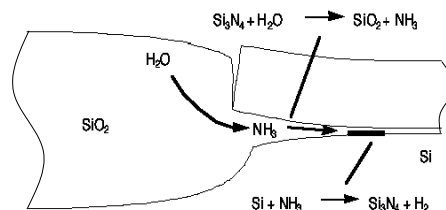
LOCOS MOS technologijai keliami šie pagrindiniai reikalavimai: mažinti kanalo ištaka–santaka ilgio pradimus, retinti defektų tankumą, mažinti įtempimus.

Lokalinės oksidacijos pagrindinės problemos:

1. Geometrinis efektas (užtūrinio kanalo trumpėjimas, įtempiai, defektai);
2. 0,2 – 2,5 μm storio izoliacinis oksidas formuojamas iki aštuoniolikos valandų sausame deguonyje 1000 °C temperatūroje. Šiomis sąlygomis paslėptojo n^+ sluoksnio priemaišos persiskirsto ir prasiskverbia gilyn. Todėl izoliacinį oksidą reikia formuoti oksiduojant H_2O garuose. Esant 1000 °C temperatūrai ir $3 \cdot 10^3$ Pa garų slėgiui, LOCOS oksidas suformuojamas maždaug per šešias valandas [4];
3. Si_3N_4 sluoksnio cheminė struktūra nereguliari, jame pasitaiko kiaurymių, įtrūkimų, todėl į Si_3N_4 formavimą būtina atkreipti ypatingą dėmesį;
4. Lokalinės oksidacijos metu deguonies molekulės prasiskverbia po maskuojančiuoju Si_3N_4 sluoksniu, vykstant reakcijoms ($\text{Si} + \text{O}_2 = \text{SiO}_2$), oksidas palenda po

nitrido kauke. Iškilimų aukštis 0,3–0,6 μm , ilgis 2–4 μm . Patys iškilimai pakelia Si_3N_4 , kuriame atsiranda įtrūkimų;

5. LOCOS metu gali pasireikšti silicio nitrifikacija, t.y. vandens garų reakcija su sluoksniu, esančiu po nitrido kauke. Procesas pavaizduotas 4 pav.



4 pav. Silicio nitrifikacija lokalinės oksidacijos metu

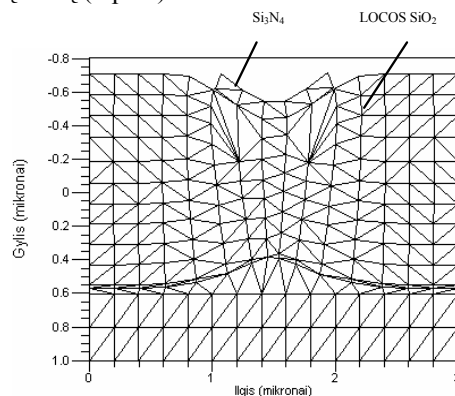
Nitrifikacija pasireiškia užtūrinio kanalo kraštuose. Tokios reakcijos gali vykti tik pašalintos kaukės kraštuose, kur H_2O kiekis mažas, bet jo gali užtekti nitrifikacijos reakcijoms įvykti.

LOCOS CMOS technologijos modeliavimas

Silicio oksido augimo procesas modeliuojamas programa SUPREM IV, naudojant paprogramius [5].

Taikomas skaičiavimo algoritmas, pagal kurį apskaičiuojamas oksido augimas atsižvelgiant į esamą Si pagrindą. Šioje programoje oksidas ir nitridas traktuojami kaip klampūs nesuslėgti skysčiai. Lokalinei oksidacijai galima naudoti ir suslėgto skysčio modelį, kuris yra spartesnis ir gerokai tikslesnis, bet plačiau taikomas nesuslėgto klampaus skysčio modelis, nes šiuo atveju galima analizuoti įtempimus, atsirandančius struktūroje oksidacijos metu. Oksiduojama vandens garuose [5].

Oksidacijos proceso metu vyksta silicio oksidacija ir po Si_3N_4 kauke susidaro pašalinė oksidacija. SiO_2 tūris yra didesnis nei Si tūris, todėl silicio nitrido kaukės kraštai keliami į viršų (5 pav.).

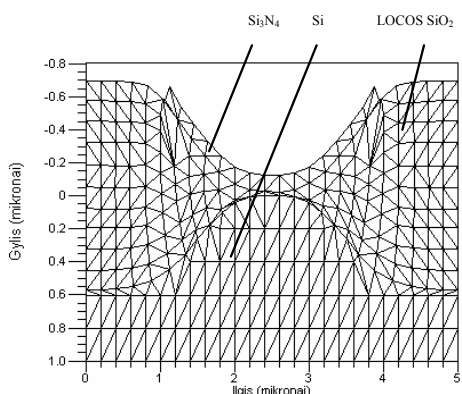


5 pav. Lokalinė oksidacija ($t=360$ min., $T=1000$ °C, $\text{SiO}_2=0,02$ μm , $\text{Si}_3\text{N}_4=0,1$ μm , užtūros sritis prieš oksidaciją – 1 μm)

Atsiradus įtempiams, įtrūkimams, gali būti iškraipomi formuojami integriniai elementai, jų parametrai, lokalinės oksidacijos srities forma. Oksidacijos metu pro įtrūkimus gali patekti deguonis.

Prieš lokalinės oksidacijos procesą paliktas 1 μm ilgio kanalas yra deformuotas ir praradęs savo formą bei savybes. Siekiant išvengti tokios didelės deformacijos, kanalas ilginamas iki 3 μm (6 pav.). Gaunamas apie 0,4

µm ilgio nedeformuotas kanalas. Palindimas SiO₂ po nitrido kaukės siekia 1,3 µm iš kiekvienos pusės.



6 pav. Lokalinė oksidacija (t=360 min, T=1000 °C, SiO₂=0,02 µm, Si₃N₄=0,1 µm, užtūros sritis prieš oksidaciją – 3 µm, L_{oks}=1,3 µm, H_{oks}=0,59 µm)

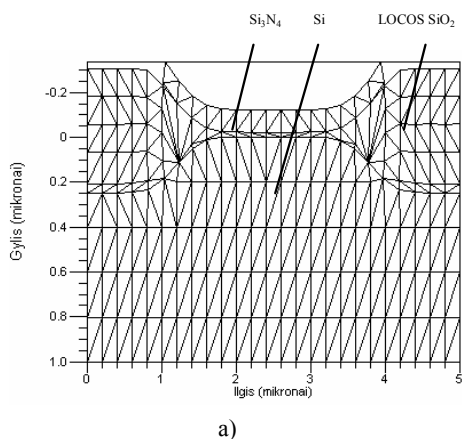
Lokalinės oksidacijos tyrimas priklausomai nuo proceso technologinių režimų

Oksidacija priklauso nuo trukmės, temperatūros, nitrido kaukės, SiO₂ storio.

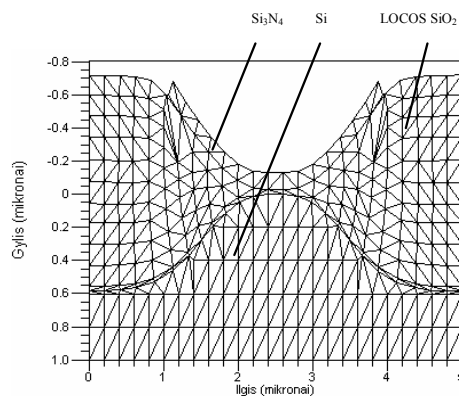
7 pav. paveiksle parodyta LOCOS profilio priklausomybė nuo proceso trukmės, esant T=1000 °C. Kai oksidacijos trukmė t=100 min, skiriamasis oksidas būna nepakankamo storio. Šiuo gamybos atveju nitrido struktūroje ir po ja susidaro didesni įtempiai. Norint to išvengti, oksidacijos reakcijos trukmė ilginama iki 400 min (7 pav.). Kad susidarytų pakankamo storio SiO₂ sluoksnis, LOCOS turi vykti apie 360 min [4] (6 pav.) ir tokiu atveju, norint gauti reikiamo ilgio nedeformuotą užtūrinį kanalą, reikia jį ilginti prieš oksidaciją iki 3,6 µm.

Toliau programa SUPREM IV atliktas LOCOS oksido modeliavimas esant 900 °C ir 1100 °C temperatūroms. Rezultatai pateikti 8 pav. (modeliavimas esant 1000 °C temperatūrai, pateiktas 6 pav.)

Temperatūra – svarbus LOCOS oksido formavimo technologinis parametras. Atlikus LOCOS modeliavimą minėtomis sąlygomis skirtingose temperatūrose (T=900 °C – 8 pav., a, T=1000 °C – 6 pav., T=1100 °C – 8 pav., b) ir palyginus pateiktas struktūras, galima įsitikinti, kad, pakėlus proceso temperatūrą iki T=1100 °C, Si₃N₄ būna labiau pakeltas ten, kur susidarė pašalinis silicio oksidas. L_{oks} padidėja 0,11 µm, t. y. iki 1,41 µm.

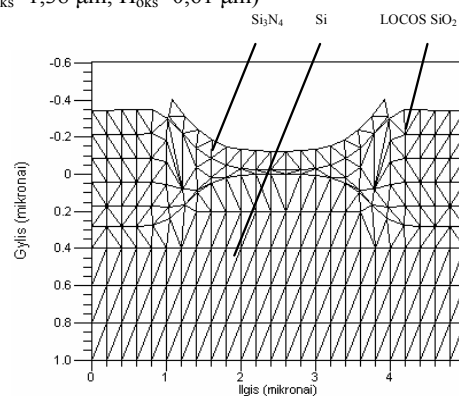


a)

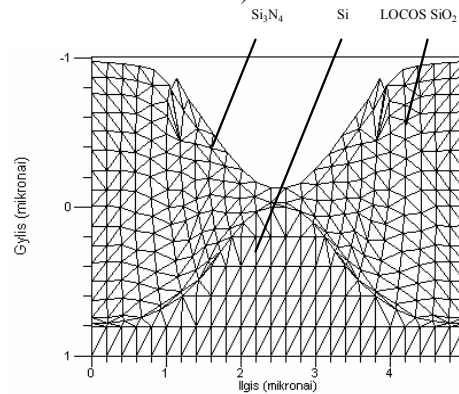


b)

7 pav. LOCOS oksido profiliai, esant skirtingoms oksidavimo trukmėms, kai T=1000 °C, SiO₂=0,02 µm, Si₃N₄=0,1 µm, užtūros sritis prieš oksidaciją – 3µm: a – lokalinė oksidacija (t=100 min, L_{oks}=0,69 µm, H_{oks}=0,22 µm); b – lokalinė oksidacija (t=400 min., L_{oks}=1,38 µm, H_{oks}=0,61 µm)



a)

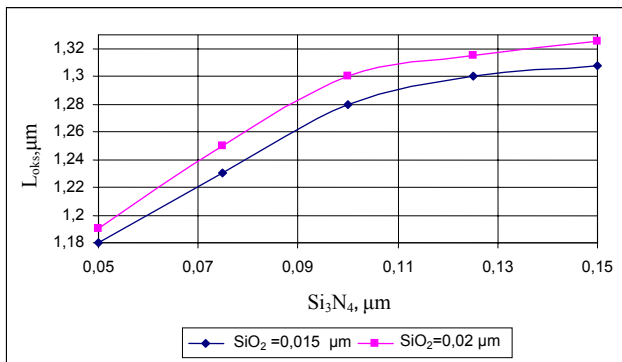


b)

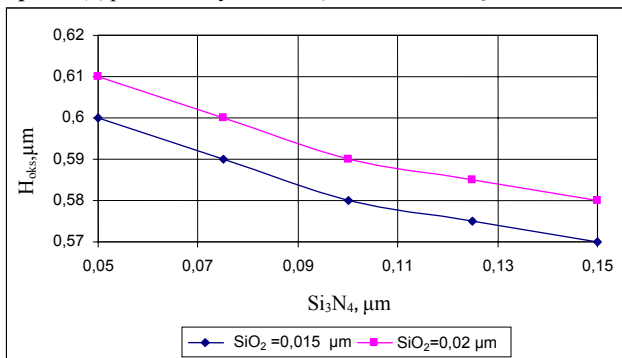
8 pav. LOCOS oksido profiliai, esant skirtingoms oksidavimo temperatūroms, kai t=360 min, SiO₂=0,02 µm, Si₃N₄=0,1 µm, užtūros sritis prieš oksidaciją – 3µm: a – lokalinė oksidacija (T=900 °C, L_{oks}=1,1 µm, H_{oks}=0,5 µm); b – lokalinė oksidacija (T=1100 °C, L_{oks}=1,41 µm, H_{oks}=0,87 µm)

Kai oksidacijos temperatūra T=900 °C užtūrinis kanalas gaunamas ilgesnis, tačiau suformuotas LOCOS SiO₂ būna per plonas (CMOS struktūroje gaunamos didesnės parazitinės talpos, didesnės nuotėkio srovės), todėl optimalia laikoma temperatūra T =1000 °C (6 pav.).

L_{oks} ir H_{oks} vertėms nustatyti panaudotas modeliavimas programa SUPREM IV, modeliuota esant skirtingiems SiO₂ ir Si₃N₄ storiams. Gauti rezultatai pateikti 9 ir 10 pav.



9 pav. L_{oks} priklausomybė nuo Si_3N_4 ir SiO_2 storiių



10 pav. H_{oks} priklausomybė nuo Si_3N_4 ir SiO_2 storiių

Modeliavimo metu nustatyta, kad, didinant Si_3N_4 sluoksnį, suformuojamas LOCOS oksidas, kurio L_{oks} didėja, o H_{oks} mažėja. Taip yra, nes nitrido kaukė veikianti lokalinio oksido augimo jėga nepajėgia atkelti kaukės kraštų ir augantis LOCOS SiO_2 slenka gilyn ir mažina kanalo ilgį. Didinant nitrido kaukės storį, deformuojama užtūrinio kanalo sritis bei difuzinės sritys.

Kitu atveju didinant SiO_2 storį, suformuojamas didesnio tūrio LOCOS oksidas, Si_3N_4 yra veikiamas didesnės oksido augimo jėgos, todėl L_{oks} ir H_{oks} didėja.

Išvados

1. Lokalinės oksidacijos metu formuojant storesnį lokalinį oksidą sudaroma didesnė galimybė sumažinti parazitines talpas.

2. Prieš oksidavimą palikta $1 \mu m$ užtūrinio kanalo sritis LOCOS SiO_2 formavimo metu yra užoksiduojama. Norint to išvengti, reikia padidinti kanalo ilgį prieš LOCOS oksidavimą iki $\sim 3 \mu m$, mažinti oksidacijos temperatūrą bei trukmę, todėl gaunamas $0,4 \mu m$ ilgio kanalas.

3. Modeliuojant LOCOS MOS procesą nustatytas optimalus režimas, mažiausiai veikiantis L_{oks} ir H_{oks} parametrus: trukmė – 360 min; temperatūra – $1000 \text{ }^\circ C$; SiO_2 storis - $0,02 \mu m$; Si_3N_4 storis – $0,1 \mu m$. Oksiduojama vandens garuose.

Literatūra

1. **Campbell Stephen A.** The Sciences and Engineering of Microelectronic Fabrication. – ISBN 0-19-513605-5. – New York: Oxford University Press, 2001. – P. 68–95.
2. **Anilionis R., Keršys T.** Lokaliojo oksidavimo technologijos kokybės tyrimas // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2004. – Nr. 4(53). – P. 46–50.
3. **Smeys Peter.** Local Oxidation Of Silicon for Isolation, PhD Thesis, 2000, Stanford University. www.stanford.edu/class/ee311/NOTES/isolationSmeys.pdf
4. **Anilionis R.** Elektronikos technologijos. – ISBN 9986-13-782-9. – Kaunas: Technologija, 2000. – P. 144–157.
5. SUPREM IV matematinio modeliavimo programa. 2004. Prieiga per internetą: <<http://www-tcad.stanford.edu>>.

Pateikta spaudai 2005 03 15

R. Anilionis, D. Andriukaitis, T. Keršys. CMOS technologijos, maskuojant silicio nitridu, kokybė // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2005. – Nr. 4(60). – P. 73–76.

Išnagrinėtos lokalinės silicio oksidacijos pagrindinės problemos CMOS struktūroje, susijusios su maskuojančiais Si_3N_4 ir SiO_2 sluoksniais, oksidacijos trukme, temperatūra. CMOS struktūros kokybę daugiausia lemia ištakos ir santakos kanalo sutrumpėjimas bei difuzinių sričių persilinkimas LOCOS metu. Programa SUPREM IV atliktas LOCOS CMOS technologinio proceso režimo modeliavimas. Nustatyta, kad geriausi rezultatai gaunami, kai oksidacijos trukmė $t=360$ min, temperatūra $T=1000 \text{ }^\circ C$, SiO_2 storis – $0,02 \mu m$, Si_3N_4 storis – $0,1 \mu m$. Il. 10, bibl. 5 (lietuvių kalba, santraukos lietuvių, anglų ir rusų k.).

R. Anilionis, D. Andriukaitis, T. Kersys. The Analysis of Quality of CMOS Technology, Covered by Silicon Nitride // Electronics and Electrical Engineering. – Kaunas: Technologija, 2005. – No. 4(60). – P. 73–76.

Problems of technology LOCOS, related with oxidation time, temperature, silicon oxide layer, patterned silicon nitride in CMOS structure was researched. During LOCOS most CMOS quality depend on gate channel shortening, diffusion region separation. LOCOS CMOS mathematical models are created using program SUPREM. It is determined, that most acceptable results are received when time $t=360$ min., temperature $T=1000^\circ C$, SiO_2 thickness = $0,02 \mu m$, Si_3N_4 thickness = $0,1 \mu m$. Ill. 10, bibl. 5 (in Lithuanian, summaries in Lithuanian, English and Russian).

Р. Анилёнис, Д. Андриякайтис, Т. Кяршис. Исследование качества КМОП технологии покрытия нитридом кремния // Электроника и электротехника. – Каунас: Технология, 2005. – № 4(60). С. 73–76.

Исследованы проблемы образования оксида LOCOS в КМОП структурах, связанные с маскирующими слоями Si_3N_4 и SiO_2 , также с температурой и временем процесса. На качество КМОП процесса сильно влияет укорочение канала из-за перераспределения диффузионных областей стока и истока. Используя программу SUPREM проведено математическое моделирование и анализ структуры LOCOS КМОП. Определено, что наиболее приемлемые результаты получаются при таком режиме окисления: время $t=360$ мин., температура $T=1000 \text{ }^\circ C$, толщина $SiO_2 = 0,02 \mu m$, толщина $Si_3N_4 = 0,1 \mu m$. Ил. 10, библи. 5 (на литовском языке; рефераты на литовском, английском и русском яз.).