



KAUNO TECHNOLOGIJOS UNIVERSITETAS

ELEKTROS IR ELEKTRONIKOS FAKULTETAS

Andrius Banys

CMOS STRUKTŪROS GREITAVEIKOS TYRIMAS

Baigiamasis magistro projektas

Vadovas

Doc. dr. Darius Andriukaitis

KAUNAS, 2017

KAUNO TECHNOLOGIJOS UNIVERSITETAS
ELEKTROS IR ELEKTRONIKOS FAKULTETAS
ELEKTRONIKOS INŽINERIJOS KATEDRA

CMOS STRUKTŪROS GREITAVEIKOS TYRIMAS

Baigiamasis magistro projektas
Elektronikos inžinerija (kodas 621H61002)

Vadovas

(parašas) Doc. dr. Darius Andriukaitis

(data)

Recenzentas

(parašas) Doc. dr. Mindaugas Žilys

(data)

Projektą atliko

(parašas) Andrius Banys

(data) 2017 m. birželio 8 d.

KAUNAS, 2017



KAUNO TECHNOLOGIJOS UNIVERSITETAS

Elektros ir elektronikos fakultetas

(Fakultetas)

Andrius Banys

(Studento vardas, pavardė)

Elektronikos inžinerija 621H61002

(Studijų programos pavadinimas, kodas)

Baigiamojo projekto „CMOS STRUKTŪROS GREITAVEIKOS TYRIMAS“

AKADEMINIO SAŽININGUMO DEKLARACIJA

20 17 m. birželio 8 d.
Kaunas

Patvirtinu, kad mano **Andriaus Banio** baigiamasis projektas tema „CMOS STRUKTŪROS GREITAVEIKOS TYRIMAS“ yra parašytas visiškai savarankiškai, o visi pateikti duomenys ar tyrimų rezultatai yra teisingi ir gauti sąžiningai. Šiame darbe nei viena dalis nėra plagijuota nuo jokių spausdintinių ar internetinių šaltinių, visos kitų šaltinių tiesioginės ir netiesioginės citatos nurodytos literatūros nuorodose. Įstatymų nenumatytų piniginių sumų už šį darbą niekam nesu mokėjęs.

Aš suprantu, kad išaiškėjus nesąžiningumo faktui, man bus taikomos nuobaudos, remiantis Kauno technologijos universitete galiojančia tvarka.

(vardą ir pavardę įrašyti ranka)

(parašas)

Banys, A. CMOS STRUKTŪROS GREITAVEIKOS TYRIMAS. Elektronikos inžinerijos *Magistro* baigiamasis projektas / vadovas doc. dr. Darius Andriukaitis; Kauno Technologijos Universitetas, Elektros ir Elektronikos fakultetas, Elektronikos inžinerijos katedra.

Reikšminiai žodžiai (iki 8 žodžių): CMOS, struktūra, greitaveika, NMOS, PMOS.

Kaunas, 2017. 59 psl.

SANTRAUKA

Didinant integracijos laipsnį svarbu, kad gretimų integrinių elementų veikimas būtų nepakitęs ir greitas. Svarbu, kad tarpusavyje sujungti elementai dirbtų sklandžiai ir išlaikytų gerus parametrus. Viena iš labiausiai paplitusių struktūrų – CMOS (*Complementary metal oxide semiconductor - Komplementarūs metalo – oksido puslaidininkiai*) integriniai grandynai.

CMOS yra plačiai naudojama mikroprocesoriuose, mikrovaldikliuose, RAM ir kituose skaitmeninės logikos grandynuose. CMOS taip pat technologija naudojama ir analoginiuose grandynuose, tokiuose kaip vaizdo sensoriuose (CMOS sensorius), duomenų konverteriuose, bei aukštos integracijos siųstuvuose - komunikacijos perdavimui.

Magistrinio darbo tikslas – susisteminius surinktą literatūrą ištyrinėti CMOS grandyno greitaveikos parametrus priklausomai nuo jos struktūros kitimo. Rasti ir pasiūlyti optimaliausius sprendimus grandyno CMOS greitaveikos gerinimui.

Sistema bus modeliuojama Silvaco TCAD (Technology Computer Aided Design) programa, kuri yra laikoma viena tiksliausių programų, atkuriant realius telktinių grandynų elementų parametrus.

Banys, Andrius. *Research of quick-acting of CMOS structure*. Final project. Supervisor doc. dr. Darius Andriukaitis; Kaunas University of Technology, Faculty of Electrical and Electronics Engineering, department of Electronics Engineering.

Keywords (up to 8 words): CMOS, structure, quick-acting, NMOS, PMOS.

Kaunas, 2017. 59 pages.

SUMMARY

By increasing the degree of integration, it is important that the adjacent elements of integrated operation is stable and fast. It is important that interconnected elements work smoothly and maintain good parameters. One of the most common structures - CMOS (Complementary Metal Oxide Semiconductor) integrated circuits.

CMOS is a widely used as microprocessor, microcontroller, RAM and other digital logic circuits. CMOS technology is also used analog circuits, such as an image sensor (CMOS sensor), data converters, and highly integrated transmitter - communication transmission.

Masters aim – research collected literature to study the CMOS circuit bandwidth parameters depending on its structure changes. Find and offer optimal solutions of CMOS *quick-acting* improvement.

The system will be modeled Silvaco TCAD (Technology Computer Aided Design) program, which is considered one of the most accurate programs, when simulating the real elements of the integrated circuits parameters.

TURINYS

ĮVADAS	7
1. CMOS TECHNOLOGIJOS ANALIZĖ	9
1.1. CMOS istorija	9
1.2. Mokslinės literatūros analizė	11
1.3. CMOS struktūra	15
1.3.1. CMOS topologija ir veikimas	16
1.3.2. CMOS gamyba	17
2. CMOS GREITAVEIKOS TYRIMAS	28
2.1. Modeliavimo programa SILVACO TCAD	29
2.2. CMOS modeliavimas	31
2.3. CMOS struktūros modelio veikimas ir priemaišų įtaka greitaveikai	41
2.4. CMOS modeliavimo rezultatai	43
3. IŠVADOS IR PASIŪLYMAI	47
INFORMACIJOS ŠALTINIŲ SĄRAŠAS	49
PRIEDAI	50
Priedas 1. Aprašymo failas kelių vaizdų išvedimui	50
Priedas 2. „Texas Instruments“ CMOS inverterio CD74HCU04-Q1 specifikacijos	57

IVADAS

Šiandien, kuomet kiekvieną dieną naudojami kompiuteriai, didelę reikšmę įgauna elektroninių įtaisų funkcionalumas, sparta bei įtaisų dydis. Intensyviai augant prietaisų funkcijų kiekiui ir mažėjant prietaisų matmenims ypatingai plėtojama mikroelektronika.

Mikroelektronika – tai elektronikos sritis apimanti mikroelektronikos įtaisų mokslinius tyrimus, konstravimą, gamybą ir pritaikymą.

Šių dienų Lietuvos technologinių universitetų absolventai, lyginant su Vakarų Europos universitetų absolventais, neturėdami naujausios techninės įrangos mikro-nano technologijų tyrimui, daugiau laiko ir pastangų skiria elektroninių įtaisų tobulinimui ir pritaikymui praktikoje. Taip vis mažiau dėmesio tenka mikroelektronikai – vienai iš pagrindinių šiandienos elektronikos šakų, be kurios procesorių pritaikymas kasdienybėje, ar jų programinis aprašymas taptų beprasmiškas.

Vis sparčiau vystant mikroelektroniką smarkiai sumažėjo mikroschemų dydis, dėl ko ir sumažėjo įtaisų matmenys. Šiandien mūsų kasdieninis gyvenimas, o taip pat ir daugelio mokslo šakų progresas neįsivaizduojamas be didžiausios integracijos telktinių grandynų – mikroprocesorių.

Didinant integracijos laipsnį svarbu, kad gretimų integrinių elementų veikimas būtų nepakitęs ir greitas. Svarbu, kad tarpusavyje sujungti elementai dirbtų sklandžiai ir išlaikytų gerus parametrus. Dėl to tyrinėjamos ir naudojamos įvairios telktinių grandynų elementų struktūros, kuriomis stengiamasi pasiekti kuo geresnius parametrus. Viena iš labiausiai paplitusių struktūrų – CMOS (*Complementary metal oxide semiconductor* - *Komplementarūs metalo – oksido puslaidininkiai*) integriniai grandynai.

CMOS technologija yra plačiai naudojama mikroprocesoriuose, mikrovaldikliuose, statinėje RAM ir kituose skaitmeninės logikos grandynuose. CMOS technologija taip pat naudojama ir analoginiuose grandynuose, duomenų konverteriuose, bei siųstuvuose - komunikacijos perdavimui. Dėl to yra ypatingai svarbi CMOS struktūros greಿತaveika.

Magistrinio darbo tikslas – susisteminius surinktą literatūrą ištyrinėti CMOS grandyno greಿತaveikos parametrus priklausomai nuo jos struktūros kitimo. Rasti ir pasiūlyti optimaliausius sprendimus grandyno CMOS greಿತaveikos gerinimui.

Sistema bus modeliuojama Silvaco TCAD (Technology Computer Aided Design) programa, kuri yra laikoma viena tiksliausių programų, atkuriant realius telktinių grandynų elementų parametrus.

Tiriamąo darbo tikslo įgyvendinimui yra keliami šie uždaviniai:

1. Apžvelgti CMOS struktūros gamybos procesus;

2. Išnagrinėti CMOS struktūrą ir jos veikimą;
3. Nusistačius reikiamus parametrus sumodeliuoti CMOS struktūrą modeliavimo programa;
4. Ištirti CMOS greitaveikos priklausomybę nuo NMOS ir PMOS tranzistorių;
5. Ištirti CMOS greitaveikos priklausomybę, nuo pastovios maitinimo įtampos dydžio;
6. Sumodeliuoti CMOS struktūrą, kuri galėtų būti naudojama rinkoje.

Šiuo metu „Texas Instruments“ tiekia rinkai CMOS grandyną, kurio persijungimo sparta yra 12 ns. Tai laikoma atskaitos tašku modeliuojant CMOS sistemą.

komercijoje.

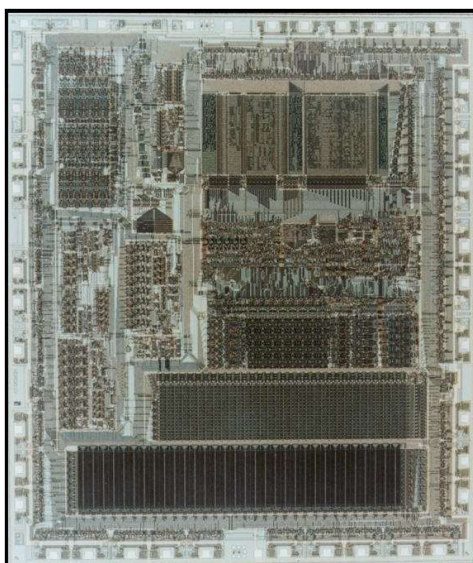
1969 m. Intel išleido 1-Kbit NMOS SRAM ir 1-Kbit CMOS SRAM. Pradžioje SRAM buvo vystomi dvejomis kryptimis: veikimo spartai – NMOS pagrindu ir mažai naudojančios energijos, tačiau lėtesnės CMOS pagrindu. Tačiau vėliau, išstobulinus CMOS struktūrą, ji pradėta naudoti greitai SRAM[2].

1970 metais pradėtos naudoti kompiuterinės modeliavimo programos (CAD) MOS struktūrų modeliavimui. Kompiuterinės programos turėdavo skaitmenizuotus puslaidininkių duomenis ir juo atkurdavo modeliuojant. Taip įmonės pradėjo naudoti programas grandynų modeliavimui.

1978 metais tarptautinėje konferencijoje ISSCC Hitachi pristatė 4-Kbit SRAM. Ši CMOS pagrindu pagaminta atmintis savo sparta prilygo NMOS tipo atminčiai. Tai parodė, kad CMOS gali būti naudojamas ten, kur reikalinga sparta. Tai paskatino CMOS naudojimą DRAM ir mikroprocesoriuose.

1980 metai Japonijos gamintojai pralenkė JAV ir išplėtė DRAM atminties dydį. Didesnės atminties gavimui buvo pradėta naudoti trimatės struktūros, kurios sukūrė užuomazgas atminties celėms. Tapo aišku, kad įmanoma pagaminti 1-Mbit ir didesnę atmintį. CMOS technologija toliau plečiama, kur pirmosios kartos CMOS DRAM pakeičia antroji 256 Kbit DRAM. Visi masinės gamybos 1-Mbit ir didesnės atminties įrenginiai buvo CMOS pagrindu.

1981 metais Hitachi sukūrė HD6301 CMOS mikroprocesorių. Tai buvo programine įranga suderintas Motorolos 6801 8-bitų mikroprocesorius. Šis mikroprocesorius tapo to laikmečio standartu.



1.2 pav. 1981 m. Motorola 6801 mikroprocesorius [2]

Hitachi CMOS mikroprocesorius buvo sukurtas siekiant užtikrinti aukščiausią mikroprocesoriaus našumą ir sklandų darbą, naudojant puslaidininkų technologiją bei suderintą, stabilių ir greitą mikroprocesoriaus darbą garantuojantį programinį kodą.

1990 metais bipolinės technologijos naudojamos ypač didelės spartos įrangoje ir superkompiuteriuose. Puslaidininkų technologijos vystantis superkompiuteriai naudoja pažangiausias CMOS technologijas aukščiausios klasės rinkai. Pradžioje bipolinės technologijos lenkė CMOS technologiją, tačiau pastarajai patobulėjus ji aplenkė bipolines technologijas. CMOS vėl tampa vyraujančia technologija.

1.2. Mokslinės literatūros analizė

Mikro-nano technologijų plėtrą Lietuvoje sąlygoja ir informacijos trūkumas. Informacijos lietuvių kalba yra labai mažai, o ir ši sritis lietuvių mokslininkų yra labai menkai tyrinėjama.

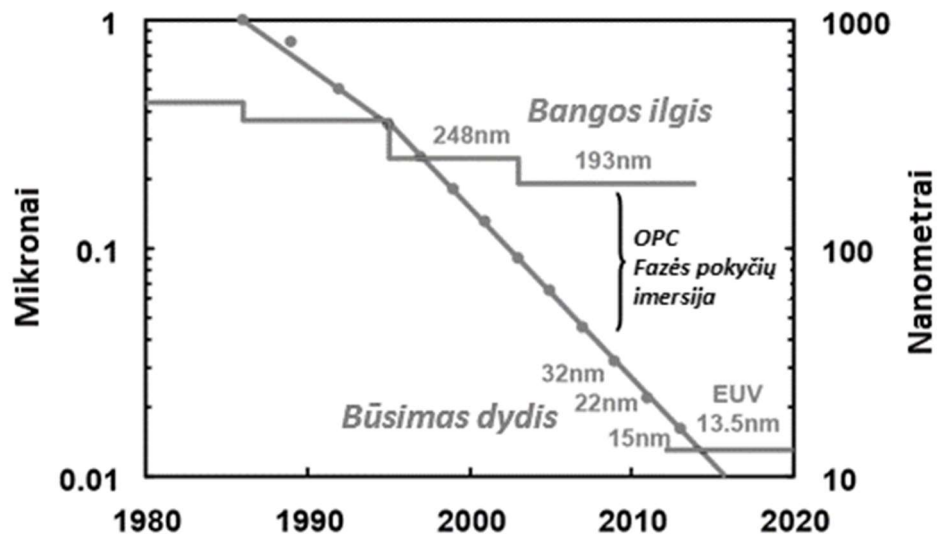
Tarp puslaidininkinių integrinių mikrograndynų gamintojų nuolat vyksta konkurencinė kova, naujausios aukšto lygio mikroelektronikos gamybos technologijos yra laikomos komercine paslaptimi, saugomos ir informacija apie jas nėra atvirai skelbiama. Dėl to literatūros apie pačias naujausias technologijas sunkiai prieinama.

CMOS lietuvių mokslininkų tyrinėtai labai mažai. Apie CMOS gamybą lietuvių kalba galima rasti Anilionio R. knygoje „Elektronikos technologijos.“ – ISBN 9986-13-782-9. – Kaunas: Technologija, 2000. – P. 144–157.

Apie parazitinius ryšius ir LOCOS technologiją galima rasti 2005 m. Kauno technologijos universiteto R. Anilionio, D. Andriukaičio ir T. Keršio straipsnyje „CMOS technologijos, maskuojant silicio nitridu, kokybė“. Kur nagrinėjama, kad esant dvejoms vienai šalia kitos skirtingoms sritims atsiranda parazitinės srovės, kurios įtakoja CMOS grandymo veikimą.

Apie CMOS integrinių grandynų veikimą galima rasti knygoje W. Hudson, J. Beasley, and E. Steelman, "A CMOS Combinational Circuit-Design Method Using Mixed Logic Concepts," *IEEE Transactions on Education*, Vol. 38, No. 3, August, 1995, pps. 266-273. Kuriame rašoma, kaip CMOS tranzistorių struktūra yra naudojama loginėms reikšmėms. Įėjimo reikšmės privalo būti reikiamo lygmens. Taipogi nurodytos tranzistorių jungimo kombinacijos, norit realizuoti skirtingas schemas.

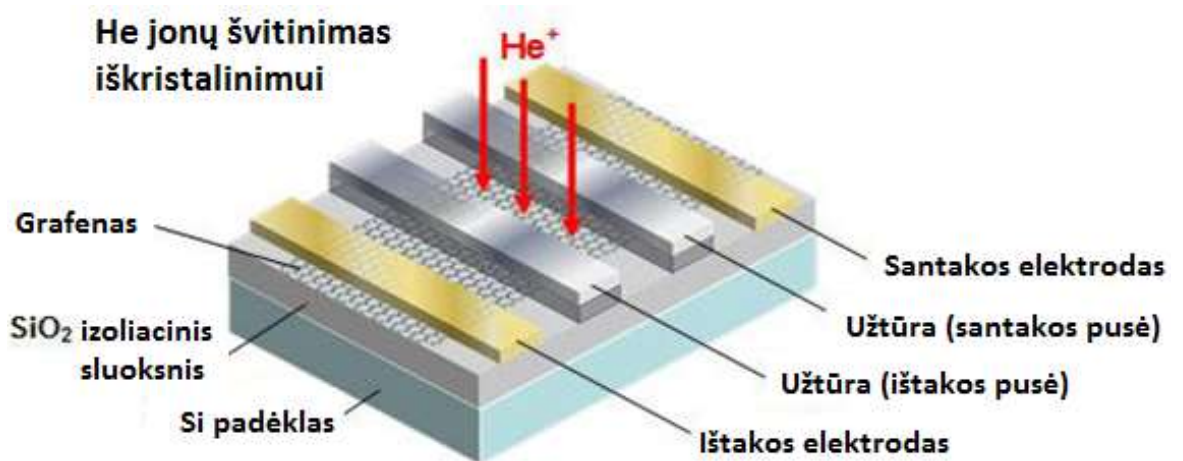
Informacijos apie CMOS integrinių grandynų parametrų skaičiavimus galima rasti



1.4 pav. Integrinių elementų dydžio priklausomybė nuo litografijos

Taipogi paveiksle matyti, kaip priklauso elementų dydis nuo litografijos atliekamos bangos ilgio. Matome, kad perėjus nuo litografijai naudojamos violetinės spalvos šviesos, kuomet litografijos bangos ilgis yra apie 380 nm iki 2010 metais naudojamų 193 nm lazerio šviesos, elementai teoriškai gali būti ne mažesni nei 13,5 nm. Norėdami gauti mažesnių matmenų elementus, technologija turės būti keičiama iš esmės.

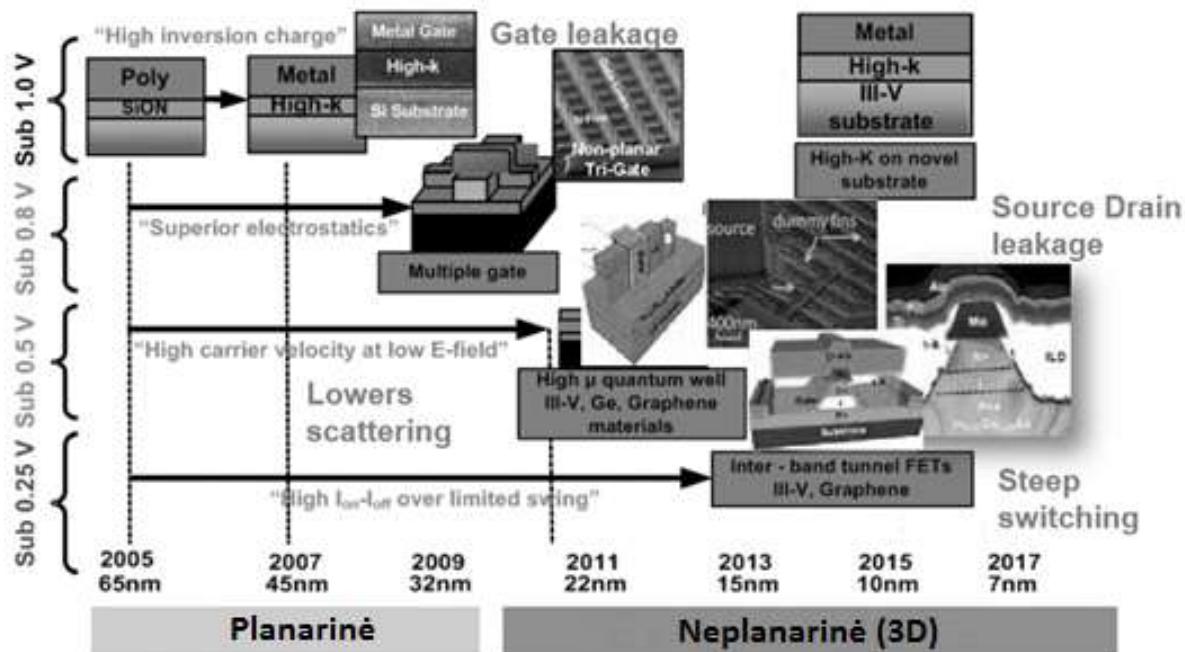
2013 m. vasario 26 d. naujienų portalas ExtremeTech skelbia, apie išrastą japonų mokslininkų 30 nm CMOS pagrindu grafeno tranzistorių 1.5 pav.



1.5 pav. CMOS tranzistorius grafeno pagrindu

2013 m. pavasario „The Electrochemical Society“ leidinyje publikuojamas straipsnis

„Recent Advances in High Performance CMOS Transistors: From Planar to Non-Planar“.



1.6 pav. Struktūrų evoliucija

Straipsnyje aprašoma evoliucija nuo planarinės iki šių dienų neplanarinės (3D) tranzistorių technologijos 1.6 pav. Jame aiškiai nusakoma, kad neplanarinė technologija išstums planarinę. Norint turėti mažus įtaisų matmenis ir naudotis didele įtaisų sparta reikalinga technologijas naudoti keliais sluoksniais, kur ypatingai neplanarinė technologija bus vystoma labiau.

2014 metais „Intel“ įmonė pagamino ir pasiūlė mikroprocesorius, kurių elementai pagaminti naudojant 14 nm litografijos technologiją.

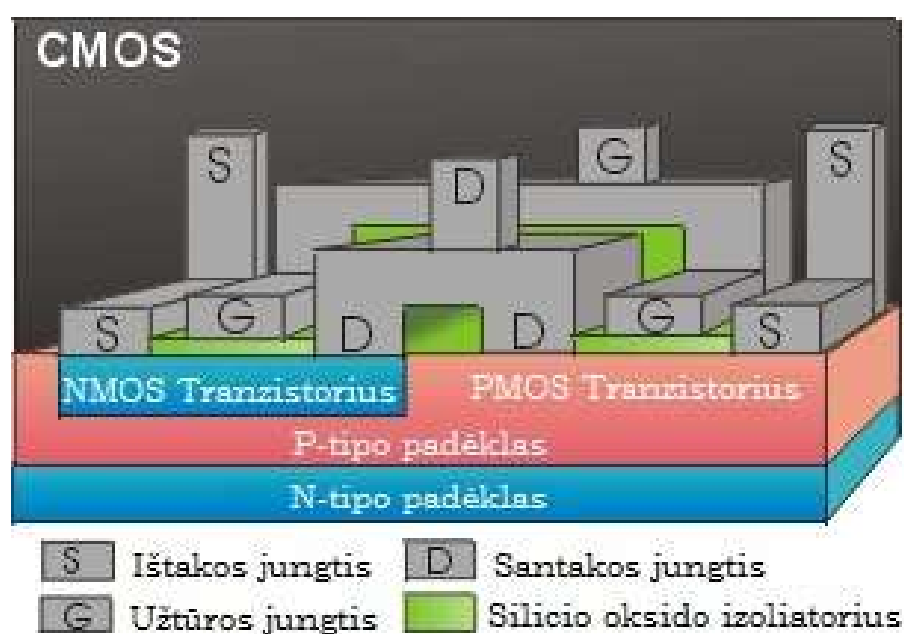
2017 metais „Samsung“ telefonuose „Galaxy S8“ naudoja 10 nm litografijos mikroprocesorius.

Yra numatoma, jog 2019 metais mikroprocesorių gamyboje bus naudojama 7 nm litografija.

1.3. CMOS struktūra

Šiandieninė elektronika neįsivaizduojama be puslaidininkių. Vienas iš pagrindinių ir dažniausiai naudojamų puslaidininkinių elementų – puslaidininkinis tranzistorius. Iš puslaidininkinių tranzistorių formuojamos įvairios struktūros, kurias realizuojant gaunami reikalingi parametrai norimam įtaiso veikimui.

Bene svarbiausias integrinių grandynų grupę sudaro grandynai su drauge naudojamais MOS tranzistoriais, dar vadinami komplementariaisiais MOS integriniais grandynais. CMOS struktūroje (1.7 pav.) naudojama nuosekliai sujungti n ir p tipo tranzistoriai.

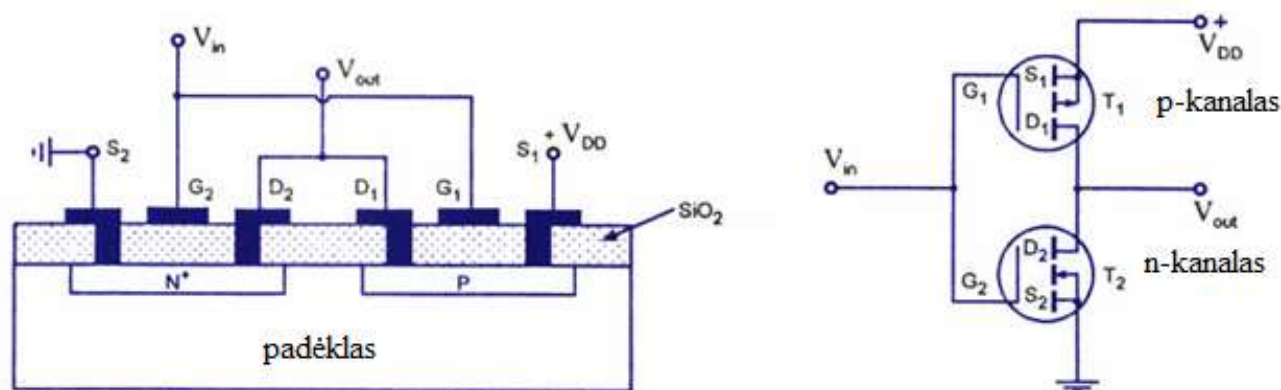


1.7 pav. CMOS struktūra

Viena pagrindinių puslaidininkių savybių yra ta, kad krūvio nešėjai gali būti ir elektronai, ir skylės. Atitinkamai ir tranzistoriai pagal krūvio nešėjus yra n tipo, kai pagrindiniai krūvio nešėjai yra elektronai ir p tipo, kai pagrindiniai krūvio nešėjai yra skylės. N tipo puslaidininkiuose yra donorinių tipo priemaišų, todėl jie ir turi daugiau laisvųjų elektronų, nei skylių. Atitinkamai p tipo puslaidininkiuose yra akceptorinio tipo priemaišų, kurios sudaro skylinį laidumą.

1.3.1. CMOS topologija ir veikimas

CMOS integrinių grandynų veikimo sparta labai priklauso nuo struktūros, kadangi procesus labai įtakoja parazitinės talpos [4]. Šių integrinių grandynų veikimo sparta yra mažesnė, tačiau jie turi labai svarbų privalumą – kuomet naudojama skaitmeninėje grandinėje loginio nulio arba loginio vieneto būseną, vienas iš poros tranzistorių yra uždarytas. Tuomet per tranzistorius praktiškai neteka srovė ir nenaudojama maitinimo šaltinio galia. CMOS grandyno struktūrą atitinkanti elektrinė schema pateikta 1.8 pav.

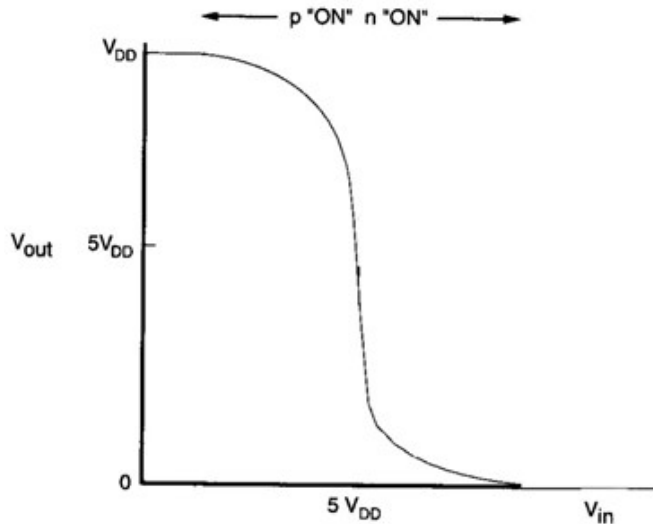


1.8 pav. CMOS grandyno struktūra ir elektrinė schema

CMOS inverterio schemoje tranzistoriaus T_2 ištaka yra įžeminama, o tranzistoriaus T_1 ištaka yra prijungiamą prie įtampos V_{DD} . Abiejų tranzistorių užtūros yra prijungiamos prie įėjimo įtampos, o santakos abiejų tranzistorių tiekia išėjimo įtampą.

Kuomet įėjimo įtampa labai maža ≈ 0 V, tuomet T_1 tranzistoriaus užtūra yra neigiamo potencialo lyginant su S_1 ištaka. Tranzistorius T_1 atsidaro ir jo atsidarymo varža $R_{ats} = 1$ k Ω , tuomet tranzistoriaus T_2 užtūra esant 0 V yra atitinkamai tokia pati kaip ir jo ištaka. Taigi tranzistorius T_2 bus uždarytas ir jo varža $R_{užd} = 10^{10}$ Ω . Abi šios varžos veikia kaip įtampos daliklis ir išėjimo įtampa bus artima įėjimo įtampai $+V_{DD}$.

Priešingu atveju, kuomet įėjimo įtampa yra panašaus dydžio kaip ir $+V_{DD}$ ar didesnė, tuomet tranzistoriaus T_1 užtūros potencialas lyginant su ištakos yra 0. Tai tranzistorius T_1 bus uždarytas ir jo varža $R_{užd} = 10^{10}$ Ω . Tuo metu tranzistoriaus T_2 užtūros potencialas bus teigiamas lyginant su jo ištaka. Taigi tranzistorius T_2 bus atsidaręs ir jo varža $R_{ats} = 1$ k Ω . Šiuo atveju išėjimo įtampa bus artima 0 V. Šis veikimas pavaizduotas 1.9 pav.



1.9 pav. CMOS inverterio integrinio grandyno veikimas

Išskyrus trumpą laiko momentą, kuomet įtampa nukrinta nuo $+V_{DD}$ iki nulio arba pakyla nuo nulio iki $+V_{DD}$, p-kanalo ir n-kanalo struktūros turi vieną išjungtą tranzistorių, kuriame nėra srovės, tuomet ji naudojama iš maitinimo šaltinio. Taip dirbdamas CMOS grandynas, tuo momentu, kai yra didesnė arba mažesnė įėjimo įtampa, nei pereinamojo proceso metu, nenaudoja galios iš maitinimo šaltinio, išskyrus trumpą pereinamąjį laikotarpį, kuomet keičiasi išėjimo įtampa tarp aukšto ir žemo lygio. Tuo metu abu tranzistoriai yra atidaryti, trumpu laiko momentu, kai vienas tranzistorius atsidaro, o kitas užsidaro. Iš tikro, esant nuolatinės įtampos sąlygomis CMOS grandyno galios suvartojimas yra nulinis. Augant taikomojo signalo dažniui grandynas persijunginėjamas didina galios suvartojimą.

CMOS įrenginiai pirmiausia naudojami skaitmeniniuose grandynuose, išėjimo įtampos 0V arba $+V_{DD}$ (+5V) realizavimui, kuomet reikalingas mažas naudojamos energijos kiekis iš maitinimo šaltinio. Dažniausiai mažos galios integriniuose grandynuose yra naudojami CMOS tranzistoriai.

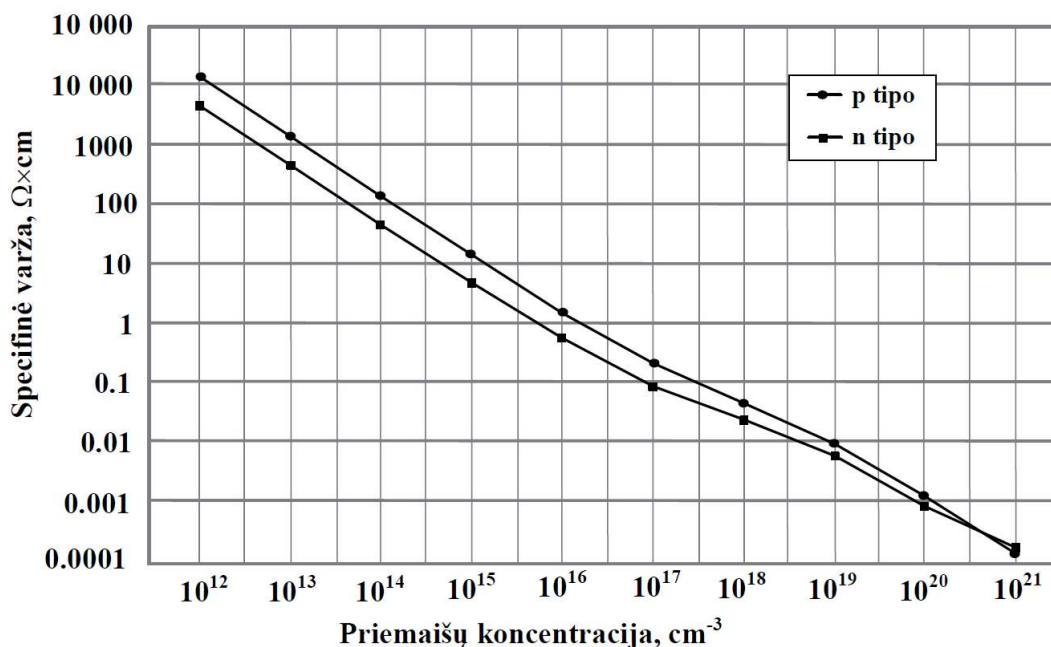
1.3.2. CMOS gamyba

CMOS gamyba yra ilga ir sudėtinga. Gamybos technologija reikalauja ypatingų aplinkos sąlygų, o ir gamybai reikalinga įranga yra brangi. Nepaisant to, CMOS gamyba yra smarkiai tobulinama ir plėtojama. Tad vis geresnius grandyno parametrus padeda pasiekti ištobulinta

gamybos technologija. Gaminant CMOS tranzistorių yra išskiriami keturi pagrindiniai etapai: paruošiamasis, apdirbamasis, montažo bei kontrolės.

Pirmasis gamybos etapas yra paruošiamasis. Paruošiamajame etape yra užauginamas grynas silicio monokristalas. Silicio plokštelių paviršiai būna nelygūs, paviršiniuose sluoksniuose gali būti defektų. Dėl to paviršinis sluoksnis nušlifuojamas 60–100 μm . Vėliau darbinis paviršius poliruojamas naudojant suspensijas su vis mažesnių matmenų (pabaigoje – smulkesniais nei 1 μm) abrazyvų grūdeliais. Po mechaninio poliravimo atliekamas cheminis dinaminis poliravimas – plokštelių paviršius ėsdinamas azoto, fluoro ir acto rūgščių mišiniu. Pirmiausia chemiškai poliruojant nuėsdinami paviršiaus iškylimai, nes silicio atomų ryšiai su kristalu yra silpnesni. Kiekvienos technologinės operacijos atlikimo metu plokštelės gali būti užterštos. Todėl jų paviršiai rūpestingai valomi fiziniu ir cheminiu būdu.

Gamybos projektavimo pradžioje pasirenkami plokštelės parametrai, t. y. jos laidumo tipas (n ar p tipo), specifinė varža (legiravimo lygį), lusto kristalo orientacija (111 ar 100), plokštelės skersmuo ir daug kitų parametru, aprašančių geometrinius netolygumus, defektiškumo lygį ir kt. Reikalingiausi 3 pagrindiniai parametrai: laidumo tipas, specifinė varža, lusto kristalo orientacija.



1.10 pav. Silicio specifinės varžos priklausomybė nuo priemaišų koncentracijos ($T = 300 \text{ K}$)[5]

Ir taip gaunama paruošta silicio plokštelė tolesniam apdorojimui.

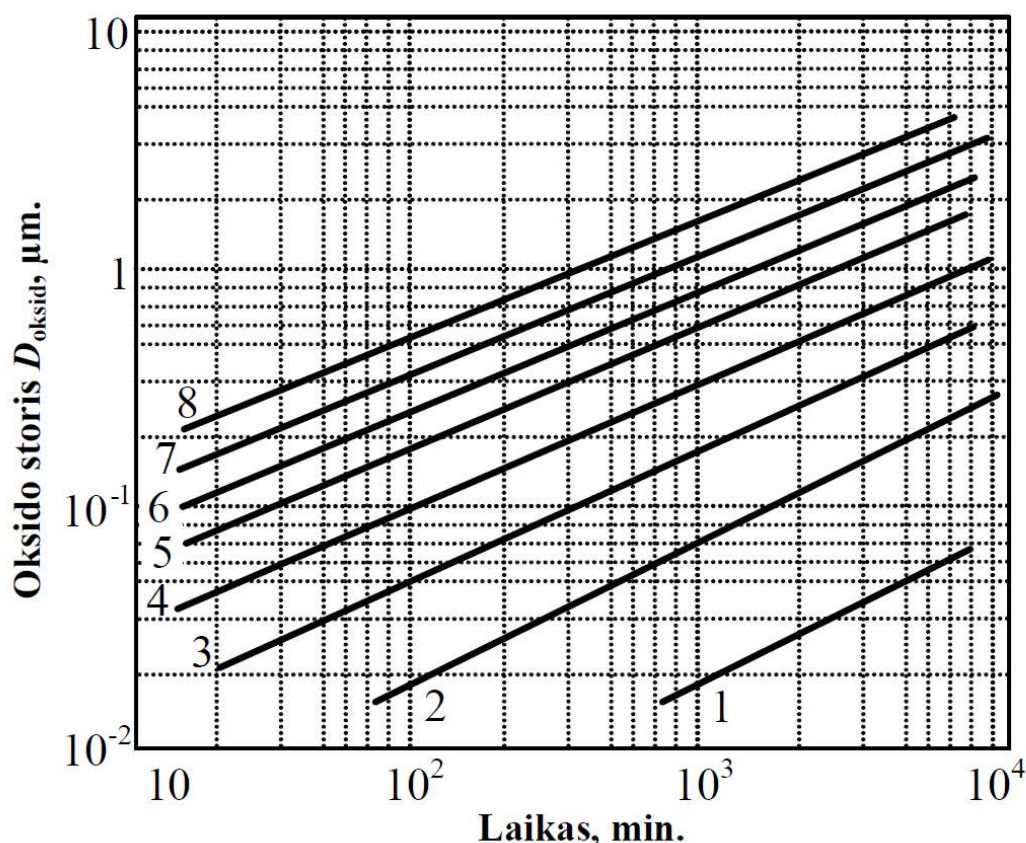
Toliau vyksta apdirbamasis etapas. Apdirbamajame etape difuzijos būdu įterpiamos priemaišos, oksiduojamas silicis, izoliuojamos elektroninių elementų vietos, suformuojami elementai. Pirmajame etape paruoštos silicio plokštelės oksidavimas vyksta (800-1200 °C) temperatūroje deguonies arba deguonies ir vandens garų mišinio aplinkoje. Ant plokštelės paviršiaus susidaro dielektriko silicio dioksido SiO₂. Ploni 0,02-0,1 μm storio silicio dioksido sluoksniai naudojami kaip izoliacija po tranzistorių užtūromis. Storesni 0,3-0,8 μm naudojami plokštelės paviršiui apsaugoti nuo priemaišų difuzijos ar joninio legiravimo procese į paviršių išeinančioms pn sandūroms izoliuoti, suformuotos mikroschemos paviršiui apsaugoti nuo aplinkos poveikio. Paprastai oksiduojamos plokštelės aukštos temperatūros difuzinėse krosnyse, kvarciniuose vamzdžiuose, 15–20 minučių, esant 900 °C temperatūrai, ir H₂O atmosferoje. Jeigu oksidavimas vyksta deguonies O₂ atmosferoje, tai proceso trukmė pailgėja ir yra apie 45 min., esant 1000 °C temperatūrai. Terminiškai oksiduojant silicį, naudojami trys technologiniai būdai:

- 1) oksidavimas vandens garais,
- 2) oksidavimas sausu deguonimi,
- 3) oksidavimas drėgnu deguonimi.

Taipogi galima ir šių būdų kombinacija.

Norėdami gauti aukštos kokybės oksidą, taikome oksidavimą sausu deguonimi 1.11 pav.

Kitas technologinių operacijų ciklas susijęs su fotolitografija, būsimųjų tranzistorių aktyviosioms sritims formuoti.



1.11 pav. SiO₂ sluoksnio storio priklausomybė nuo laiko esant tokioms temperatūroms: 1 – 700°C; 2–800 °C; 3–900 °C; 4–1000 °C; 5–1100 °C; 6–1200 °C; 7–1300 °C; 8–1400 °C[5]

Fotolitografija pagrįsta šviesai jautrių medžiagų savybe keisti atsparumą tirpikliams, paveikus šviesa. Šiuo metu tai labiausiai paplitęs integrinių grandynų elementų konfigūracijos gavimo būdas, kai naudojami ultravioletinių (UV) spindulių (UV: 365 nm – 436 nm), tolimojo UV (TUV: 157 nm – 250 nm) ir ekstremalaus UV (EUV: 11 nm – 14 nm) šaltiniai. Fotolitografijos metu atliekama ne viena operacija. Pirmiausia vyksta paviršiaus paruošimas.

Puslaidininkio plokštelės paviršiaus paruošimas – cheminis ar sausas valymas, atkaitinimas (esant 150–200 °C temperatūrai, azoto atmosferoje), dažnai – specialių sluoksnių dengimas kito sluoksnio (fotorezisto) adhezijai pagerinti ir šviesos atspindžiui nuo plokštelės sumažinti.

Tuomet plokštelė padengiama šviesai jautriu, esdinimui atspariu fotorezistu ir džiovinama. Fotorezisto storis yra 0,1–2,0 μm . Džiovinimas vykdomas 10–30 min., esant 90–100 °C temperatūrai.

Padengus fotorezistu vyksta sutapdinimo procesas. Ant plokštelės su fotorezistu uždedamas fotošablonas (stiklo plokštelė, iš apačios padengta metalo sluoksniu, kuriame

reikiamose vietose išėsdintos integrinio grandyno angos). Fotošablono piešinys turi tiksliai sutapti su fotolitografijos piešiniu. Fotorezistas apšviečiamas UV šviesos spinduliais, kurių bangos ilgis dažniausiai yra 193 nm. Jie praeina tik ten, kur fotošablone yra skaidrumo sritys – angos. Piešinys fotošablone perkeliamas į fotorezistą. Apšviestas fotorezistas tampa atsparus ėsdinantiems tirpikliams.

Tuomet vyksta fotorezisto ryškinimas. Neapšviestas fotorezistas yra neatsparus ėsdinantiems tirpikliams. Jis yra pašalinamas ryškinimo metu, ir tose vietose matyti dioksido plėvelė.

Vėliau fotorezistas yra kietinamas, suteikiant atsparumą vėlesnėms ėsdinimo operacijoms rūgštyse, šarmuose ir plazmoje.

Tada vyksta ėsdinimo procesas. Jo metu silicio oksidas, nitridas ar kitas dielektrikas yra veikiamas tirpikliu, ėsdinančiu reikiamą medžiagą, bet neveikiančiu apšviesto fotorezisto. Ėsdinant medžiagos pašalinamos nuo kristalo paviršiaus cheminiu, elektrocheminiu, joniniu bei plazmocheminiu ėsdinimu. Cheminis ėsdinimas – tai plokštelės paviršiaus ardymas skystu tirpikliu. Nuėsdinamo sluoksnio storis priklauso nuo ėsdiklio koncentracijos, ėsdinimo temperatūros bei trukmės. Elektrocheminis ėsdinimas vyksta tik tirpikliu tekant srovei. Pašalinamo sluoksnio storis reguliuojamas tekančios tirpikliu srovės stiprumu ir trukme. Joninis ėsdinimas – tai plokštelės paviršiaus bombardavimas greitaisiais jonais vakuume. Plazmocheminiu ėsdinimu vadinamas procesas, kai paviršių bombarduojantys jonai ne tik jį ardo, bet ir sąveikauja su ėsdinama medžiaga. Taip nepadengtose fotorezisto vietose oksido plėvelė nuėsdinama, ir okside gaunami „langai“.

Likusio kieto fotorezisto pašalinamas vykdomas kitu tirpikliu. Plokštelės paviršiuje lieka silicio oksido plėvelė, labai tiksliai pakartojanti fotošablono piešinį.

Fotolitografijos būdu galima gauti piešinį, sudarytą iš 2 μm dydžio elementų. Norint sumažinti elementų matmenis ir padidinti montažo tankį, taikoma elektronolitografija, kurioje vietoj šviesos leidžiamas elektronų srautas. Mikroschemos elementų dydis nusako gamybos technologiją: fotolitografiją, elektronolitografiją bei rentgenolitografiją. Plačiausiai yra paplitusi fotolitografija, nes reikalauja mažiausiai lėšų, bei mažiausiai kenkia aplinkai.

Džonas Relėjus (*John Rayleigh*) pasiūlė skiriamosios gebos kriterijų, pagal kurį lėšio skiriamoji geba (*SG*) užrašoma taip:

$$SG = \frac{0,61 \cdot \lambda}{n \cdot \sin(\theta)}, \quad (1.1)$$

čia n – terpės, esančios tarp objekto (fotošablono) ir lęšio, lūžio rodiklis (dažnai litografijos sistemose terpė būna oras, kai $n = 1$, o pastaruoju metu, taikant imersiją, – skystis, pvz., vanduo, kai $n = 1,42$); θ – maksimalus difragavusios šviesos pus kampis, kuriuo šviesa dar patenka į lęšį, arba lęšio priėmimo kampas. Θ gali riboti lęšio matmenys ir šviesą praleidžianti anga. Taigi θ iš esmės yra difragavusios lęšio šviesos surinkimo gebos matas.

Šį parametą Ernstas Karlas Abbe (*Ernst Karl Abbe*) pavadino skaitine apertūra (*Numerical Aperture – NA*):

$$NA = n \cdot \sin(\theta), \text{ tai} \quad (1.2)$$

$$SG = \frac{0,61 \cdot \lambda}{n \cdot \sin(\theta)} = \frac{k_1 \lambda}{NA}. \quad (1.3)$$

Formulė (1.1) išvesta, remiantis Fraunhoferio difrakcija, ir aprašo tik taškinius šviesos šaltinius. Todėl koeficientas 0,61 dažnai pakeičiamas bendresniu koeficientu k_1 (1.3) formulėje.

Objektyvo ryškumo gylis:

$$OF = \delta = \pm \frac{\lambda}{2(NA)^2} = \pm k_2 \frac{\lambda}{2(NA)^2}. \quad (1.4)$$

Koeficientas $1/2$ dažnai pakeičiamas koeficientu k_2 (1.4) formulėje, nes koeficientas $1/2$ būdingas Dž. Relėjaus pasiūlytam objektyvo skiriamosios gebos skaičiavimui, bet neįvertina praktinių parametų, pvz., fotorezistų priklausomybių.

Jautrumas šviesai S – dydis, atvirkščiai proporcingas ekspozicijai (energijos kiekiui, kuriuo apšviestas fotorezistas), ir būtinas jo savybėms (tirpumui) pakeisti, norint gauti reikiamą efektą. Nuo fotorezisto jautrumo šviesai priklauso fotolitografijos proceso darbo našumas ir įrenginių charakteristikos. Didėjant šiam parametrai, greičiau su ta pačia energija galima atlikti eksponavimo operaciją. Tam į fotorezistus dedama specialių priedų – jautriklių. Bet kurio fotorezisto jautrumas šviesai priklauso nuo jo bangos ilgio. Jautrumas didesnis tam tikro bangos ilgio šviesai. Žinant, koks yra spektrinis fotorezistų jautrumas šviesai, galima argumentuotai pasirinkti jų eksponavimo šaltinius.

Fotorezisto jautrumas šviesai priklauso nuo eksponavimo trukmės. Pasirinkus šį laiką per mažą arba per didelį, gaunami įvairūs fotolitografijos defektai. Praktikoje labai svarbu kuo tiksliau žinoti fotorezistų dydžius. Labai didelio jautrumo fotorezistai dažnai nestabilūs, esant nedideliems temperatūros svyravimams bei statistiniams parametų pokyčiams eksponavimo metu. Paprastai

didesnis kontrastas yra gaunamas, kai jautrumas yra mažesnis. Bet vis dėlto sukurti nauji TUV chemiškai pajautrinti fotorezistai yra ir didesnio jautrumo, ir didesnio kontrasto.

Šiuo metu fotorezistų kaukės kokybė ribojama ekspozavimo sistemos. Vis dėlto fotorezistai ir jų apdorojimo procesai (ekspozavimo dozė, kietinimas ir formavimo ciklai) privalo būti kruopščiai kontroliuojami tam, kad būtų pasiekta gera skiriamoji geba fotorezistų kaukėse.

Fotolitografijos metu suformavus langą NMOS tipo tranzistoriui atliekamas p tipo kišeni legiruoti taikoma boro jonų implantacija, naudojant 100–200 keV energiją ir $3 \times 10^{12} \text{ cm}^{-2}$ dozę, o po to fotorezisto plėvelė pašalinama.

Specialiuose greitintuvuose priemaišų jonai įgreitinami – jų energija siekia 80-300 keV. Tokiais greitaisiais jonais bombarduojama puslaidininkio plokštelė. Legiruotojo sluoksnio storis būna 0,1-0,4 μm. Joninis legiravimas taikomas labai ploniems sluoksniams sudaryti.

Analogiškai taikant fotolitografiją suformuojamas langas PMOS tipo tranzistoriui, kur formuojama n laidumo kišenė. Į silicio plokštelę implantuojami fosforo jonai. Parenkama tokia jonų energija, kad jie neprasisiskverbtų per storą 0,5 μm SiO₂ dielektriko sluoksnį.

Jonų nueitas kelias medžiagoje vadinamas jonų siekiu. Jonų stabdymas – statistinis procesas, jonų trajektorijos yra laužtės ir kiekvieno jono skirtingos. Atskirų jonų siekiai statistiškai pasiskirstę pagal normalinį dėsnį; jų parametrai – vidutinis siekis R ir jo standartinis nuokrypis ΔR_p :

$$R_p(x) = \frac{1}{2\pi\Delta R_p} \exp\left[-\frac{(x-R_p)^2}{\Delta R_p^2}\right]. \quad (1.5)$$

Praktikoje vartojamas dydis – prasiskverbimo gylis R_p – tai didžiausio siekio trajektorijos projekcija į pirminę jono kryptį ir atitinkamai jo standartinis nukrypimas ΔR_p . Vykstant jonų implantacijai, legiruojančiųjų atomų koncentracija priklauso nuo legiravimo dozės, o jų pasiskirstymo dėsnis — nuo jonų energijos. Todėl, žinant jonų energiją, labai svarbu mokėti nustatyti jų pasiskirstymą kietajame kūne, t. y. apskaičiuoti jų prasiskverbimo gylius.

Implantuotų atomų pasiskirstymo dėsnį lemia vidutinio prasiskverbimo gylio pasiskirstymas. Priemaišų pasiskirstymą šiuo atveju aprašo Gauso kreivė:

$$N(x) = N_{peak} \exp\left[-\frac{1}{2}\left(\frac{x-R_p}{\Delta R_p}\right)^2\right], \quad (1.6)$$

čia priemaišų koncentracijos maksimumas yra ne paviršiuje, kaip difuzijų atveju, bet gylyje $x = R_p$, o bendras implantuotų priemaišų kiekis tūrio vienetu, arba legiravimo dozė, esant Gauso

pasiskirstymui, yra lygi:

$$Q = \sqrt{2\pi}N_{\text{peak}}\Delta R_p. \quad (1.7)$$

Iš (1.7) lygybės gauname $N_{\text{peak}} = 0,4Q/\Delta R_p$.

Ši lygybė teisinga, kai jonų energijos yra 100–200keV ribose, o didesnėms energijoms taikomas dvigubas Pearson implantacijos profilis. Antra vertus, legiravimo dozė yra jonų srautas, per laiko vienetą kertantis Si paviršiaus ploto vienetą, taigi paprastai išreiškiama jonai/cm².

Kuomet jonas juda tarsi kanalu, kuriame nesusiduria su atomų branduoliais ir kur jį stabdo tik elektronų sąveika, jonų siekiai proporcingi jų greičiams. Tai vadinama kanaliniu efektu. Kampas ψ , kuriuo jonas įeina į kanalą, vadinamas kritiniu kampu. Kritinis kampas priklauso nuo kristalinės gardelės tipo ir medžiagos, jono energijos ir kristalografinės ašies krypties. Norint išvengti kanalinio efekto, paprastai pakanka (111) ar (100) orientacijos Si plokštelės pasukti 7° kampu jonų pluošto atžvilgiu arba padengti amorfine plėvele Si paviršių, pvz., SiO₂ arba Si₃N₄.

Po jonų implantacijos fotorezistas pašalinamas. Kadangi jonų implantacija naudojama tiksliai dozuotam priemaišų įterpimui, o difuzija – priemaišų perskirstymui (angl. *drive-in*), tai po jonų implantacijos dažniausiai yra naudojama difuzija.

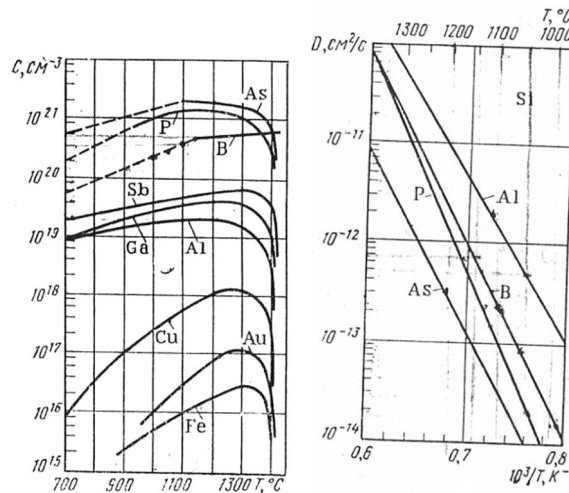
Difuzija vyksta legiruojančiųjų priemaišų aplinkoje 800–1250 °C temperatūroje. Į fotolitografijos būdu paruoštos neapsaugotus SiO₂ silicio plokštelės „langus“ įterpiamos donorinės ar akceptorinės priemaišos ir puslaidininkio plokštelės paviršiuje suformuojamos *p* ar *n* sritys. Difuzijos metodu puslaidininkio plokštelės paviršiuje galima suformuoti ir daugiasluoksnes struktūras, bet vienos plokštelės paviršiuje gali vykti nedaugiau kaip trys difuzijos procesai. Jos metu pašalinami radiaciniai defektai, aktyvuojamos priemaišos bei gaunamas reikalingas priemaišų pasiskirstymo profilis ir norimo gylio *pn* sandūros, pvz., 1–2 μm kišenės.

Difuzijos gylis priklauso nuo difuzijos skvarbos, temperatūros, trukmės ir pradinės priemaišų koncentracijos puslaidininkyje.

Priemaišų pasiskirstymą puslaidininkyje nusako antras Fiko dėsnis:

$$N(x,t) = \frac{Q}{\sqrt{\pi Dt}} \exp\left(-\frac{x^2}{4Dt}\right), \quad (1.8)$$

čia $N(x,t)$ - priemaišų koncentracija gylyje x laiko momentu t ; Q - pradinis priemaišų kiekis šaltinyje (pradinė paviršinė priemaišų koncentracija); D - priemaišų difuzijos koeficientas.



1.12 pav. Difuzijos proceso skaičiavimui naudojami koeficientai: a - legiravimo priemaišų ribinių tirpumų silicio kristale reikšmių priklausomybės nuo temperatūros; b – priemaišų difuzijos silicio kristale koeficiento priklausomybė nuo temperatūros

Pradinis priemaišų kiekis kristale – Q , apskaičiuojamas:

$$Q = \int_0^{\infty} C(x) dx = \int_0^{\infty} C_{01} \operatorname{erfc} \frac{x}{2\sqrt{D_1 t_1}} dx = 2C_{01} \sqrt{\frac{D_1 t_1}{\pi}}, \quad (1.9)$$

čia D_1 ir C_{01} – atitinkamai difuzanto tirpumo ribos silicio kristale, bei difuzanto tirpumo kristale (difuzijos) koeficientai. Difuzijos koeficientas D yra lygus priemaišinių atomų skaičiui difunduojančiam per 1cm^2 plotelį, 1s bėgyje, esant priemaišinių difunduojančių atomų koncentracijos gradientui 1cm^{-4} . Šių koeficientų reikšmės priklauso nuo temperatūros ir yra randamos grafiškai iš 1.12 pav.

Slenkstinių įtampų korekcija. Vienas iš pagrindinių CMOS tranzistorių parametrų yra slenkstinė įtampa V_{TH} . Šiuolaikinių CMOS tranzistorių V_{TH} įtampa yra intervale 0,1...1,2 V. Tam, kad būtų galima valdyti įtaiso slenkstinę įtampą, paprastai panaudojama implantacija, kuri pakeičia priemaišų koncentraciją dviejų tipų tranzistorių kanalo srityse. Paprastai naudojamos dvi implantacijos: po vieną NMOS ir PMOS tipui formuoti atskirai.

Priemaišų koncentracija N_A po užtūra kinta, jos profilis formuojamas netolygus, todėl

naudotina tokia slenkstinės įtampos V_{TH} formulė:

$$V_{TH} = V_{FB} + 2\phi_f + \frac{\sqrt{2\varepsilon_s q N_A (2\phi_f)}}{C_{OX}} + \frac{qQ_1}{C_{OX}}, \quad (1.10)$$

čia V_{FB} – užtūros įtampa puslaidininkio paviršiaus potencialui kompensuoti, kad jo reikšmė taptų lygi ϕ_f – Fermi potencialui, ε_s – Si dielektrinė skvarba, Q_1 yra implantacijos legiravimo dozė, jonais į cm^2 , C_{OX} – užtūros oksido talpa.

Suformavus n ir p sritis atliekamas šių sričių legiravimas. Vėl atliekama fotolitografija, kurios metu fotoreziste atidaromos angos, per kurias bus atliekama NMOS tranzistoriaus reikiamos V_{TH} gauti. Atliekama jonų implantacija, įterpiant boro priemaišas. Implantacijai naudojami 10–50 keV energijos boro jonai ir $1\text{--}5 \times 10^{15} \text{ cm}^{-2}$ legiravimo dozės.

Taipogi atliekama fotolitografija PMOS tranzistoriaus V_{TH} legiravimui atlikti. Fotoreziste suformuojamos angos virš būsimų PMOS tranzistorių ir per jas analogiškai prieš tai vykdytai operacijai atliekama sunkesnių arseno jonų implantacija, kai naudojama didesnė 20–100 keV jonų energija ir panašios $1\text{--}5 \times 10^{15} \text{ cm}^{-2}$ legiravimo dozės.

Atlikus anksčiau aprašytas operacijas, plokštelės yra paruoštos užtūros dielektrikui formuoti. Nuo užtūros dielektriko kokybės priklauso pagrindiniai MOS tranzistorių parametrai. Šio dielektrinio sluoksnio užterštumas ir defektai sukelia krūvių koncentracijos tūryje ir paviršiuje, pramušimo įtampos, dielektrinės skvarbos ir kitus defektus. Taigi terminis SiO_2 auginamas sausame deguonyje, nes dėl lėtesnio augimo tiksliau kontroliuojamas jo storis ir gaunamas mažesnis defektų tankis (1.11 pav.).

Sudarius struktūrą formuojami kontaktai. Kontaktinis sluoksnis formuojamas iš metalo (Al, Cu, Au), turinčio mažą specifinę varžą. Prieš kontaktinį sluoksnį, plokštelės paviršius dengiamas tarp sluoksniniu dielektriku iš silicio oksido ir legiruojančių priemaišų cheminių junginių, kurie vadinami silikatiniais stiklais. Tuomet suformuojamos angos virš ištakos, santakos ir užtūros kontaktinių sričių ir liejamas Al sluoksnis, kuris vėliau ėsdinamas.

Angų plotį lemia fotolitografijos skiriamoji geba ir ėsdinimo būdas. Taigi siaurus metalizacijos takelius reikia ėsdinti anizotropiškai. Dažniausiai aliuminis ir jo lydiniai ėsdinami reakciniu-plazminiu būdu chloro arba bromo turinčiose anglies tetrachlorido (CCl_4) arba boro chlorido (BCl_3) dujų planariniuose reaktoriuose. Pvz, esant CCl_4/O_2 mišiniui, Al ėsdinimo greitis yra 150 nm/min., o selektyvumas fotorezisto atžvilgiu yra 3.

Vėliau seka montažo etapas, kuriame yra išpjaunami mikroschemos, nes jų viename padėkle būna daug. Taip pat, jei reikia yra įmontuojami lustai, atliekami reikalingi vidiniai

sujungimai, atliekamas hermetizavimas.

Pagamintas gaminys yra pratestuojamas. Vyksta kontrolės etapas. Jame atliekami įvairūs elementų elektriniai matavimai, vykdomas testavimas. Ištestavus ir įsitikinus gaminio tinkamumu atliekami įpakavimo darbai.

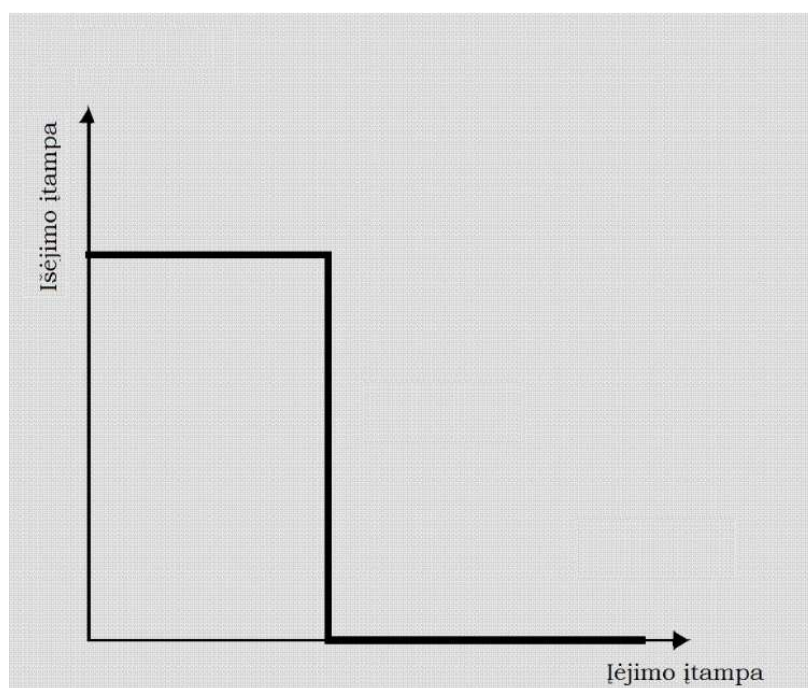
Visas gamybos procesas nuo silicio užauginimo iki mikroschemos gavimo reikalauja didelių investicijų, nes naudojama precizinė aparatūra ir reikalaujamas aukštas švaros lygis, matuojamas dulkių skaičiumi viename litre oro. Tačiau, neskaitant brangios gamybos CMOS yra plačiai naudojami elektronikoje. Neskaitant mažų matmenų ir reikalingų elektrinių parametrų, CMOS struktūra yra atspari smūgiams, nes struktūra išsidėsto puslaidininkio tūryje ir paviršiuje.

2. CMOS GREITAVEIKOS TYRIMAS

Pagal Mūro dėsnį, technologijoms tenka vis sunkesni uždaviniai – sumažinti naudojamą galią ir padidinti spartą, padaryti mažesnių matmenų tranzistorius bei sumažinti jų kainą.

Naujų puslaidininkinių įtaisų kūrimas reikalauja daug žmogiškųjų išteklių, gamybos procesų kaštų bei laiko sąnaudų. Todėl neišvengiamai naudojamos kompiuterinės programos, suteikiančios galimybę suprojektuoti puslaidininkinius įtaisy, sumodeliuoti jų technologinius gamybos procesus ir gautus elektrinius parametrus, nenaudojant brangių ir ilgų technologinių gamybos eksperimentų. Modeliuojant įtaisy siekiama, kad įtaisų ir jų elementų parametrai būtų kuo arčiau idealiųjų.

Ne išimtis ir CMOS struktūra. Siekiama, kad CMOS veikimas būtų kuo labiau panašesnis į idealaus grandyno veikimo pavaizduoto 2.1 pav.



2.1 pav. CMOS inverterio idealus veikimas

Idealus CMOS veikimas neturi vėlinimo laiko, todėl įrenginys dirba ypač sparčiai. Siekiama, kad esant įėjimo įtampai $V_{DD}/2$ išėjimo įtampa būtų lygi 0. Įrenginio persijungimas lygus 0.

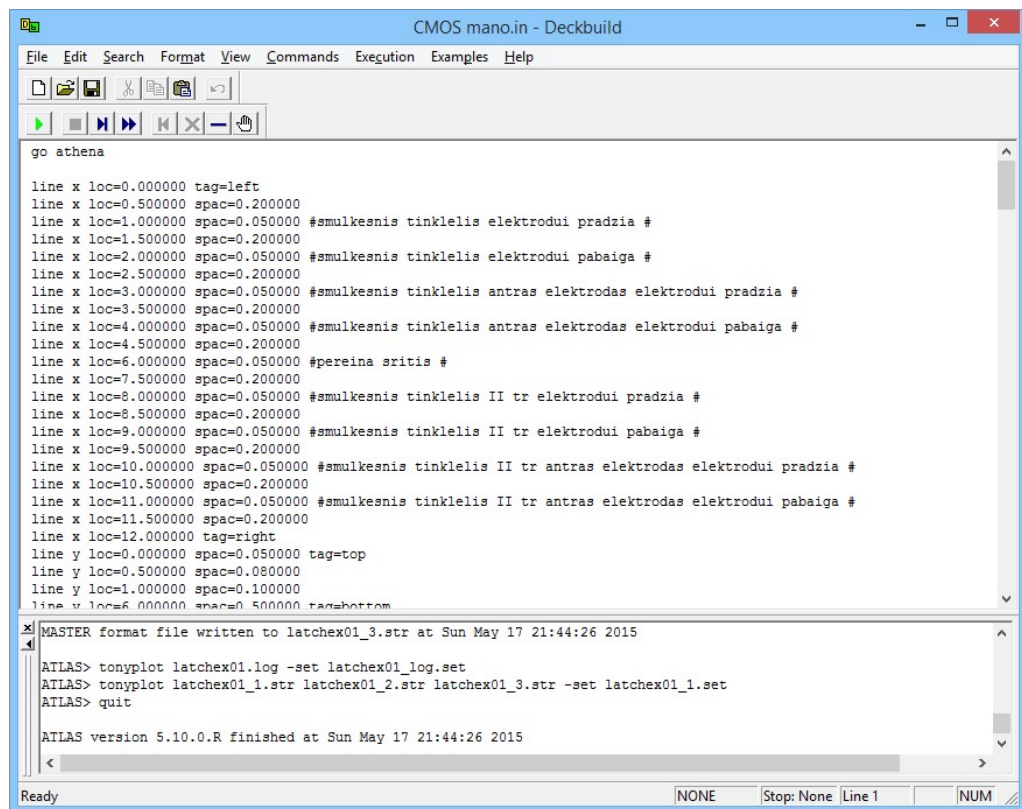
Norėdami gauti parametrus kuo artimesniu idealiems, bus modeliuojama planarinė CMOS struktūra kompiuterine modeliavimo programa.

Šiuo metu rinkoje „Texas Instruments“ pateikia CMOS inverterį (CD74HCU04QPWRQ1), kurio perėjimo laikas yra 12 ns. Detalesnė informaciją apie jį pateikiama priede 2.

2.1. Modeliavimo programa SILVACO TCAD

Technologiniams procesams ir įtaisams modeliuoti gerai tinka Silvaco programinių paketų rinkinys TCAD. Programinis paketas susideda iš keturių pagrindinių programų: Deckbuild, Athena, Atlas ir TonyPlot.

Deckbuild yra Silvaco TCAD programinio paketo paprogramių rašymo ir vykdymo aplinka (angl. Runtime Environment). Šios programos langas pavaizduotas 2.2 paveiksle.



```
CMOS mano.in - Deckbuild
File Edit Search Format View Commands Execution Examples Help
go athena
line x loc=0.000000 tag=left
line x loc=0.500000 spac=0.200000
line x loc=1.000000 spac=0.050000 #smulkesnis tinklelis elektrodui pradzia #
line x loc=1.500000 spac=0.200000
line x loc=2.000000 spac=0.050000 #smulkesnis tinklelis elektrodui pabaiga #
line x loc=2.500000 spac=0.200000
line x loc=3.000000 spac=0.050000 #smulkesnis tinklelis antras elektrodas elektrodui pradzia #
line x loc=3.500000 spac=0.200000
line x loc=4.000000 spac=0.050000 #smulkesnis tinklelis antras elektrodas elektrodui pabaiga #
line x loc=4.500000 spac=0.200000
line x loc=6.000000 spac=0.050000 #pereina sritis #
line x loc=7.500000 spac=0.200000
line x loc=8.000000 spac=0.050000 #smulkesnis tinklelis II tr elektrodui pradzia #
line x loc=8.500000 spac=0.200000
line x loc=9.000000 spac=0.050000 #smulkesnis tinklelis II tr elektrodui pabaiga #
line x loc=9.500000 spac=0.200000
line x loc=10.000000 spac=0.050000 #smulkesnis tinklelis II tr antras elektrodas elektrodui pradzia #
line x loc=10.500000 spac=0.200000
line x loc=11.000000 spac=0.050000 #smulkesnis tinklelis II tr antras elektrodas elektrodui pabaiga #
line x loc=11.500000 spac=0.200000
line x loc=12.000000 tag=right
line y loc=0.000000 spac=0.050000 tag=top
line y loc=0.500000 spac=0.080000
line y loc=1.000000 spac=0.100000
line y loc=6.000000 spac=0.500000 tag=bottom
MASTER format file written to latchex01_3.str at Sun May 17 21:44:26 2015
ATLAS> tonyplot latchex01.log -set latchex01_log.set
ATLAS> tonyplot latchex01_1.str latchex01_2.str latchex01_3.str -set latchex01_1.set
ATLAS> quit
ATLAS version 5.10.0.R finished at Sun May 17 21:44:26 2015
Ready NONE Stop: None Line 1 NUM
```

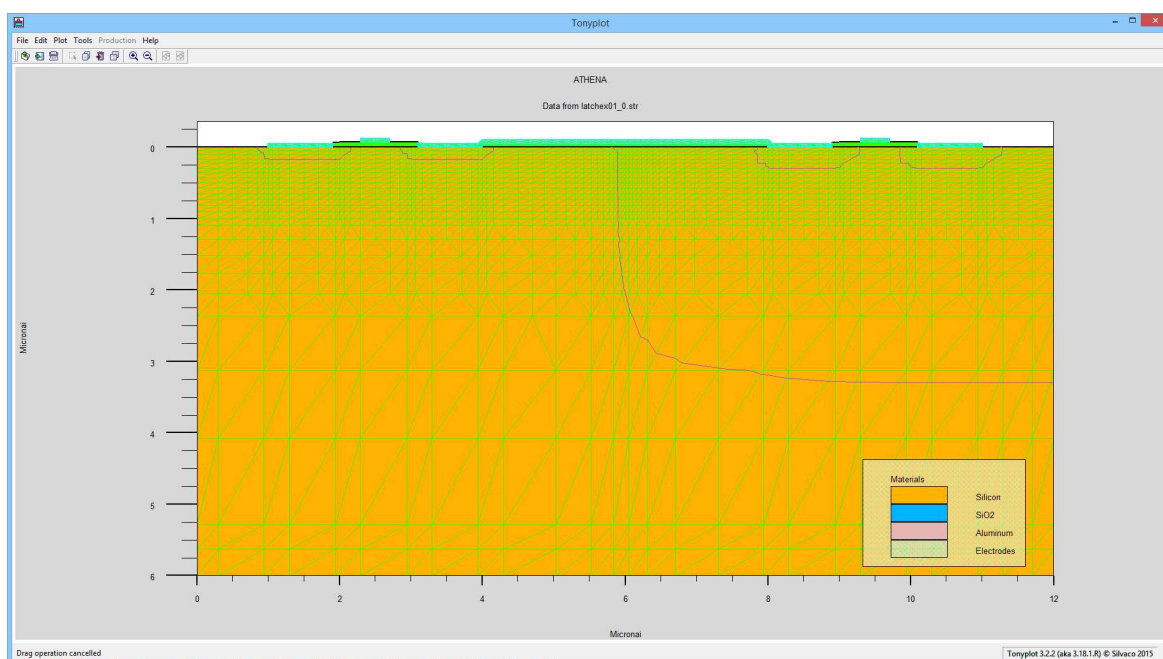
2.2 pav. Deckbuild programos langas

Jis yra sudarytas iš dviejų dalių: viršutiniame įvesties lange yra rašomos Athena ir / arba Atlas paprogramės, o apatiniame vykdymų (angl. execution and “extract” information) lange yra stebimi skaičiavimų parametrai bei rezultatai. Parašytos paprogramės yra vykdomos pasirinkus Deckbuild programos lange Execution→Run komandų seką arba paspaudus Run mygtuką.

Athena programa skirta puslaidininkinių (ir ne tik) įtaisų gamybos technologijoms modeliuoti. Ja skaičiuojame epitaksija, oksidavimas, difuzija, jonų implantacija, litografija, ėsdinimas, dengimas, metalizacijas ir kitos puslaidininkinių įtaisų gamybos technologijos. Taigi brangūs eksperimentai su realiomis plokštelėmis, pakeičiami kompiuteriniu modeliavimu – taip darbas tampa gerokai našesnis, nes atliekami spartūs ir tikslūs visų kritinių gamybos žingsnių skaičiavimai, taikant CMOS arba dvipolių Si, SiGe/SiGeC, SiC, SOI, III–V, optoelektronikos ir galios įtaisų technologijas.

Atlas programa skirta modeliuoti įvairių puslaidininkinių, optoelektroninių, organinių, lazerinių, feroelektrinių bei kitų įtaisų elektrines, optines bei termines charakteristikas. Atlas paprogramės dažniausiai vykdomos gavus Athena modeliavimo rezultatus, t. y. jau turint sukurtą projektuojamo įtaiso struktūrą.

TonyPlot yra vienmačių (1D) bei dvimačių (2D) vaizdų vizualizavimo programa. Deckbuild programos lange įvykdžius Athena ir / arba Atlas paprogrames, gautos puslaidininkinės struktūros arba jų elektrinės charakteristikos pavaizduojamos TonyPlot programa. Šios programos langas su baigtinių elementų tinkleliu yra pavaizduotas 2.3 paveiksle.



2.3 pav. Tonyplot programos langas

TonyPlot programa gali pavaizduoti puslaidininkinę struktūrą sudarančias medžiagas, priemaišų pasiskirstymą jose, pn sandūrų gylius, elektrinių laukų kryptis bei kitus parametrus.

2.2. CMOS modeliavimas

Toks grandynas, kai viename luste yra PMOS ir NMOS tranzistoriai vadinamas CMOS – komplementariuoju. Išskiriamos ir CMOS tranzistorių grandynų technologijos su metalo arba polisilicio užtūromis.

Toliau bus pateikiamos pagal CMOS gamybos proceso etapus atitinkantys modeliavimo skirti Athena ir Atlas programiniai kodai bei jų. Programa veikia baigtinių elementų metodu, kur tyrinėjamas paviršius išskaidomas į segmentus ir skaičiuojami parametrai kiekviename iš segmentų.

Naudojamos 1,0 μm minimalaus matmens projekcinės fotolitografijos technologinės operacijos, terminis oksidavimas deguonyje, žemo slėgio cheminis nusodinimas iš garų fazės SiO_2 , dielektrinių ir metalo sluoksnių ęsdinimas, boro, fosforo ir arseno jonų implantacijos ir difuzija, Al metalo sluoksnio formavimas.

Silicio plokštelės paruošimas. 100–300 mm skersmens ir 525–775 μm storio p laidumo, kurios specifinė ρ varža $\approx 10 \Omega \times \text{cm}$ (kas atitinka legiravimą boru, kurio koncentracija $1 \cdot 10^{15} \text{cm}^{-2}$) silicio plokštelė chemiškai nuvaloma, t. y. nuo jos paviršiaus pašalinami įvairūs organiniai (tepalų, vaško ir kitų medžiagų likučiai), neorganiniai (įvairios druskos, absorbuoti jonai, metalų atomai), chemiškai surišti (oksidų plėvelės) ir absorbuotų dujų molekulių nešvarumai. Silicio plokštelės aprašo programinis kodas yra toks:

```
go athena
```

```
# Tinklelio sudarymas x ašyje
```

```
line x loc=0.000000 tag=left
line x loc=0.500000 spac=0.200000
line x loc=1.000000 spac=0.050000
line x loc=1.500000 spac=0.200000
line x loc=2.000000 spac=0.050000
line x loc=2.500000 spac=0.200000
line x loc=3.000000 spac=0.050000
line x loc=3.500000 spac=0.200000
line x loc=4.000000 spac=0.050000
```

```

line x loc=4.500000 spac=0.200000
line x loc=6.000000 spac=0.050000
line x loc=7.500000 spac=0.200000
line x loc=8.000000 spac=0.050000
line x loc=8.500000 spac=0.200000
line x loc=9.000000 spac=0.050000
line x loc=9.500000 spac=0.200000
line x loc=10.000000 spac=0.050000
line x loc=10.500000 spac=0.200000
line x loc=11.000000 spac=0.050000
line x loc=11.500000 spac=0.200000
line x loc=12.000000 tag=right

```

Tinklelio sudarymas y ašyje

```

line y loc=0.000000 spac=0.050000 tag=top
line y loc=0.500000 spac=0.080000
line y loc=1.000000 spac=0.100000
line y loc=6.000000 spac=0.500000 tag=bottom
init silicon c.boron=1.0e15 orientation=100

```

Ant *p* tipo laidumo silicio plokštelės, kurio kristalo orientacija yra 100, po jos cheminio valymo, metu užauginamas plonas (~50 nm) SiO₂ sluoksnis. Šio proceso programinis kodas yra toks:

```
deposit oxide thicknes=0.05
```

Vėliau formuojamos *n* ir *p* sritys (kišenės), kur atliekama fotolitografija. Pirmiausia formuojama *p* sritis. Užneštas oksidas yra dengiamas 10 nm fotorezistu, atliekama fotolitografija, kur suformuojamas langas *p* srities implantavimui. Šio proceso programinis kodas yra toks:

```

depo barrier thick=0.010000 divis=1 dy=0.005000 ydy=0.000000
etch barrier start x=-0.1 y=-1000
etch cont x=-0.1 y=1000
etch cont x=0 y=1000
etch done x=0 y=-1000

```



```

etch barrier start x=0 y=-1000
etch cont x=0 y=1000
etch cont x=6 y=1000
etch done x=6 y=-1000

```

NMOS tranzistoriaus p tipo kišenė legiruojama boro jonų implantacija, naudojant 100 keV energiją ir $3 \cdot 10^{12} \text{ cm}^{-2}$ dozę, o po to fotorezisto plėvelė pašalinama. Taigi NMOS tranzistoriaus p laidumo kišenės formavimo ir pavaizdavimo programinis kodas yra toks:

```

# implantavimas p sritis
implant amorphous boron dose=3e12 energy=100
strip

```

Analogiškai prieš tai vykusiems procesams, formuojama ir PMOS tranzistorius. Užnešamas fotorezistas, atliekama fotolitografija ir tranzistoriaus n tipo kišenė legiruojama fosforo jonų implantacija, naudojant 180 keV energiją ir $4 \cdot 10^{12} \text{ cm}^{-2}$ dozę, o po to fotorezisto plėvelė pašalinama. PMOS tranzistoriaus n laidumo kišenės formavimo kodas yra toks:

```

depo barrier thick=0.010000 divis=1 dy=0.005000 ydy=0.000000
etch barrier start x=6 y=-1000
etch cont x=6 y=1000
etch cont x=12.100 y=1000
etch done x=12.100 y=-1000
implant amorphous phosphorus dose=4e12 energy=180
strip

```

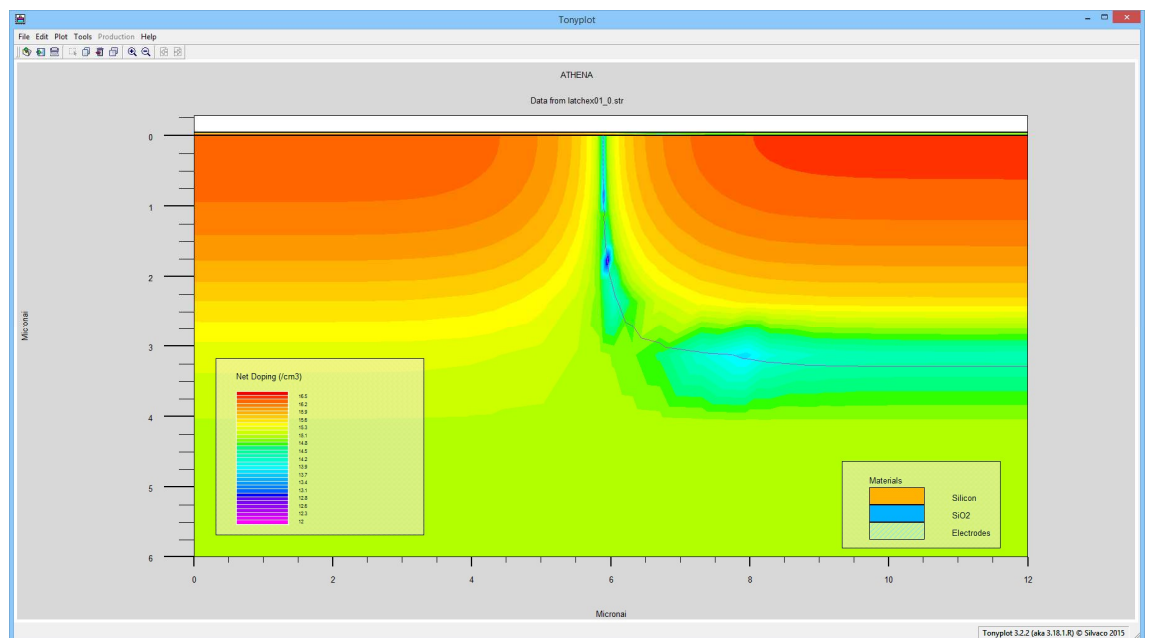
Po jonų implantacijos yra naudojama terminė difuzija. Jonų implantacija yra naudojama tiksliai dozuotam su geru atkartojamumu priemaišų įterpimui, o difuzija – priemaišų perskirstymui (angl. *drive-in*). Be to, jos metu pašalinami radiaciniai defektai, aktyvuojamos priemaišos, gaunamas reikalingas priemaišų pasiskirstymo profilis ir reikalingo gylio *pn* sandūros. Difuzija atliekama 1150°C temperatūroje. Tačiau, norint paspartinti sistemos darbą, prieš difuzijos procesą yra sumažinamas baigtinių elementų skaičius, siekiant greičiau atlikti modeliavimo procesus. Baigtinių elementų skaičius mažinamas toliau nuo paviršiaus, kur difuzija ir vėlesni procesai

praktiškai neturi įtakos ir šių sričių pokyčiai nėra tokie ženklūs. Priemaišų perskirstymo programinis kodas yra toks:

```
# relax grid
relax y.min=1
relax y.min=2

# well drive
diffus time=300 temp=1150
```

Gauta puslaidininkinė Si plokštelė po *n* ir *p* laidumo kišenių implantavimo bei priemaišų perskirstymo pavaizduota 2.4 paveiksle.



2.4 pav. Si plokštelė suformavus p ir n sritis

Vėliau atliekamas n^+ sričių formavimas. Padėklas užnešamas 10 nm storio fotorezistu. Fotolitografijos metu fotorezistas paliekamas virš būsimo PMOP tranzistoriaus sričių, o pro fotoreziste atidengtą NMOP tranzistorių n^+ priemaišomis yra legiruojamos ištakos ir santakos sritys arseno (As) jonais, kurių energija yra 100 keV ir dozė lygi $1 \times 10^{15} \text{ cm}^{-2}$. Vėliau fotorezistas pašalinamas. Šių operacijų programinis kodas yra toks:

```
# mask name="N+"
```

```

depo barrier thick=0.010000 divis=1 dy=0.005000 ydy=0.000000
etch barrier start x=1 y=-1000
etch cont x=1 y=1000
etch cont x=2 y=1000
etch done x=2 y=-1000
etch barrier start x=3 y=-1000
etch cont x=3 y=1000
etch cont x=4 y=1000
etch done x=4 y=-1000
# Implantavimas arsenu
implant amorphous arsenic dose=1e15 energy=100
strip

```

Vėlesnis procesas analogiškas prieš tai buvusiam, tik dabar atliekamas p+ priemaišų legiravimas. Taip suformuojamos PMOS tranzistoriaus ištakos ir santakos sritys. Atliekama boro jonų implantacija, kurie yra 30 keV energijos ir dozė lygi $1 \times 10^{15} \text{ cm}^{-2}$. Vėliau fotorezistas pašalinamas. Toliau pateikiamas šių operacijų programinis kodas:

```

# mask name="P+"
depo barrier thick=0.010000 divis=1 dy=0.005000 ydy=0.000000
etch barrier start x=8 y=-1000
etch cont x=8 y=1000
etch cont x=9 y=1000
etch done x=9 y=-1000
etch barrier start x=10 y=-1000
etch cont x=10 y=1000
etch cont x=11 y=1000
etch done x=11 y=-1000
implant amorphous boron dose=1e15 energy=30
strip

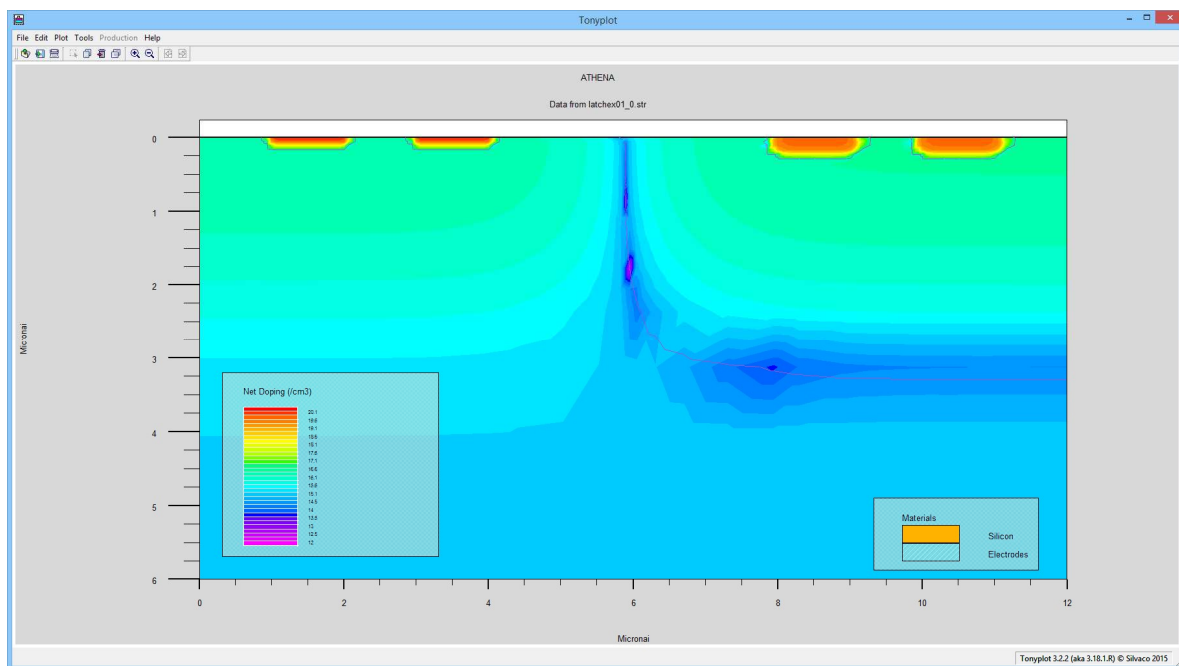
```

Po implantacijų atliekamas plokštelės atkaitinimas, kurio tikslas, kaip ir ankstesniojo: radiacinių defektų pašalinimas, priemaišų aktyvacija ir galutinis *pn* sandūros gylio gavimas. Jis

vykdomas 30 minučių, esant 900 °C temperatūrai. Modeliuojamos CMOS struktūros santakos ir ištakos. Atkaitinimo programinis kodas yra toks:

```
# final activation
diffuse time=30 temp=900
```

Puslaidininkinė plokštelė po suformuotų santakų ir ištakų kaitinimo pavaizduota 2.5 paveiksle.



2.5 pav. Si plokštelė po difuzijos suformavus santakas ir ištakas

Tuomet formuojama užtūra. Uztūra formuojama iš dielektriko SiO₂ dviem etapais. Pirmame etape dielektrikas padengiamas visame paviršiuje ir ėsdinamas, naudojant fotolitografiją. Neėsdinamos tik tos vietos, kur formuojamos užtūros. Antrame etape dengiamas SiO₂ vėl dengiamas visame paviršiuje, tačiau ėsdinamas tose vietose, kur bus atliekama metalizacija. Šių operacijų programinis kodas yra toks:

```
# pirmas dengimas oksidu
deposit oxide thick=0.02
# oksido ėsdinimas
etch oxide start x=-0.1 y=-1000
etch cont x=-0.1 y=1000
etch cont x=0 y=1000
```

```
etch done x=0 y=-1000
etch oxide start x=0 y=-1000
etch cont x=0 y=1000
etch cont x=1.9 y=1000
etch done x=1.9 y=-1000
etch oxide start x=3.1 y=-1000
etch cont x=3.1 y=1000
etch cont x=8.9 y=1000
etch done x=8.9 y=-1000
etch oxide start x=10.1 y=-1000
etch cont x=10.1 y=1000
etch cont x=12.1 y=1000
etch done x=12.1 y=-1000

# antras dengimas oksidu ir esdinimas
deposit oxide thicknes=0.05
etch oxide start x=-0.1 y=-1000
etch cont x=-0.1 y=1000
etch cont x=0 y=1000
etch done x=0 y=-1000
etch oxide start x=0 y=-1000
etch cont x=0 y=1000
etch cont x=1.9 y=1000
etch done x=1.9 y=-1000
etch oxide start x=3.1 y=-1000
etch cont x=3.1 y=1000
etch cont x=4 y=1000
etch done x=4 y=-1000
etch oxide start x=8.0 y=-1000
etch cont x=8.0 y=1000
etch cont x=8.9 y=1000
etch done x=8.9 y=-1000
etch oxide start x=10.1 y=-1000
etch cont x=10.1 y=1000
```

```
etch cont x=12.1 y=1000
etch done x=12.1 y=-1000
```

Suformavus struktūrą atliekama metalizacija. Plokštelė yra padengiama 50 nm aliuminio sluoksniu. Vėliau naudojant fotolitografiją aliuminis yra ėsdinamas paliekant jį tik tose vietose, kur reikalingi metaliniai išvadai. Aliuminis ir jo lydiniai ėsdinami chloro arba bromo turinčiose anglies tetrachlorido (CCl₄) arba boro chlorido (BCl₃) dujose. Pvz., esant CCl₄/O₂ mišiniui, Al ėsdinimo greitis yra 150 nm/min., o selektyvumas fotorezisto atžvilgiu yra 3,0,5 µm storio. Šių procesų programinis kodas yra toks:

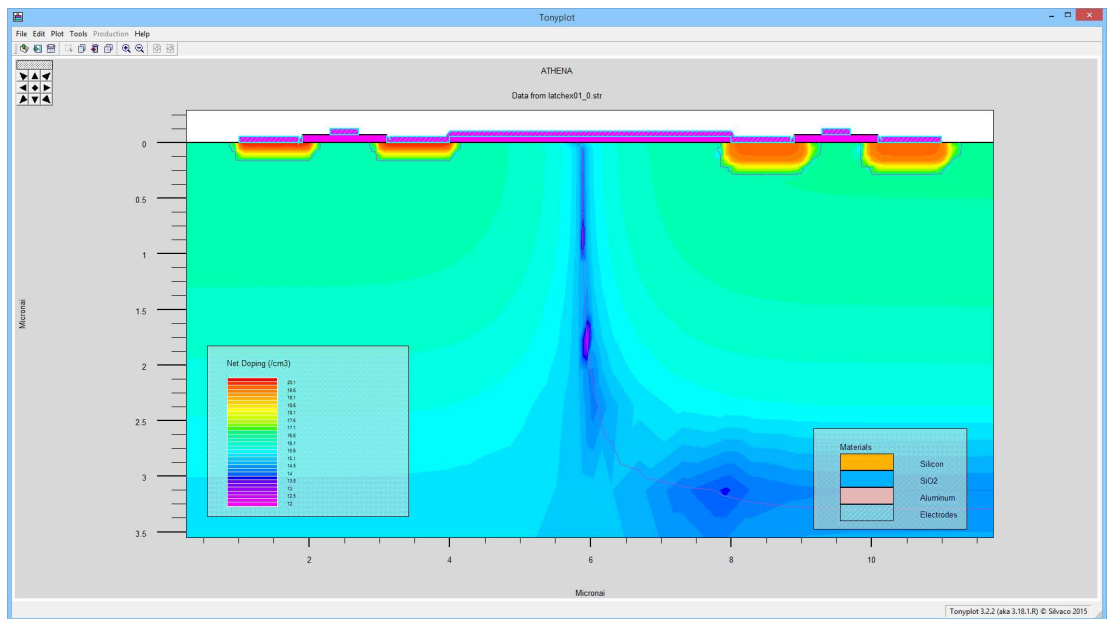
```
deposit alum thickness=0.05 div=2
# mask name="MET"
depo barrier thick=0.010000 divis=1 dy=0.005000 ydy=0.000000
etch barrier start x=-0.1 y=-1000
etch cont x=-0.1 y=1000
etch cont x=1 y=1000
etch done x=1 y=-1000
etch barrier start x=1.85 y=-1000
etch cont x=1.85 y=1000
etch cont x=2.3 y=1000
etch done x=2.3 y=-1000
etch barrier start x=2.7 y=-1000
etch cont x=2.7 y=1000
etch cont x=3.15 y=1000
etch done x=3.15 y=-1000
etch barrier start x=8.85 y=-1000
etch cont x=8.85 y=1000
etch cont x=9.3 y=1000
etch done x=9.3 y=-1000
etch barrier start x=9.7 y=-1000
etch cont x=9.7 y=1000
etch cont x=10.15 y=1000
etch done x=10.15 y=-1000
```

```

etch barrier start x=11 y=-1000
etch cont x=11 y=1000
etch cont x=12.1 y=1000
etch done x=12.1 y=-1000
etch alum dry thickness=0.06
strip

```

Galutinė sumodeliuota CMOS struktūra pateikta 2.6 pav.



2.6 pav. TCAD simulatoriumi sumodeliuota CMOS struktūra

Puslaidininkinio įtaiso elektrinėms charakteristikoms modeliuoti būtina nurodyti elektrodų pavadinimus ir jų koordinates. CMOS tranzistoriaus elektrodų aprašo kodas yra toks:

```

# electrodes
electrode name="ground" x=1.45
electrode name="vin2" x=2.5
electrode name="vout" x=6.0
electrode name="vin1" x=9.5
electrode name="vdd" x=10.55

```

Taipogi naudojamas aprašymo failas duomenims išvesti. Jo kodas yra toks:

```
# TPCS version: 6
# key positions
key contours 1 at 3
key contours 2 at 1
key contours 3 at 6
key electrical at 6
key vectors at 6
key overlay at 2
key regions at 4
select 1
# plot flags, special
show mesh off
show edges on
show materials on
show contours off
show light off
show vectors off
show junctions on
show electrodes on
show threed off
draw 1
# annotation, titles
title main auto
title sub auto
# annotation, footers
footer right none
footer left none
# annotation, show
show xaxis on
show yaxis on
show grid off
show label xaxis on
show label yaxis on
# annotation, axes
```



```
range xaxis auto
range yaxis auto
label xaxis "Micronai"
label yaxis "Micronai"
# zoom
zoom from 0.000000, 0.000000 scale 1.000000, 1.000000
# user labels
# overlay level names
label overlay 0 "latchex02_0.str"
draw all
```

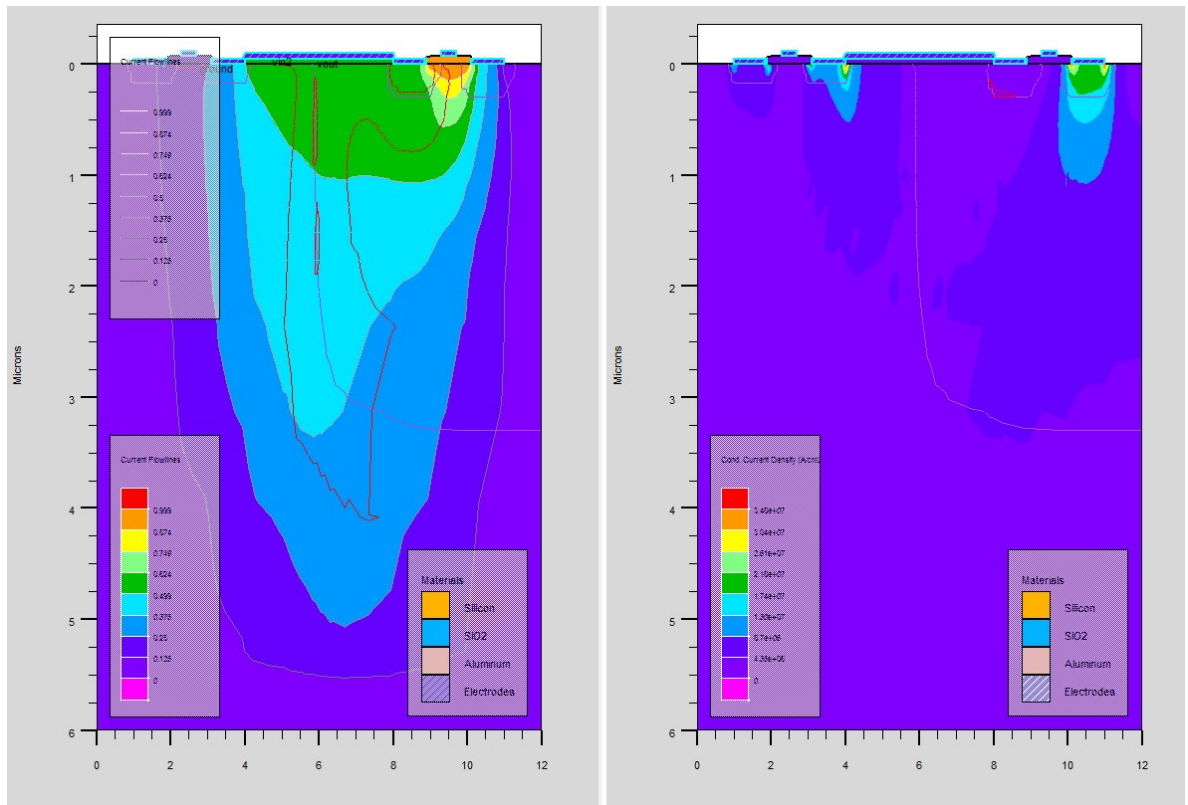
Taigi, gauta sumodeliuota CMOS struktūra. Bus tyrinėjama, kaip sumodeliuota CMOS struktūra veikia ir kaip geba greitai persijungti keičiant jos parametrus.

2.3. CMOS struktūros modelio veikimas ir priemaišų įtaka greitaveikai

Sumodeliavus CMOS struktūra, ją keičiame taip, kad gautume kuo geresnius greitaveikos parametrus.

Elektrinių parametrų analizei imame CMOS grandyno veikimą, kai V_{dd} yra +5V, o NMOS tranzistoriaus ištaka yra įžeminama. Kadangi tranzistorių santakos yra sujungtos, tai laikoma, tai išėjimo įtampa yra žymima V_{out} .

Veikimo analizei nagrinėjame dvi CMOS grandyno būsenas: kai įėjimo įtampa $V_{in} = 0$ V, ir kai įėjimo įtampa nukrenta iki $V_{in} = +5$ V.

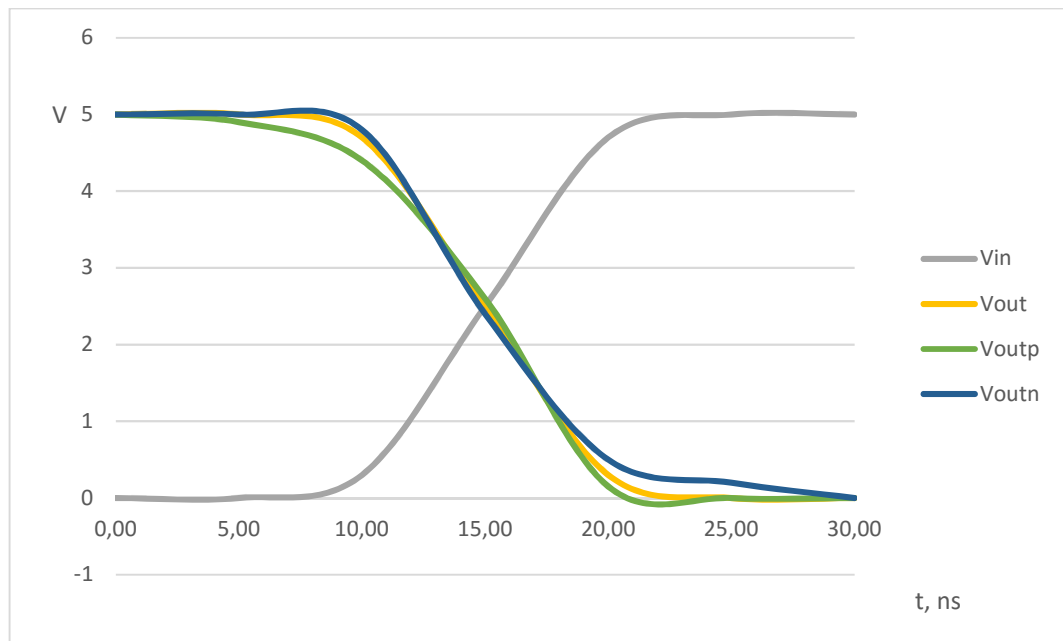


2.7 pav. CMOS struktūroje esantys potencialų skirtumas.

Sumodeliuoto CMOS grandyno srovių grafikas pateiktas 2.7 pav. Kairėje pateiktas pirmasis nagrinėjamas atvejis, kuomet $V_{in} = 0$ V, antruoju atveju (dešinėje) $V_{in} = +5$ V. Pirmuoju atveju, matome kad kuomet įėjimo įtampa yra 0 V atsiranda srovė tarp V_{dd} ir išėjimo elektrodo V_{out} . Tuomet išėjime turime įtampą lygią V_{dd} .

Antruoju atveju, kai įėjimo įtampa $v_{in} = +5$ V, tai iš dešiniojo paveikslo matome, kad srovės niekur neteka. Tuomet išėjimo įtampa lygi ≈ 0 V. Todėl šiame CMOS darbo režime beveik nenaudojama maitinimo šaltinio galia.

Toliau nagrinėjama priemaišų įtaka CMOS struktūros greitaveikai. Pirmiausia imamas variantas, kuomet gerinamas NMOS tranzistorius. N tipo priemaišų kiekis padidinamas 50 % atitinkamai fosforo ir arseno. Vėliau modeliuojamas modelis, kai nuo standartinio varianto 50 % padidinamas p (boro) tipo priemaišų kiekis. Rezultatai pateikti 2.8 pav.



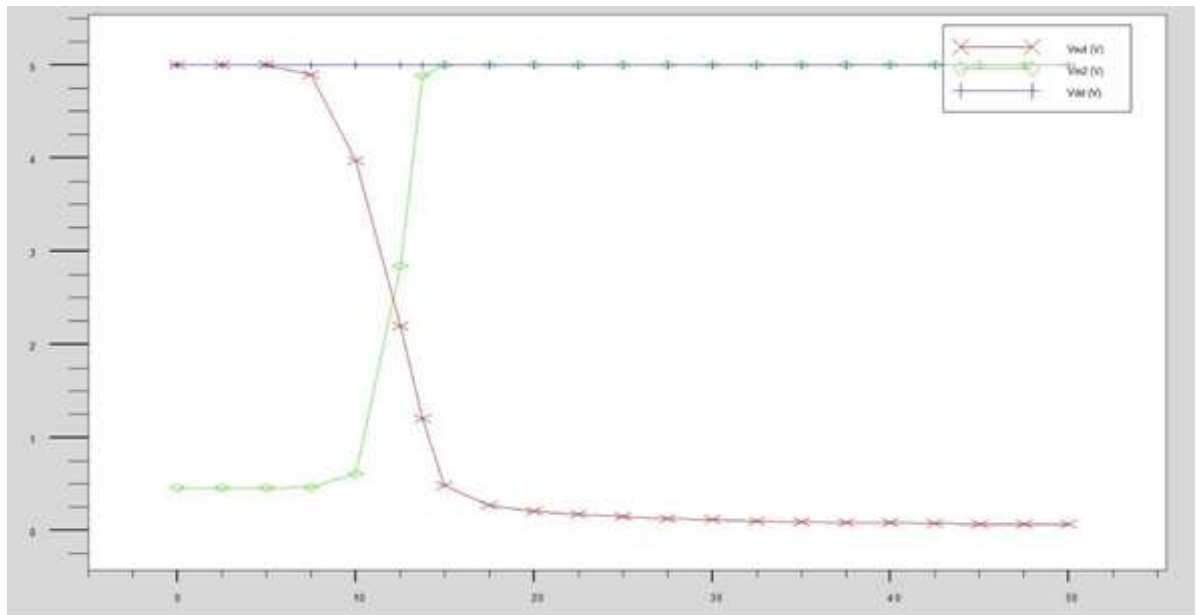
2.8 pav. CMOS išėjimo įtampų parametrų kitimas pagal struktūrinio tranzistoriaus parametrus

CMOS inverterio, kur gausiau yra n tipo priemaišų, išėjimo įtampa pažymėta V_{outn} . Analogiškai, kur gausiau p tipo priemaišų – V_{outp} . Iš grafiko matyti, kad esant geresniems NMOS tranzistoriaus parametrams grandynas greičiau užsidaro, tačiau lėčiau atsidaro. Gaunamas perėjimo laikas 13 ns. Apie 1 ns yra sutaupoma CMOS struktūrai greičiau užsidarant, tačiau prarandamos 2 ns, kai struktūra lėčiau atsidaro.

Atitinkamai turime, kai turime geresnius PMOS tranzistoriaus parametrus. Tuomet CMOS struktūra greičiau atsidaro, tačiau lėčiau užsidaro. Šiuo atveju persijungimo trukmės yra 14 ns.

2.4. CMOS modeliavimo rezultatai

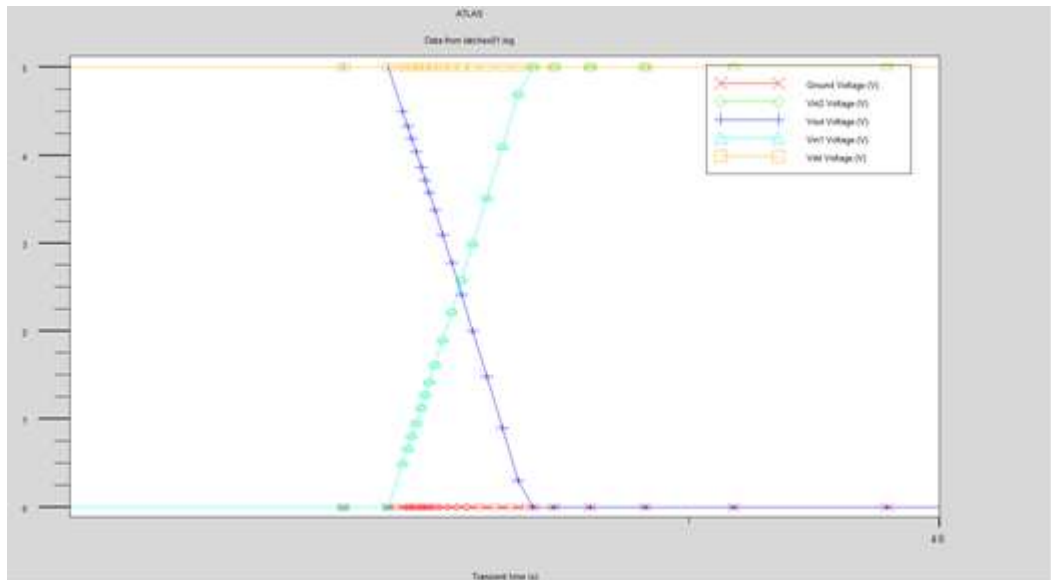
Tačiau tiriant greitaveiką aktualiau nagrinėti įtampų priklausomybės laike, kur geriausiai matoma greitaveika. Modeliuojant pradžioje gauti rezultatai, kuomet nebuvo rastas balansas tarp NMOS ir PMOS struktūrų. Jie pateikti 2.9 pav.



2.9 pav. Įtampų kitimas CMOS struktūroje

Galima matyti, kad kreivės yra ne tokios stačios. Be to ir perėjimo laikas yra 15 ns. Esant optimaliausiems parametrams pavyko sumodeliuoti geriausią variantą. Kuomet perėjimo laikas užtrunka 10 ns.

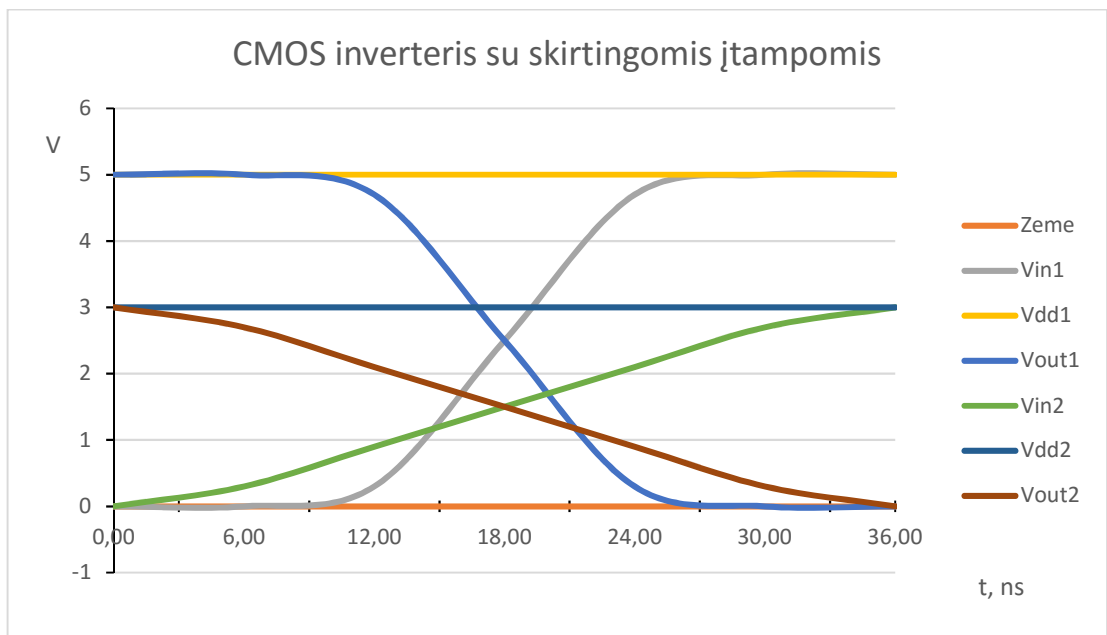
Įtampų kitimas laike pateiktas 2.10 pav.



2.10 pav. Geriausiai sumodeliuotos struktūros įtampų kitimas

Iš grafiko matome, kad įėjimo įtampai didėjant, išėjimo ima mažėti. Matome, kad pereinamasis laikas, kuomet vienas tranzistorius užsidaro, o kitas atsidaro trunka 10 ns. Palyginus su ankstesniu variantu, gauti statesni frontai. Kas leidžia struktūrai dirbti sparčiau.

Lyginame, kaip CMOS inverterio sparta priklauso nuo įtampos lygio. Naudojame pastovią nuolatinę įtampą $V_{dd} = 3 \text{ V}$. Atitinkamai valdymo įtampa $V_{in} = 3 \text{ V}$. Modeliavimo rezultatus matome 2.11 pav.



2.11 pav. CMOS inverteris su skirtingomis valdymo ir pastovaus maitinimo įtampomis

Iš grafiko matome, kad mažėjant valdymo ir pastovaus maitinimo įtampoms, CMOS inverterio greitaveika taip mažėja. Sumažinus įėjimo įtampą V_{in} ir V_{dd} sulėtėja struktūros sparta. Frontai ne tokie statūs. Geriausios sumodeliuotos CMOS struktūros, kuomet pastovaus maitinimo įtampa $V_{dd1} = 5\text{ V}$, persijungimo laikas buvo 10 ns. Kuomet naudojame pastovaus maitinimo įtampą $V_{dd2} = 3\text{ V}$, persijungimo laikas yra 24 ns. Gaunamos išvados, kad įtampoms mažinimas sąlygoja persijungimo laiko augimą ne tiesiogiai, o eksponentiškai.

Modeliuojant gauta, kad labiausiai CMOS grandyno sparta priklauso nuo užtūros, o kartu užtūros ilgio. Gauta priklausomybė, jog kuo atstumas tarp ištakos bei užtūros ir ištakos bei santakos yra trumpesnis, tuo įtampų frontai yra statesni ir grandynas dirba sparčiau.

Modeliuojant reikia rasti balansą tarp NMOS ir PMOS tipo tranzistorių. Gerinant NMOS tranzistoriaus parametrus grandynas greičiau užsidaro, tačiau lėčiau atsidaro. Gerinant PMOS – turime priešingą variantą. Tuomet CMOS struktūra greičiau atsidaro, tačiau lėčiau užsidaro.

Optimaliausias rezultatas buvo pasiektas naudojant 5 V. Naudojant žemesnę įtampą vis labiau jaučiasi parazitiniai talpumas, kurie priverčia CMOS struktūrą dirba ženkliai lėčiau.

3. IŠVADOS IR PASIŪLYMAI

Informacijos amžiuje formuojantis naujų pažiūrų ir įpročių informacinei visuomenei, didėja informacijos kiekiai ir srautai, kuriems apdoroti reikia vis spartesnių elektrinių įrenginių. Taigi, labai svarbu didinti elektrinių prietaisų veikimo spartą ir efektyvumą.

1. CMOS gamybos procesas labai sudėtingas, reikalaujantis didelių investicijų, laiko ir aukštos kvalifikacijos specialistų kontrolės visų IG gamybos procesų metu. Integrinių grandynų technologija paremta puslaidininkų unikalia savybe – jie gali tarnauti ir kaip izoliatorius, ir kaip laidininkas. Dėl šios priežasties jie vis dar sėkmingai nuolatos plėtojami didinant savo integracijos laipsnį integriniuose grandynuose. Darbe buvo išnagrinėti vienpolių planariųjų silicio CMOS tranzistorių gamybos technologijų ypatumai, tipinės vienpolių n ir p tipo kanalų tranzistorių gamybos technologinių operacijų sekos ir technologinių procesų parametrai.
2. CMOS integrinį grandyną sudaro dviejų tranzistorių struktūra, kuri naudojama skaitmeniniuose grandynuose. Kuomet įėjimo įtampa lygi V_{DD} įtampai t.y. loginiam 1, išėjimo įtampa lygi 0 V. Kuomet, įėjimo įtampa artima 0 V, tai išėjimo įtampa lygi V_{DD} įtampai – loginiam 1. CMOS grandynai labiausiai išvystyti ir šiuo metu dominuoja dėl savo ypatybės mažam energijos kiekiui. CMOS tranzistorių greitaveika yra mažesnė lyginant su vieno tranzistoriaus naudojamomis struktūromis, tačiau pagrindinis privalumas yra tas, kad naudojant skaitmeninėje grandinėje loginio nulio arba loginio vieneto būseną, vienas iš poros tranzistorių yra uždaras. Tuomet per tranzistorius praktiškai neteka srovė ir nenaudojama maitinimo šaltinio galia.
3. Norint gauti gerus greitaveikos parametrus reikia mažinti užtūros ilgį ir atstumus tarp ištakos bei užtūros ir ištakos bei santakos. Reikalinga užtūros dielektrikai naudoti didelės pramušimo įtampos ir stabilias medžiagas. Remiantis tuo buvo sumodeliuota CMOS struktūra TCAD programa.
4. Modeliuojant buvo rastas balansas tarp NMOS ir PMOS tipo tranzistorių. Gerinant NMOS tranzistoriaus parametrus grandynas greičiau užsidaro, tačiau lėčiau atsidaro. Gerinant PMOS – turime priešingą variantą. Tuomet CMOS struktūra greičiau atsidaro, tačiau lėčiau užsidaro.
5. Esant greta dvejoms sandūroms atsiranda tarpusavio parazitiniai ryšiai kurie turi įtakos CMOS sistemos greitaveikos parametrams. Todėl sumažinus įėjimo ir pastovaus maitinimo įtampą, įrenginio sparta nukrenta. Sumažinus įėjimo įtampą V_{in}

ir V_{dd} sulėtėja struktūros sparta. Frontai ne tokie statūs. Optimaliausias rezultatas buvo pasiektas naudojant 5 V.

6. Taip gavome, jog sumodeliuotas 12 μm CMOS grandynas yra 17 % spartesnis nei „Texas Instruments“ siūlomas CD74HCU04QPWRQ1.

INFORMACIJOS ŠALTINIŲ SĄRAŠAS

1. Prieiga per internetą US3356858 A <http://www.google.com/patents/US3356858>
2. Prieiga per internetą <http://www.shmj.or.jp/english/integredcircuits/ic70s.html>
3. Prieiga per internetą <http://www.intel.com/content/www/us/en/silicon-innovations/nano-cmos-transistor-scaling-presentation.html>
4. R. Anilionis, D. Andriukaitis, T. Keršys, „CMOS technologijos, maskuojant silicio nitridu, kokybė“, Kauno technologijos universitetas, 2005
5. W. Hudson, J. Beasley, E. Steelman, A CMOS Combinational Circuit-Design Method Using Mixed Logic Concepts, *IEEE Transactions on Education*, Vol. 38, No. 3, August, 1995, pps. 266-273
6. Y. Tsividis, McGraw-Hill, Operation and Modeling of the MOS Transistor, 2nd ed., Boston, 1999
7. Michael Fritze, David K. Astolfi, Donna-Ruth W. Yost, Peter W. Wyatt, (MIT Lincoln Laboratory, Lexington, Massachusetts) SOLID STATE TECHNOLOGY, „Chromeless phase-shift masks used for sub-100nm SOI CMOS transistors“.
8. Anilionis R. „Elektronikos technologijos.“ – ISBN 9986-13-782-9. – Kaunas: Technologija, 2000. – P. 144–157
9. R. Jacob Baker, „CMOS Circuit Design , Layout and Simulation“ ISBN 978-0-470-88132-3, 2010
10. Thomas H. Lee, „The Design of CMOS Radio – Frequency Integrated Circuits“, 2004
m

PRIEDAI

Priedas 1. Aprašymo failas kelių vaizdų išvedimui.

```
# TPCS version: 6
# key positions
key contours 1 at user 0.0803324, 0.573222
key contours 2 at 0
key contours 3 at 6
key electrical at 6
key vectors at 6
key overlay at 2
key regions at 4
# various properties
log label 0
select 1
# plot flags, special
show mesh off
show edges on
show materials on
show contours on
show light off
show vectors off
show junctions on
show electrodes on
show threed off
draw 1
# contour set 1
contours 1 impurity "Potential"
contours 1 materials all
```

```
contours 1 min -1
contours 1 max 5
contours 1 nsteps 9
contours 1 type fill
contours 1 outline off
contours 1 color 1
contours 1 apply
# contour set 2
contours 2 impurity "None"
contours 2 materials all
contours 2 min auto
contours 2 max auto
contours 2 nsteps 9
contours 2 type lines
contours 2 outline off
contours 2 color 6
contours 2 apply
# contour set 3
contours 3 impurity "None"
contours 3 materials all
contours 3 min auto
contours 3 max auto
contours 3 nsteps 9
contours 3 type fill
contours 3 outline off
contours 3 color 1
contours 3 apply
# junctions/depletion set
junctions show none
junctions show junctions
junctions show depletion
junctions contours 0.5
junctions apply
# annotation, titles
```

```
title main auto
title sub "INITIAL"
# annotation, footers
footer right none
footer left none
# annotation, show
show xaxis on
show yaxis on
show grid off
show label xaxis on
show label yaxis on
# annotation, axes
range xaxis auto
range yaxis auto
label xaxis "Microns"
label yaxis "Microns"
# zoom
zoom from 0, 0 scale 1, 1
# user labels
# overlay level names
label overlay 0 "latchex01_2.str"
select 2
# plot flags, special
show mesh off
show edges on
show materials on
show contours on
show light off
show vectors off
show junctions on
show electrodes on
show threed off
draw 2
# contour set 1
```

```
contours 1 impurity "Potential"
contours 1 materials all
contours 1 min -1
contours 1 max 5
contours 1 nsteps 9
contours 1 type fill
contours 1 outline off
contours 1 color 1
contours 1 apply
# contour set 2
contours 2 impurity "Current Flowlines"
contours 2 materials all
contours 2 min auto
contours 2 max auto
contours 2 nsteps 9
contours 2 type lines
contours 2 outline off
contours 2 color 6
contours 2 apply
# contour set 3
contours 3 impurity "None"
contours 3 materials all
contours 3 min auto
contours 3 max auto
contours 3 nsteps 9
contours 3 type fill
contours 3 outline off
contours 3 color 1
contours 3 apply
# junctions/depletion set
junctions show none
junctions show junctions
junctions show depletion
junctions contours 0.5
```

```
junctions apply
# annotation, titles
title main auto
title sub "INTERMEDIATE"
# annotation, footers
footer right none
footer left none
# annotation, show
show xaxis on
show yaxis on
show grid off
show label xaxis on
show label yaxis on
# annotation, axes
range xaxis auto
range yaxis auto
label xaxis "Microns"
label yaxis "Microns"
# zoom
zoom from 0, 0 scale 1, 1
# user labels
# overlay level names
label overlay 0 "latchex01_1.str"
select 3
# plot flags, special
show mesh off
show edges on
show materials on
show contours on
show light off
show vectors off
show junctions on
show electrodes on
show threed off
```

```
draw 3
# contour set 1
contours 1 impurity "Potential"
contours 1 materials all
contours 1 min -1
contours 1 max 5
contours 1 nsteps 9
contours 1 type fill
contours 1 outline off
contours 1 color 1
contours 1 apply
# contour set 2
contours 2 impurity "None"
contours 2 materials all
contours 2 min auto
contours 2 max auto
contours 2 nsteps 9
contours 2 type lines
contours 2 outline off
contours 2 color 6
contours 2 apply
# contour set 3
contours 3 impurity "None"
contours 3 materials all
contours 3 min auto
contours 3 max auto
contours 3 nsteps 9
contours 3 type fill
contours 3 outline off
contours 3 color 1
contours 3 apply
# junctions/depletion set
junctions show none
junctions show junctions
```

```
junctions show depletion
junctions contours 0.5
junctions apply
# annotation, titles
title main auto
title sub "FINAL"
# annotation, footers
footer right none
footer left none
# annotation, show
show xaxis on
show yaxis on
show grid off
show label xaxis on
show label yaxis on
# annotation, axes
range xaxis auto
range yaxis auto
label xaxis "Microns"
label yaxis "Microns"
# zoom
zoom from 0, 0 scale 1, 1
# user labels
# overlay level names
label overlay 0 "latchex01_3.str"
draw all
```


Priedas 2. „Texas Instruments“ CMOS inverterio CD74HCU04-Q1 specifikacijos



CD74HCU04-Q1

www.ti.com

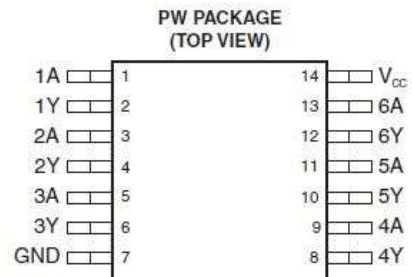
SCHS381 – JUNE 2010

HIGH-SPEED CMOS LOGIC HEX INVERTER

Check for Samples: [CD74HCU04-Q1](#)

FEATURES

- Qualified for Automotive Applications
- Wide Operating Temperature Range:
-40°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HCU Types
 - 2-V to 6-V Operation
- CMOS Input Compatibility: $I_I \leq 1\mu\text{A}$ at V_{OL} , V_{OH}



DESCRIPTION

The CD74HCU04 unbuffered hex inverter utilizes silicon-gate CMOS technology to achieve operation speeds similar to LSTTL gates, with the low power consumption of standard CMOS integrated circuits. These devices especially are useful in crystal oscillator and analog applications.

ORDERING INFORMATION

T _A	PACKAGE		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 125°C	TSSOP – PW	Reel of 2000	CD74HCU04QPWRQ1	HJU04Q

ABSOLUTE MAXIMUM RATINGS⁽¹⁾⁽²⁾

V_{CC}	DC supply voltage	-0.5V to +7V
I_{IK}	DC input diode current, $V_I < -0.5V$ or $V_I > V_{CC} + 0.5V$	$\pm 20mA$
I_{OK}	DC output diode current, $V_O < -0.5V$ or $V_O > V_{CC} + 0.5V$	$\pm 20mA$
I_O	DC drain current per output, $V_O > -0.5V$ or $V_O < V_{CC} + 0.5V$	$\pm 25mA$
I_{CC}	DC VCC or ground current	$\pm 50mA$
θ_{JA}	Thermal impedance, junction to free air ⁽³⁾	112.6°C/W
T_J	Maximum junction temperature	150°C
T_{Stg}	Storage temperature range	-65°C to 150°C

(1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltages are referenced to ground.

(3) The package thermal impedance is calculated in accordance with JESD 51-7.

RECOMMENDED OPERATING CONDITIONS

		MIN	MAX	UNIT
V_{CC}	Supply voltage	2	6	V
V_I	Input voltage	0	V_{CC}	V
V_O	Output voltage	0	V_{CC}	V
T_A	Operating free-air temperature	-40	125	°C

ELECTRICAL CHARACTERISTICS

over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		V_{CC}	$T_A = 25^\circ C$		$T_A = -40$ to $125^\circ C$		UNIT
	V_I (V)	I_O (mA)		MIN	MAX	MIN	MAX	
V_{IH}	High level input voltage	—	—	2	1.7	1.7		V
				4.5	3.6	3.6		
				6	4.8	4.8		
V_{IL}	Low level input voltage	—	—	2	0.3	0.3		V
				4.5	0.8	0.8		
				6	1.1	1.1		
$V_{OH(CMOS)}$	High level output voltage, CMOS loads	V_{IH} or V_{IL}	-0.02	2	1.8	1.8		V
				4.5	4	4		
				6	5.5	5.5		
$V_{OH(TTL)}$	High level output voltage, TTL loads	V_{CC} or GND	-4	4.5	3.98	3.7		V
				6	5.48	5.2		
$V_{OL(CMOS)}$	Low level output voltage, CMOS loads	V_{IH} or V_{IL}	0.02	2	0.2	0.2		V
				4.5	0.5	0.5		
				6	0.5	0.5		
$V_{OL(TTL)}$	Low level output voltage, TTL loads	V_{CC} or GND	4	4.5	0.26	0.4		V
				6	0.26	0.4		
I_I	Input leakage current	V_{CC} or GND	—	6	± 0.1	± 1		μA
I_{CC}	Quiescent device current	V_{CC} or GND	0	6	2	40		μA

SWITCHING CHARACTERISTICS

over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			T _A = -40 to 125°C		UNIT
			MIN	TYP	MAX	MIN	MAX	
t _{PLH} , t _{PHL} Propagation delay, input to output Y (see Figure 1)	C _L = 50pF	2			70		105	ns
	C _L = 50pF	4.5			14		21	
	C _L = 50pF	6			12		18	
t _{TLH} , t _{THL} Transition times (see Figure 1)	C _L = 50pF	2			75		110	ns
		4.5			15		22	
		6			13		19	
C _I Input capacitance	—	—	See Figure 3					
C _{PD} Power dissipation capacitance ⁽¹⁾⁽²⁾	—	5		14			pF	

- (1) C_{PD} is used to determine the dynamic power consumption, per inverter.
- (2) P_D = V_{CC2} × f_i (C_{PD} + C_L), where f_i = input frequency, C_L = output load capacitance, V_{CC} = supply voltage

TEST WAVEFORMS

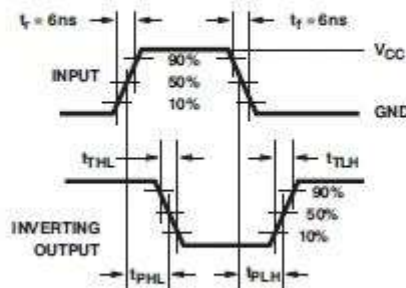


Figure 1. HC and HCU Transition Times and Propagation Delay Times, Combination Logic